

第2世代 低損失 SJ-MOSFET 「Super J MOS S2 シリーズ」

2nd-Generation Low-Loss SJ-MOSFET “Super J MOS S2 Series”

渡邊 荘太 WATANABE, Sota

坂田 敏明 SAKATA, Toshiaki

山下 千穂 YAMASHITA, Chiho

エネルギーを効率的に利用するために、電力変換機器にはよりいっそうの高効率化が求められており、これらに搭載されるパワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) には、小型で低損失・低ノイズの製品が求められている。富士電機は、単位面積で規格化されたオン抵抗 $R_{on} \cdot A$ を低減し、かつターンオフスイッチング損失 E_{off} とターンオフスイッチング時の V_{DS} サージのトレードオフ特性を改善した、低損失で使いやすい第2世代 低損失 SJ-MOSFET 「Super J MOS S2 シリーズ」を開発した。本製品を使用することで、電力変換機器の効率向上が期待できる。

In order to use energy efficiently, there has been increasing demand for enhanced efficiency in power conversion equipment, and power metal-oxide-semiconductor field-effect transistors (MOSFETs) that are equipped with it have been required to be compact, low loss and low noise. Fuji Electric has developed the easy-to-use 2nd-generation low-loss SJ-MOSFET “Super J MOS S2 Series” that reduces on-resistance $R_{on} \cdot A$, which is standardized by unit area, and improves the trade-off characteristic between turn-off switching loss E_{off} and the V_{DS} surge at turn-off switching. The adoption of this product is expected to improve the efficiency of power conversion equipment.

1 まえがき

近年、地球温暖化対策などを背景にして、太陽光発電や風力発電などの再生可能エネルギーの普及が進んでいる。一方で、社会インフラ、自動車、産業機械、IT 機器、家電製品などの分野でエネルギー消費量が増加している。エネルギーをいっそう効率的に利用するために電力変換技術の重要性が増している。さまざまな機器の電力変換部にはパワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) などの半導体スイッチング素子を使用されている。この電力変換機器には、高効率、高電力密度、低ノイズといった要求があり、半導体スイッチング素子には、小型で低損失、低ノイズが求められている。

このような要求に応えるため、富士電機では2011年に、スーパージャンクション構造を採用した低オン抵抗と低スイッチング損失を両立した第1世代低損失 SJ-MOSFET 「Super J MOS S1 シリーズ」(S1 シリーズ)を開発し、系列化を進めてきた^{(1)~(3)}。

本稿では、素子の耐圧 BV_{DSS} と単位面積で規格化されたオン抵抗 $R_{on} \cdot A$ とのトレードオフ関係をさらに改善し、かつターンオフスイッチング時の跳ね上がり電圧 (V_{DS} サージ) を抑制することで、使いやすさと電力変換機器の変換効率を向上した第2世代低損失 SJ-MOSFET 「Super J MOS S2 シリーズ」(S2 シリーズ)について述べる。

2 設計

2.1 設計方針

スイッチング電源の電力変換効率を向上させるためには、パワー MOSFET の導通損失とスイッチング損失、およびドライブ損失の低減が必要である。スイッチング損失を下

げるために、スイッチング速度を上げようとする、ターンオフスイッチング時の V_{DS} サージが大きくなり、ノイズが発生して誤動作するという背反する関係がある。信頼性の観点からも V_{DS} サージを最大定格電圧の80%以下に抑えることが望ましい。

そこで、S2 シリーズは従来の S1 シリーズよりも $R_{on} \cdot A$ を低減しつつ、ターンオフ時のスイッチング損失 E_{off} の低減と V_{DS} サージの抑制、およびノイズの抑制を両立させることを目的に開発を行った。

2.2 導通損失の低減

導通損失を低減するためには、 $R_{on} \cdot A$ を低減する必要がある。図1に示すようにスーパージャンクション構造は、ドリフト層に p 形領域と n 形領域をそれぞれ交互に配置することで、電圧印加時に各 pn 接合の空乏層が横方向でつながり、全面で耐圧を確保する構造である^{(4)~(8)}。

$R_{on} \cdot A$ を低減するには n 形領域の不純物濃度を高くし、

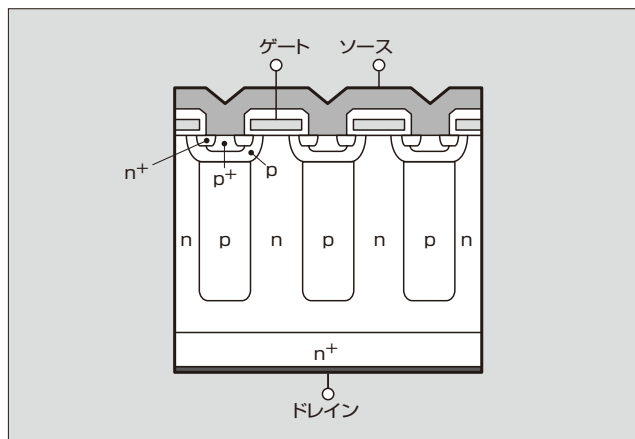


図1 SJ-MOSFET のスーパージャンクション構造

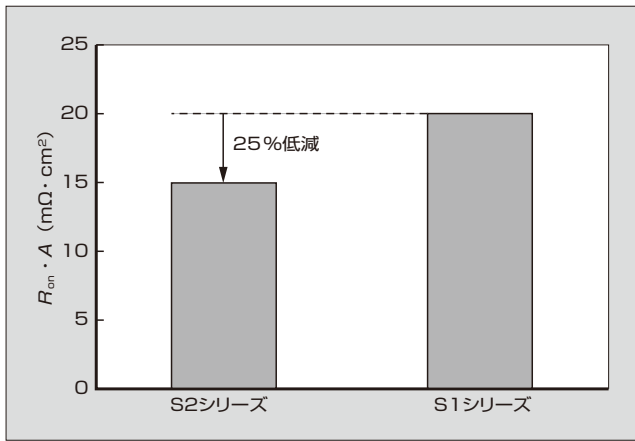


図2 600V 定格品における $R_{on} \cdot A$ 特性

抵抗値を下げる必要がある。S2 シリーズでは不純物拡散プロセスを改善して、n 形領域の不純物濃度を高く保ち、抵抗値を低減することを可能にした。

図2に、S1 シリーズと S2 シリーズの 600V 定格品の $R_{on} \cdot A$ 特性を示す。S1 シリーズの $20 \text{ m}\Omega \cdot \text{cm}^2$ から S2 シリーズでは $15 \text{ m}\Omega \cdot \text{cm}^2$ にまで 25% 低減させた。その結果、TO-247 パッケージにおいて、S1 シリーズは $600 \text{ V}/40 \text{ m}\Omega$ までのチップの搭載にとどまっていたが、S2 シリーズでは $600 \text{ V}/25.4 \text{ m}\Omega$ まで搭載が可能である。

2.3 スイッチング損失の低減と V_{DS} サージの抑制

図3に示す電源において、電流連続モードのための力率改善回路 (CCM-PFC 回路) の MOSFET に、S1 シリーズと S2 シリーズの $600 \text{ V}/70 \text{ m}\Omega$ 品を搭載して評価を行った。入力電圧 100 V 、出力 $50 \text{ V}/18 \text{ A}$ 時の外付けゲート抵抗 R_g に対する電源の変換効率を図4に示す。通常は、 R_g を小さくした場合に電源効率は高くなるが、S1 シリーズは、低下していることが分かる。これはソースの配線インダクタンスが大きいことによる誤オンが原因であり、一般的にこの誤オンを抑制して損失を防ぐことが要求されている。

電源の回路パターンは、以前の設計パターンを流用する場合があります。また部品レイアウトなどの制約からソースの配線インダクタンスを完全になくすことはできない。そこ

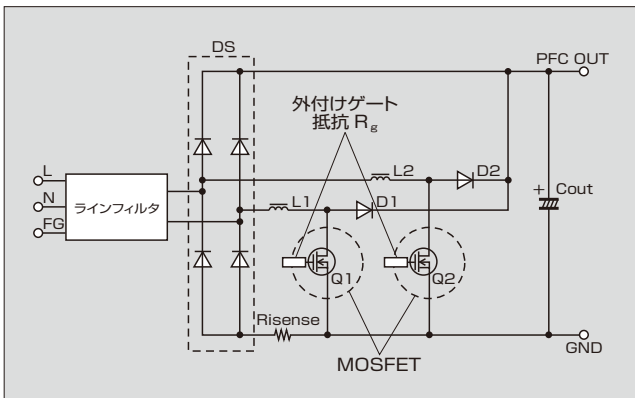


図3 電源の CCM-PFC 回路

で、パターン設計や部品回路定数の変更の手間を掛けなくて済むようにデバイス側での対策を行った。S2 シリーズはしきい値電圧 $V_{GS(th)}$ を上げることで誤オンの抑制を図っている。このとき、 $V_{GS(th)}$ を上げるだけではターンオフ速度が速くなり、ゲート振動による誤オンとターンオフスイッチング時の V_{DS} サージが懸念される。そこで、 $V_{GS(th)}$ の最適化と R_g の最適化などの対策を行った。

S1 シリーズと S2 シリーズの R_g が 2Ω のときのターンオフ波形を図5に示す。S2 シリーズは S1 シリーズに対し、ゲート振動と V_{DS} サージが小さく、ゲート誤オンを抑制している。これにより、顧客での R_g を変更せずに電源効率の向上が可能となる。

図6に E_{off} と V_{DS} サージのトレードオフ特性を示す。同

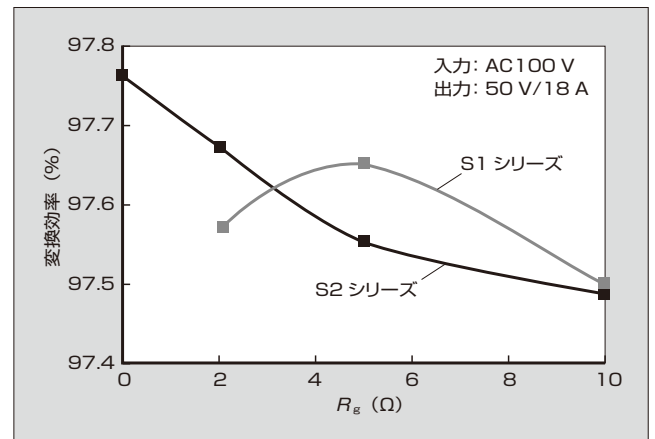


図4 外付けゲート抵抗 R_g に対する電源の変換効率

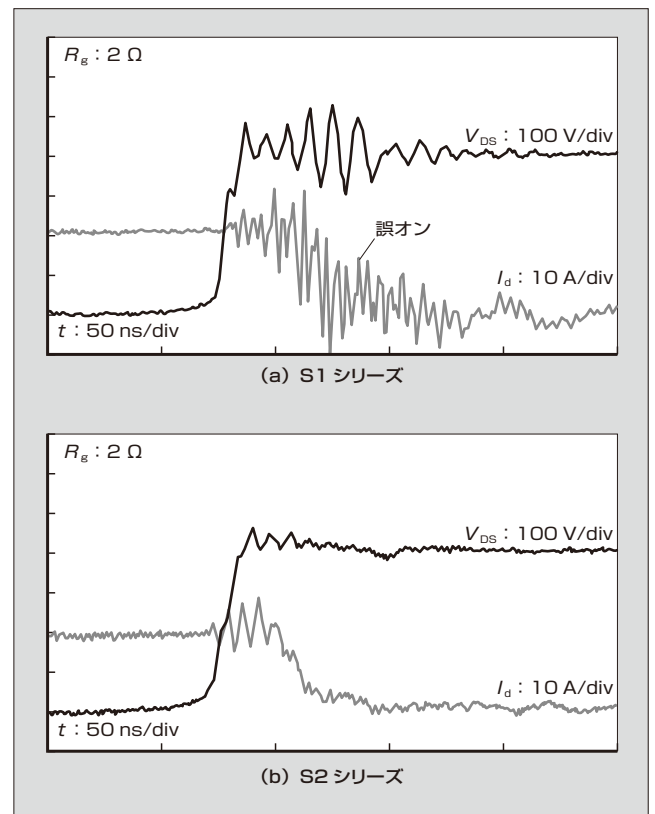


図5 ターンオフ波形

一 V_{DS} サージにおいて、S2 シリーズは S1 シリーズよりも E_{off} が小さく、 E_{off} と V_{DS} サージのトレードオフ特性を改善している。このように、 V_{DS} サージとゲート誤オンを

抑制した S2 シリーズを、電源の CCM-PFC 回路部に搭載したときの R_g に対する電源の変換効率を図 4 に示す。S1 シリーズでは R_g が小さいときに変換効率が低下していた

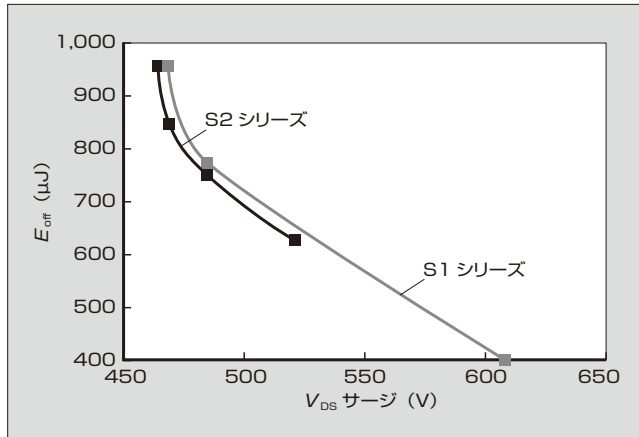


図 6 E_{off} - V_{DS} サージのトレードオフ特性

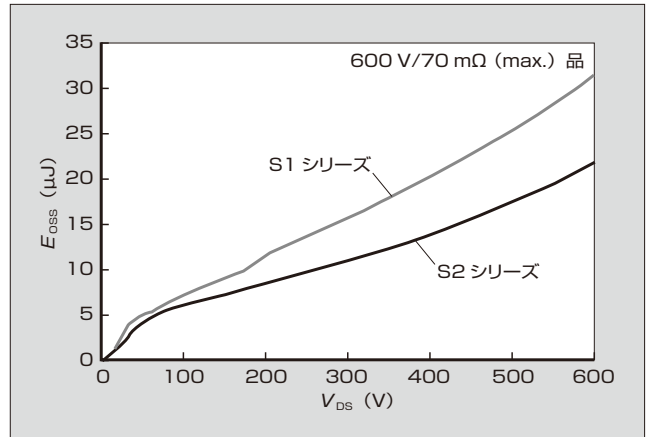


図 8 E_{oss} 特性

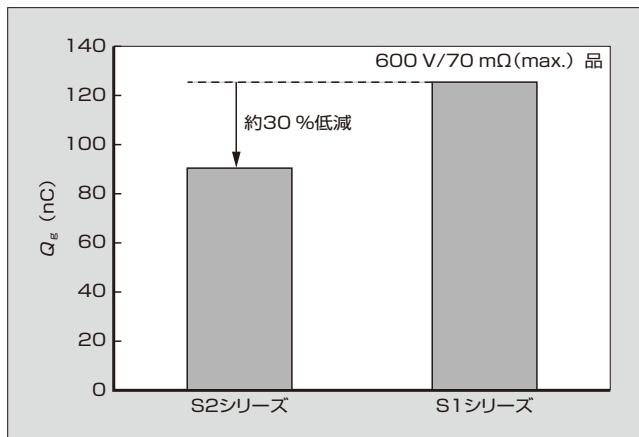


図 7 Q_g 特性

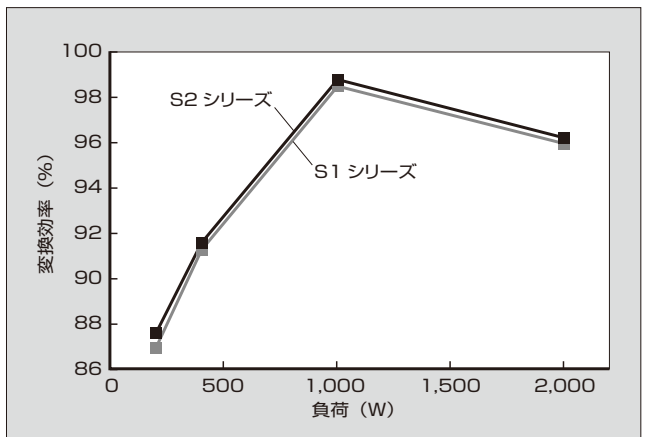


図 9 変換効率-負荷特性

表 1 「Super J MOS S2 シリーズ」の製品系列と主要特性

V_{DS} (V)	$R_{DS(on)}$ max. (mΩ)	I_D (A)	製品系列			
			TO-247 パッケージ	TO-3P パッケージ	TO-220 パッケージ	TO-220F パッケージ
600	25.4	95.5	FMW60N025S2	-	-	-
	40	66.2	FMW60N040S2	-	-	-
	55	49.9	FMW60N055S2	-	-	-
	70	39.4	FMW60N070S2	-	-	FMV60N070S2
	79	37.1	FMW60N079S2	-	FMP60N079S2	FMV60N079S2
	88	32.8	FMW60N088S2	-	FMP60N088S2	FMV60N088S2
	99	29.2	FMW60N099S2	-	FMP60N099S2	FMV60N099S2
	125	22.7	FMW60N125S2	-	FMP60N125S2	FMV60N125S2
	160	17.9	FMW60N160S2	-	FMP60N160S2	FMV60N160S2
	190	15.5	FMW60N190S2	FMH60N190S2	FMP60N190S2	FMV60N190S2
	280	10.4	-	FMH60N280S2	FMP60N280S2	FMV60N280S2
	380	8.1	-	-	FMP60N380S2	FMV60N380S2

が、S2 シリーズでは R_g を小さくすると変換効率が向上している。

2.4 軽負荷時の損失低減

電源が軽負荷のときには MOSFET に流れる電流が小さく、全体損失に占める導通損失の割合が小さくなるため、ドライブ損失と出力容量 C_{oss} の充放電時に発生する損失 E_{oss} の占める割合が増える。そこで、ドライブ損失の指標であるトータルゲート電荷量 Q_g を表面構造の最適化により、S1 シリーズに対して約 30% 低減し、 $R_{on} \cdot Q_g$ を約 20% 低減した。図 7 に S1 シリーズと S2 シリーズの Q_g を比較した結果を示す。また、図 8 に S1 シリーズと S2 シリーズの V_{DS} に対する E_{oss} の比較結果を示す。 V_{DS} が 400 V のときは、S1 シリーズに対して E_{oss} を約 30% 低減した。

3 適用効果

図 3 に示す電源の CCM-PFC 回路に、S1 シリーズと S2 シリーズの 600 V/70 mΩ 品を搭載して比較評価を行った (図 9)。このときの入出力条件は入力電圧 200 V、出力 53.5 V、 R_g は 2 Ω である。S2 シリーズは、ゲート振動による誤オンを抑制し、 E_{off} と V_{DS} サージのトレードオフ特性を改善し、 Q_g と E_{oss} を低減したことで、全負荷領域において S1 シリーズよりも高効率となっている。このことから S2 シリーズをスイッチング電源に適用することで、より高効率で高信頼性の電源設計が見込まれる。

4 製品系列

表 1 に S2 シリーズの製品系列と主要特性を示す。比較的大容量の電源向けに $R_{DS(on)}$ 25.4 ~ 160 mΩ、小容量の電源向けに 190 ~ 380 mΩ の製品を系列化している。

5 あとがき

第2世代低損失 SJ-MOSFET 「Super J MOS S2 シリーズ」は、低損失と V_{DS} サージの抑制を両立した製品である。CCM-PFC 回路部に搭載した実機評価において従来製品よりも高効率を実現可能であり、スイッチング電源の高効率化・小型化に大きく貢献できる。

今後は、市場ニーズのさらなる要求に応えるために、耐圧系列の拡大、内蔵ダイオードの高速スイッチング系列の拡大を進めるとともに、 $R_{on} \cdot A$ 低減などの性能向上を進

めていく所存である。

参考文献

- (1) 田村隆博ほか. 低損失 SJ-MOSFET 「Super-JMOS」. 富士時報. 2011, vol.84, no.5, p.340-343.
- (2) Tamura, T. et al. "Reduction of Turn-off Loss in 600 V-class Superjunction MOSFET by Surface Design", PCIM Asia 2011, p.102-107.
- (3) Watanabe, S. et al. "A Low Switching Loss Superjunction MOSFET (Super J-MOS) by Optimizing Surface Design", PCIM Asia 2012, p.160-165.
- (4) Fujihira, T. Theory of Semiconductor Superjunction Devices. Jpn. J. Appl. Phys., 1997, vol.36, p.6254-6262.
- (5) Deboy, G. et al. "A New Generation of High Voltage MOSFETs Breaks the Limit Line of Silicon", Proc. IEDM, 1998, p.683-685.
- (6) Onishi, Y. et al. "24 m · cm² 680 V Silicon Superjunction MOSFET", Proc. ISPSD'02, 2002, p.241-244.
- (7) Saito, W. et al. "A 15.5 m · cm²-680 V Superjunction MOSFET Reduced On-Resistance by Lateral Pitch Narrowing", Proc. ISPSD'06, 2006, p.293-296.
- (8) 大西泰彦ほか. Superjunction MOSFET. 富士時報. 2009, vol.82, no.6, p.389-392.
- (9) Sakata, T. et al. "A Low-Switching Noise and High-Efficiency Superjunction MOSFET, Super J MOS® S2", PCIM Asia 2015, p.419-426.



渡邊 荘太

パワー MOSFET の開発・設計に従事。現在、富士電機株式会社電子デバイス事業本部事業統括部 ディスクリート・IC 技術部。



坂田 敏明

パワー MOSFET の開発・設計に従事。現在、富士電機株式会社電子デバイス事業本部開発統括部 デバイス開発部。



山下 千穂

電源デバイスのエンジニアリング業務に従事。現在、富士電機株式会社営業本部半導体統括部応用技術部。



*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。