



FUJI 富士電機



# パッケージのスリム化により サーボアンプの薄型,小型化に貢献。



## サーボ用600V Econo IPMの特徴

600V NPT-IGBT(Tシリーズ)の採用によるスイッチング 「Econo IPMシリーズ」外形:122(L)×55(W)×17(H)mm 損失の低減

MPSダイオードの採用によるFWDリカバリーdv/dtの低減 小型スリムパッケージの採用

- ・IPMパッケージスリム化(55mm幅 従来88mm幅)
- ・プリント板高さ低減(17mm 従来22mm)
- ・コンバータモジュールとの共通実装

(Econo Diode Moduleをあわせてラインアップ) 確実な保護動作

- ・上アームアラーム出力ピン追加
- ・電流センス方式による過電流保護(R-IPMと同様)

・オンチップ温度センサによる過熱保護(R-IPMと同様) 高信頼性

・パワーサイクル性能の向上

			1	ンバータ部	5
素子数	型式	V <sub>CES</sub> (V)	/ <sub>C</sub> (A)	V <sub>CE(sat)</sub> typ.(V)	V <sub>F</sub> typ.(V)
	6MBP 50TEA060	600	50	2.1	1.7
Circ 1	6MBP 75TEA060	600	75	2.1	1.7
OINT	6MBP100TEA060	600	100	2.0	1.7
	6MBP150TEA060	600	150	2.0	1.7
	7MBP 50TEA060	600	50	2.1	1.7
7in1	7MBP 75TEA060	600	75	2.1	1.7
	7MBP100TEA060	600	100	2.0	1.7
	7MBP150TEA060	600	150	2.0	1.7

内蔵する保護機能

・過電流保護 ・短絡保護 ・IGBTチップ過熱保護

・制御電源電圧低下保護 ・上下アームアラーム出力

Quality is our message

# 富士インテリジェントパワーモジュール 「Econo IPMシリーズ」





## パワー半導体特集

ブロードバンド・ユビキタス情報社会に向けて ――パワーデバイス技術への期待―― <sub>谷内 利明</sub>	550(2)
パワー半導体の現状と動向 重兼 寿夫 ・ 関 康和 ・ 藤平 龍彦	551 ( 3
U シリーズ IGBT モジュールの技術革新 <sub>岩室 憲幸</sub> ・ 宮坂 忠志・ 関 康 和	555 ( 7
T, U シリーズ IGBT モジュール(600 V) 百田 聖自 ・ 宮下 秀仁 ・ 脇本 博樹	559 ( 11
U シリーズ IGBT モジュール (1,200 V) 小野澤勇一 · 吉渡 新一 · 大月 正人	563 ( 15
 U シリーズ IGBT モジュール(1,700 V) 星 保幸 · 宮坂 靖 · 村松健太郎	567 (19
インテリジェントパワーモジュール 「R−IPM3,Econo IPM シリーズ」 渡 辺 学 ・ 楠木 善之 ・ 松田 尚孝	572 ( 24
車載用サージ吸収入力 IC <sup>八重澤直樹</sup> ・市村 武・岡本 有人	577 ( 29
	581 (33)
 電源用マルチチップパワーデバイス「M-Power 2 シリーズ」 <sub>太田 裕之</sub> · 寺沢 徳保	585 ( 37
	589 ( 41
 パワー MOSFET「SuperFAP-G シリーズ」とその適用効果	593 ( 45

目 次



パワー半導体モジュールはパワーエレクト ロニクス技術の根幹を担い,新しい電力制御 技術により大小さまざまな容量の各種機器に 適用され社会に貢献している。

富士電機は最先端の半導体技術をもって常 にこの業界をリードし,高信頼性のパワー半 導体モジュールを市場に供給してきた。最近 では多様な品ぞろえでお客様のニーズに応え る第五世代 IGBT モジュールを製品化し,そ の優れた特性から市場の注目を集めている。

表紙写真では小容量から大容量までの第五 世代 IGBT モジュールとともにカンパニース テートメント「*Quality is our message*」 を示し,ゆるぎない品質を追求する富士電機 の意志を表現している。

# ブロードバンド・ユビキタス 情報社会に向けて

谷内 利明(やち としあき) 東京理科大学工学部教授 工学博士

今日の情報通信社会は,1946年の真空管式コンピュー タ ENIAC の開発で幕を開け,ここ五十数年のエレクトロ ニクス技術の発展がその規模の拡大を担ってきた。特に 1971年に登場したマイクロプロセッサの貢献は大きく, その高度化に伴って情報通信化も一気に加速された。最初 のマイクロプロセッサのトランジスタ数は2,300個にすぎ なかったが,昨年発表されたマイクロプロセッサではトラ ンジスタ数が5,500万個にも上っている。三十年を経て, トランジスタ数は実に2万4,000倍,同時に動作周波数も 2万倍となっている。

そして今,情報通信社会は新たな質的な発展をみようとしている。ネットワークの伝送速度が,100 M ビット/秒のアクセス回線を実現するなど急激に数桁も高速化され, コンピュータの設計が従来のスタンドアロン型アーキテク チャからネットワーク型アーキテクチャへと変化している。 大量の異機種端末がネットワークを通じて相互に協調して 動作する,いわゆるブロードバンド・ユビキタス(高速広 帯域で,いつでも,どこでも)情報社会の幕開けである。

21 世紀は,日常生活で利用する多くの機器,例えばパ ソコン・携帯電話などの情報通信機器は言うに及ばず,テ レビ・冷蔵庫などの家電製品,さらには室内や街角の至る 所に設置される各種センサまでもが,高速なネットワーク につなぎっ放しになる,ブロードバンド・ユビキタス情報 社会になる。ブロードバンド・ユビキタスネットワーク環 境の実現は,生活スタイルや社会の仕組みを大きく変える と共に,新たなサービスや新たな装置の需要を生み出し, エレクトロニクス産業のより一層の発展を呼び起こす。象 徴的な例が近年の電話で,携帯電話の契約台数がここ数年 で急激な伸びを示し, 1999年末で2億7,000万台, さらに 2005年には約3倍の7億7,000万台になると見込まれてい る。電話は,用件伝達手段からお喋りの道具に変わり,さ らに出先で画像情報の送信や,特急券の予約購入・運行 チェックなどもできるインターネット機器へと大きく変身 を遂げつつある。

多くの技術でこのブロードバンド・ユビキタス情報社会 は支えられるが,最も重要な技術の一つにエネルギー供給 技術が挙げられる。



ブロードバンド・ユビキタスネットワークの発展に伴っ て,それを構成するサーバーやルーター,さらにはモバイ ル機器など端末の消費電力は,急激に増大することが予測 される。ネットワークの利用頻度の向上や高度化は,人間 の高度な技術を必要とする,例えば同時通訳や医療診断な どのサービスの電子化をも求め,超高速で動作する情報処 理装置や,軽量でパワフルなモバイル機器などを必要とす る。サービス速度は,マイクロプロセッサの処理速度で決 まり, CMOS素子を例にすると, 2桁以上の処理速度が望 まれれば電源電圧が半減しても,マイクロプロセッサの消 費電力は 25 倍になる。例えば,ノートブックパソコンの マイクロプロセッサでは,ここ十年で動作電圧を1/3に低 減したにもかかわらず,消費電力は100倍に増大している。 コンバータの出力電流は,実に300倍となっている。マイ クロプロセッサの開発は今後もムアーの法則にしたがって 大規模化するとされており, 2010年には 0.5 V で 250 A の 電力供給が必要とされる。

このような要請を受けて,情報処理装置や端末に電力を 供給するコンバータ,特に VRM(Voltage Regulator Module)の研究開発が米国を中心にいま活発に行われて いる。2004年には,スイッチング周波数2~5 MHz で動 作する VRM が,2008年には10~20 MHz で動作する VRM が期待される。桁違いに高性能な VRM の実現は, ひとえにパワーデバイスの高性能化に係っており,2004 年にはオン抵抗0.5 m ,ゲート容量2 nF,スイッチング 速度 20 ns のスイッチデバイスが,2008年にはオン抵抗 0.2 m ,ゲート容量 200 pF,スイッチング速度5 ns のス イッチデバイスが必要とされる。

日本は,パワーデバイス分野で最も権威のある国際会議 ISPSD (International Symposium on Power Semiconductor Devices & ICs)の発祥の地であり,この分野をリー ドし支えてきた第一の国でもある。日本のパワーデバイス 技術が,SiC や GaN などのワイドギャップパワー半導体 デバイスをも含めて桁違いに高性能なパワーデバイスを生 み出し,ブロードバンド・ユビキタス情報社会の発展に向 けて,続けて世界をリードしていくことを期待している。

## パワー半導体の現状と動向

重兼 寿夫(しげかね ひさお)

関 康和(せき やすかず)

藤平 龍彦(ふじひら たつひこ)

## 1 まえがき

長引く不況の中であっても,混迷する経済情勢の中に あっても,技術開発への要求は根強く,その開発行為はと どまることなく着実に前進するものと確信している。特に われわれの明日の社会をよりよくするためのインフラスト ラクチャーの改善には多くの技術開発力を結集し,その目 的を達してきた。

現代ではそれを支える最も大きな技術がパワーエレクト ロニクスであり,われわれの生活のほとんどすべての分野 において用いられているといっても過言ではない。このパ ワーエレクトロニクス技術の根幹を支え,または相互に補 いながら,これまで,パワーデバイス開発の歴史が刻まれ てきた。パワーエレクトロニクスが大きく発展する中で, 当然のことながら,パワーデバイスへの要求も,さらなる 高機能化や高性能化にとどまらず,より高い信頼性の実現 にまで及んでいる。

富士電機ではこれらの要求に応えるべく,洗練された技 術開発力で,高信頼性の最新鋭のパワーデバイスを社会に 提供し続けている。

## 2 最近のパワーデバイスの開発動向

パワーデバイスの最新動向を知るためには,パワーデバ イスで最も権威のある国際学会「ISPSD」(International Symposium on Power Semiconductor Devices & ICs)で の動向を見るのがよい。ISPSDは1988年に電気学会主催 により日本で発足し,その後パワーデバイスに携わる多く の人たちが大切に育てた国際学会である。現在では毎年, 日本,米国,欧州の持ち回りで開催しており,日本では電 気学会主催,IEEE 共催,米国と欧州ではIEEE 主催,電 気学会共催として開催されている。2001年のISPSD 01 は大阪で開催され,Banquet Keynote Address において 富士電機の社長・沢邦彦が前電気学会会長として,My Experiences in Developments of Power Electronics — What I expect to young researchers and engineers — と題して講演し,パワーエレクトロニクスにおける自らの 開発体験に基づく内容により,参加した多くの研究者やエ ンジニアに強い感銘を与えたことは記憶に新しい。

2002 年の ISPSD 02 は,米国ニューメキシコ州サンタ フェにて 6 月初旬に開催された。ここでは 40 件の口頭発 表と,31 件のポスター発表が行われた。富士電機からは 3 件の口頭発表が行われた。

表1に今回も含め最近6年間の ISPSD における分野別 論文件数の推移を示す。この表から分かるように,IGBT (Insulated Gate Bipolar Transistor)や MOSFET(Metal Oxide Semiconductor Field Effect Transistor)が含ま れる MOS-gated Device の発表件数が群を抜いており, それに Power IC/HVIC(High Voltage IC)が続いている。 これらパワーデバイス分野での関心の高さを示している原 動力の一つには LSIのウェーハプロセス技術のパワーデ バイスへの導入によりパワーデバイスとしての特性向上が 著しいことと,パワーデバイス独自の設計技術やプロセス 技術において,幾つもの革新的で興味ある報告がなされて いることである。

例えば最近のパワーデバイス分野では,パワー MOS FET でエピタキシャル層を幾重にも重ねたスーパージャ ンクション構造の実現や,IGBT でウェーハを極限まで薄 くしたフィールドストップ型 IGBT の開発などが,パワー デバイス固有技術として注目されている。

また,もう一つにはパワーデバイスを単体としてのみ扱うのではなく,ドライブ機能や保護機能を集積させることで,コンパクトで信頼性の高いパワー回路ブロックを構成したいというアプリケーション技術者からの要求も原動力の一つになっており,Power IC/HVICの論文が続いて多いことの背景となっている。

また,パワーデバイスにおける期待の新材料として SiC (Silicon Carbide)の発表も堅調である。特に SiC の最大 電界強度が Si に比較して一けた高い物理的な特徴を生か した高耐圧領域でのパワーデバイスに期待が大きい。反面, 現在の Si パワーデバイスに工業的に置き換わるには,克 服しなければならない技術課題も多く,技術的なプレーク



重兼 寿夫

パワー半導体デバイスの研究開発 に従事。現在,電子カンパニーパ ワー半導体事業部副事業部長兼富 士日立パワーセミコンダクタ(株) 代表取締役副社長。工学博士。電 気学会会員。



## 康和

閗

パワー半導体デバイスの研究開発 に従事。現在,松本工場半導体基 盤技術開発部長。工学博士。電気 学会会員。



#### 藤平 龍彦

パワー半導体デバイスの研究開発 に従事。現在,松本工場パワー半 導体開発部長兼富士日立パワーセ ミコンダクタ(株)取締役松本事業 所長。工学博士。電気学会会員,応用物理学会会員。

## 表 1 最近 6 年間の ISPSD における分野別論文件数の推移

開催地 発表分野	ISPSD 97 ワイマール (ドイツ)	ISPSD 98 京都 (日本)	ISPSD 99 トロント (カナダ)	ISPSD 00 ツールーズ (フランス)	ISPSD 01 大阪 (日本)	ISPSD 02 サンタフェ (アメリカ)
Application	4	4	7	8	13	5
Simulation	6	1	1	4	1	2
Bipolar Device	0	1	0	1	1	1
MOS-gated Device	23	29	28	25	37	28
Power IC/HVIC	26	26	11	8	2	11
Power Module	1	3	3	5	0	1
Thyristor/Diode	6	12	10	8	15	4
GTO	5	6	1	0	2	0
SI Device	2	3	0	0	1	0
Material/Process	5	7	8	16	13	7
Packaging	2	0	1	1	6	1
SiC	8	7	6	8	11	11
合計	88	99	76	84	102	7 1

スルーが期待されている。

## 3 富士電機のパワーデバイスの開発方針

富士電機は IGBT,パワー MOSFET,パワーダイオー ド製品を産業,自動車,情報,民生の4市場分野に絞り込 んでワールドワイドにパワー半導体事業を展開している。 新製品開発は,どこにでも適用されるコモディティデバイ スを開発するのではなく,上記4市場分野を対象に,さら に限定されたアプリケーション市場セグメントにおいて, グローバル No.1 かオンリーワンと成りうる製品しか開発 しないことが特徴である。このような製品をキラー製品と 呼んでおり,全パワー半導体の売上高に占める割合を 2000年の35%から2002年には48%レベルに拡大しよう としている。

このようなキラー製品を開発するためには,単にパワー デバイス技術者が技術を磨くだけでは不十分であり,アプ リケーション側技術者とよく連携することが肝要である。 富士電機では,各市場分野のリーディング顧客と強固で継 続的な戦略的パートナーシップを組み,開発することを基 軸としている。また,徹底した顧客起点で新製品開発を考 えると,顧客はパワーデバイスにお金を払うのではなく, パワーデバイスを顧客のパワーエレクトロニクス製品に適 用した場合の効果にお金を払っていることが理解できる。 したがって,開発する新製品は単なるパワーデバイスでは なく,顧客の技術的な悩みを解決するソリューション提案 型デバイスでなければならない。

富士電機はこのような観点から,まずソリューション提 案の基本となるアクティブデバイスである MOS ゲートデ バイスの売上高比率を 2000 年の 52 %から 2002 年には 55 %に引き上げようとしている。また同時に,これら MOS デバイスにドライブ機能や保護機能を内蔵させたス マートパワーデバイス・インテリジェントパワーデバイス の比率を 2000 年の 28 %から 2002 年には 33 %に引き上げ ようとしている。パワーダイオードなどのパッシブデバイ スであっても,最先端 MOS ゲートデバイスと組み合わせ て使用することで,新しいアプリケーション上の効果を引 き出せることを狙って開発を行っている。

すなわち,富士電機のパワーデバイスの開発方針は,世 界最先端技術で高性能なパワーデバイスを実現するととも に,顧客と一体となりパワーデバイス技術と IC 技術を融 合することで,ソリューション提案型のスマートパワーデ バイス・インテリジェントパワーデバイスを提供すること である。富士電機は「顧客の懐の中に入って」新製品の開 発を行うことが基本方針である。

#### 4 富士電機の IGBT

本特集号の前半では特に技術革新の激しいデバイスの第 五世代 IGBT「Uシリーズ」に関する論文を集め,最近開 発した 600 V,1,200 V,1,700 V モジュールについてまと めた。Uシリーズの技術革新については次稿(Uシリーズ IGBT モジュールの技術革新)を,その他それぞれの耐圧 別モジュールについてはそれに続く稿(3編)を参照され たい。

図1は第一世代から第五世代までの IGBT の経緯と適用 技術について表したものである。

第一世代から第三世代までの IGBT では, いわゆるエピ タキシャルウェーハを用いて, ライフタイムコントロール 技術の最適化を図ることと微細加工技術で特性改善を行っ てきた。第四世代や第五世代では, これまでのエピタキ シャルウェーハから FZ (Floating Zone) ウェーハを用い ることで, 大幅な特性改善を実現させることになる。これ は,単に使用するウェーハを変更したということばかりで はなく, IGBT の従来の設計方針を大きく転換させること になった。エピタキシャルウェーハを用いて IGBT を設計

#### 図1 富士電機製 IGBT の適用技術の推移



する場合には,コレクタ側からキャリヤを高注入させ, IGBT ボディに伝導度変調によりキャリヤを充満させ,低 オン電圧化を狙い,電流遮断時には,この伝導度変調によ り充満したキャリヤをライフタイムコントロール技術の適 用により再結合させ消滅させるという基本設計を用いた。 ライフタイムコントロール技術を適用すると,通常のオン 状態においてもその効果があるためキャリヤの輸送効率は 低い。それを補うだけキャリヤの高注入化を図り,オン電 圧を低減させることになる。すなわち,高注入,低輸送効 率というのが基本設計であった。FZ ウェーハを用いて IGBT を設計するときには,コレクタ側からのキャリヤの 注入を抑制し,注入効率を下げて輸送効率を上げるという 基本設計の変更が必要である。単にキャリヤの注入効率を 低減させれば,オン電圧が上昇してしまうが,ここで IG BT ボディにおけるキャリヤの輸送効率を上げることで, この問題を解決した。すなわち, ライフタイムコントロー ル技術を適用しない設計である。富士電機ではまず,第四 世代の 1,200 V IGBT からその適用を始めた。NPT (Non Punch Through)構造の「Sシリーズ」である。

FZ ウェーハを用いるためには,従来の半導体デバイス 開発技術に加えて,NPT 構造を実現させるためのウェー ハを薄くする技術が必要である。富士電機ではこの技術開 発にいち早く取り組み,IGBTのFZ化を積極的に進めて きた。600 Vの「Tシリーズ」はSシリーズの技術を展開 し,さらに薄層化を進めて実現させたものである。

また,IGBT の特性改善には不可欠な技術として表面エ ミッタ側のトレンチ形成技術がある。トレンチ形成技術の IGBT への適用については,オン電圧は低減できるものの, 短絡耐量が問題視された時期もあった。しかしながらそれ らも現在では,表面構造設計の最適化やNPT構造などの 適用により克服し,まったく問題のないレベルになってい る。600 V 第五世代 IGBT の U シリーズでは,このトレン チ技術を適用し大きな特性改善を果たした。

さらに IGBT の特性改善は,NPT 構造から FS (Field Stop)構造へと進展する。FS 構造とは,従来の IGBT における n + バッファ層を FS 層とし,キャリヤの低注入, 高輸送効率という基本動作を用いながら,NPT 構造より もベース層を薄くしてさらにトランジスタとしての特性改 善を実現させたものである。ここでは,ウェーハの薄層化 図 2 600 V IGBT チップ断面の推移



図 3 1,200 V IGBT チップ断面の推移



技術をさらにレベルアップさせ,薄いウェーハ状態でのコレクタ側の FS 層や p 層の形成プロセス技術を開発し,このデバイスを実現させた。1,200 V,1,700 V の第五世代 IGBT Uシリーズである。

これらのチップの断面構造を世代別に分かりやすく示し たのが,図2,図3である。それぞれ600V,1,200V IGBT チップの変遷を示した。これらの図から分かるよう に従来のIGBT チップと比較すると,最近のIGBT チップ の厚さは非常に薄いものとなっているばかりでなく,トレ ンチ化やFS化技術など高レベルな技術が幾つも織り込ま れている。

#### 5 インテリジェント化

富士電機では前述した開発方針に従って,パワーデバイ スのインテリジェント化を推進してきた。パワーデバイス 部に加え,ドライブ機能や保護機能,自己診断機能,演算 機能などを内蔵させ,このデバイスを使用されるお客様の 悩みを解決し満足していただけることを最大の開発目的と して推進してきた。本特集号では,新たにTシリーズの IGBTを用いて損失低減ばかりでなく,温度依存性が少な く電流集中を生じにくい「R-IPM3シリーズ」と,パッケージの小型・薄型化を狙った「Econo IPM シリーズ」 を開発した。ノイズの低減などの効果も含めて総合的にお 客様に使いやすいデバイスを目指している。

また電源分野においては, すでに「M-Power1」を製品 化展開し,カラーテレビ, CRT モニタなどに採用されて いる。今回新たに,軽負荷時でも高効率な制御が可能な方 式を新規に開発し,これを用いて LCD(Liquid Crystal Display)モニタなどの電源を容易に設計できる「M-Power2シリーズ」を提案した。これにより小型,軽量そ して高効率電源を可能とすることができる。

富士電機は自動車分野においてもこれまで,高機能 MOSFET やイグナイタ用インテリジェントパワーデバイ スなどの実績を持っている。今回はランプの点灯やモータ の駆動など負荷の通電開始時に瞬間的な大電流を通流させ る能力を付加させた車載用高機能 MOSFET を開発した。 これはさらにフェイルセイフ設計として過電流検出,過電 流制限そして過熱検出の保護機能を取り込んで多重の安全 設計とした。

このように富士電機では,産業,自動車,情報,民生の 絞り込んだ分野で,パワーデバイスのインテリジェント化 を推進させ,顧客と一体になり提案型の新製品開発を行っ てきた。

6 個別素子の高性能化

2001 年の低 R<sub>on</sub> (オン抵抗) と低 Q<sub>gd</sub> (ゲート-ドレイ ン間チャージ容量)を両立させて大幅な損失低減を実現さ せた,パワー MOSFET「SuperFAP-Gシリーズ」がある。 すでに 450 ~ 600 V 耐圧クラスでは約 40 型式を量産して いる。今回は新たに DC-DC コンバータ用に 100 ~ 250 V の中耐圧クラスと,AC 200 V 入力のスイッチング電源用 に 700 ~ 900 V クラスの高耐圧クラスの系列化を行った。 SuperFAP-G シリーズは独自の表面設計構造により表面 での電界を緩和し,シリコン理論限界の 97 %の耐圧を実 現させ低抵抗ウェーハを使用可能としたもので,パワー MOSFET において大きなブレークスルーを果たした。

スイッチング電源分野では, さらに損失低減を目的とし てダイオードへの改善要求がある。実際にはスイッチング 電源の二次側出力整流ダイオードでは,スイッチング電源 損失の約半分を占めるほどである。これまでは200~300 V クラスでは pn 接合ダイオードが用いられてきた。今回は, この損失低減のためにショットキーバリヤダイオード (SBD)の優れた特性に注目し,開発を進めた。特にブ レークスルーしなければならなかった技術は,バリヤメタ ルの最適化であった。バリヤメタルのバリヤハイトが高す ぎれば順方向電圧(V<sub>F</sub>)は高くなり,低すぎれば漏れ電 流(*I*<sub>r</sub>)が増加するというトレードオフの中で,高耐圧の SBDは開発された。

### 7 あとがき

ここ数年のパワーデバイスにおける技術開発の進展は目 覚ましい。激しく動く時流の中で,富士電機では常に最先 端の技術でパワーデバイスをリードしてきた。新製品開発 では,常に絞り込んだ市場セグメントにおいてグローバル No.1 かオンリーワンと成りうるものしか開発しないとい う方針を貫いている。

本特集号ではこれらの開発方針に従って開発した富士電 機のパワーデバイス製品を紹介する。特に今回は期待の大 きい第五世代 IGBT(Uシリーズ)の製品化にあたり,本 特集号の前半に集めて紹介した。Uシリーズの技術革新, また 600 V, 1,200 V, 1,700 V IGBT モジュールについて 詳細な紹介をしたので参照されたい。

IGBT ばかりではなく,特定分野におけるインテリジェ ント化への取組みや,特定アプリケーションにおける専用 デバイスの提案,また個別デバイスでの技術的な大きなプ レークスルーなど,常に顧客起点で開発された富士電機の パワーデバイスをも本特集号では紹介している。

これらの新製品が顧客満足度を十分に向上させるものと 確信している。

さらにわれわれは品質に対しても「*Quality is our message*」と宣言し,自らを律し今後とも確かな品質を 持つ製品をお客様に提供していく所存である。

参考文献

- (1) 関康和.パワーデバイスの最近の動向 2002.平成 14 年電 気学会全国大会シンポジウム.3-S15-1,2002.
- (2) Sawa, K. My Experiences in Developments of Power-Electronics. Proceedings of ISPSD 01. 2001, p.461.
- (3) Otsuki, M. et al . Investigation on the Short-Circuit Capability of 1200 V Trench Gate Field-Stop IGBTs . Proceedings of ISPSD 02 . 2002 , p.281 .
- (4) Ohnishi, Y. et al . 24 m cm<sup>2</sup> 680 V Silicon Super Junction MOSFET . Proceedings of ISPSD 02 . 2002 , p.241 .
- (5) Sugi, A. et al . A 30 V Class Extremely Low On-resistance Meshed Trench Lateral Power MOSFET . Proceedings of ISPSD 02 . 2002 , p.297 .
- (6) 関康和.IGBTの開発動向.電気学会論文誌C.vol.122-C, no.6, 2002, p.1074.
- (7) 関康和.パワー半導体の現状と動向.富士時報.vol.74, no.2, 2001, p.103-105.
- (8) 重兼寿夫.パワー半導体の現状と動向.富士時報.vol.72,
   no.3,1999,p.161-163.

## U シリーズ IGBT モジュールの技術革新

岩室 憲幸(いわむろ のりゆき)

宮坂 忠志(みやさか ただし)

) 团

```
康和(せき やすかず)
```

#### 1 まえがき

IGBT (Insulated Gate Bipolar Transistor)は, MOS FET (Metal Oxide Semiconductor Field Effect Transistor)の高インピーダンス特性と,バイポーラトランジス タの低オン電圧特性とを兼ね備えたパワーデバイスとして, 1980年代前半に考案された。その後 1980年代後半の第一 世代 IGBT の出現により電力変換装置用デバイスとして, 産業,情報,交通などの各分野でのパワーエレクトロニク ス技術の中で非常に大きな役割を占めてきた。IGBT はバ イポーラトランジスタ以上の電圧・電流定格を持つこと, さらには高速スイッチングができることで年々注目される ようになり,それに伴ってさらなる低損失化が切望される ようになった。その結果,表面セル構造の微細化とそれに 伴う高性能化の技術革新により第一,第二,第三世代と進 歩を重ね,装置の小型化・高性能化に大きく寄与してきた。 特に近年, IGBT モジュールの性能向上は目を見張るもの がある。

本稿では,富士電機が開発した超低損失Uシリーズ IGBT モジュールの設計コンセプトならびに諸特性を報告 し,富士電機製IGBT モジュールの技術革新について紹介 する。

2 超低損失 IGBT チップの開発

富士電機は IGBT の製品化を 1988 年から始め,市場に 供給してきた。ワイドベース pnp トランジスタの注入効 率を上げ,ライフタイムコントロールにより輸送効率を 下げるという設計コンセプトを基にした PT (Punch Through)構造 IGBT において,表面セル構造の微細化に よる MOSFET 部からの電子電流の供給増により特性改善 を進め,1988,1990,1994 年に第一,第二,新第三世代 (Nシリーズ) IGBT モジュールを製品化した。その後, さらなる性能向上を目指して,上記 pnp トランジスタの 注入効率を下げ,ライフタイムコントロールしないで輸送 効率を上げるという設計コンセプトに基づいた NPT  (Non Punch Through)構造 IGBT (NPT-IGBT)を開発 した。特にこの NPT-IGBT の開発にあたっては,ウェー 八厚を 100 µm 近くになるまで削り素子を作成するという 薄ウェーハプロセス技術を新たに開発することで特性改善 に成功し,その結果,1,200 V 系は 1999年にSシリーズを, 600 V 系では 2001年にTシリーズをそれぞれ製品化した。

今回開発した超低損失 U シリーズ IGBT チップ(U-IGBT チップ)は,上記 NPT-IGBT チップの開発で培わ れた薄ウェーハプロセス技術と,より一層の表面セル微細 化を可能にするトレンチゲート技術を融合させることで, さらなる特性改善を図ったパワー半導体素子である。図1 は 600 V 系 IGBT チップの各世代でのオン電圧-ターンオ フ損失トレードオフ特性比較を示したものである。トレン チゲート構造と薄ウェーハ NPT 構造により,大きな性能 改善が達成できていることが分かる。また上記薄ウェーハ NPT 技術をさらに進歩させた薄ウェーハ FS (Field Stop) 技術を今回新たに開発し,1,200 V 系ならびに1,700 V 系 IGBT チップに適用した。これにより,図2に示すように オン電圧-ターンオフ損失トレードオフ特性を飛躍的に改 善することに成功した。さらにこの U-IGBT チップは, pnp トランジスタの注入効率を下げ, ライフタイムコント ロールをせず輸送効率を上げるという設計コンセプトによ

#### 図1 600 V IGBT トレードオフ比較





岩室 憲幸

パワー半導体素子の研究開発に従 事。現在,富士日立パワーセミコ ンダクタ(株)松本事業所開発設計 部マネージャー。工学博士。IEEE Senior Member,電気学会会員。



宮坂 忠志

パワー半導体モジュールの開発・ 設計に従事。現在,富士日立パ ワーセミコンダクタ(株)松本事業 所開発設計部副グループ長。



#### 康和

パワー半導体デバイスの研究開発 に従事。現在,松本工場半導体基 盤技術開発部長。工学博士。電気 学会会員。 り,図3に示すようにオン電圧が正の温度係数を示し,その結果,大電流定格品への適用に非常に適した素子となる。

IGBT の設計において,トレンチゲート構造のような微 細表面セル構造を適用することでオン電圧の低減が実現で きることは知られているが,その反面,負荷短絡などの異 常時に大きな電流が流れてしまい,その結果として素子が 破壊しやすくなる問題が生じ,これをブレークスルーする ことが大きな課題となっていた。今回開発した U-IGBT チップは,トレンチゲート構造を最適化することでオン電 圧を犠牲にすることなく,負荷短絡などの異常時に流れる 電流値を抑えることに成功し,その結果耐量の向上も図れ

図2 1,200 V, 1,700 V IGBT トレードオフ比較



図 3 U-IGBT 出力特性(1,200 V 素子)



ている。図4は1,200 V/450 A U-IGBT モジュールにおけ る負荷短絡波形である。負荷短絡時の電流値を定格電流の 約5倍に制限し,125 においても10μs以上もの十分な 耐量が得られていることが分かる。

#### 新 FWD チップの特徴

新 FWD (Free Wheeling Diode)素子はアノード層か らの少数キャリヤの注入をコントロールすることで,ソフ トな逆回復特性を有する。さらにライフタイムコントロー ルを最適化することで,IGBT 同様,オン電圧が正の温度 係数を示すよう設計されており,大電流定格品への適用に 非常に適した素子となっている。この新 FWD の適用によ り,図5に示すように IGBT のターンオン時の電流ピーク 値を抑制することができ,その結果,ターンオン損失を低 減させることが可能となる。

#### 4 U-IGBT のインバータへの適用時の熱検討

汎用インバータ分野では IGBT モジュールの適用が一般 的になってきているが, さらなる性能向上と信頼性向上を 達成し,コストパフォーマンスの向上を進めることが大き な課題になっている。図6にチップサイズとインバータ適



図4 U-IGBT モジュール負荷短絡波形(1,200 V/450 A)

図 5 U-FWD と従来 FWD 適用時の IGBT ターンオン波形比較



用時の発生損失の関係を示す。従来品のチップサイズを基準とし 1,200 V/150 A 素子を代表例に 30 kW インバータの 定格負荷時の損失を比較すると,従来品の発生損失に対し 同サイズであれば約 30 %の損失低減が可能である。またチップサイズの依存性が小さく,仮に同一損失とするならば 20 %程度までチップシュリンクの可能性があることを 示唆している。これは前述のチップ技術の適用により,図7 に示す IGBT の出力特性が大幅に改善され,電流密度を上げてもオン電圧が増加しないためである。

しかし図 8 に示すようにベース部温度を基準としたチッ プ温度上昇( $T_{j-c}$ )は熱抵抗( $R_{th(j-c)}$ )がチップサイズ に反比例するため単純に $T_{j-c}$ =発生損失× $R_{th}$ で計算す ると,チップサイズをシュリンクした場合,急激に上昇し, 信頼性上パワーサイクル耐量などの課題が生じる。

## 4.1 放熱器を含む温度上昇

IGBT チップの温度上昇は放熱器を含む冷却システムに より確定されるものであるが,従来は冷却システムトータ ルでの検証は容易ではなく簡易的にフィン温度を固定し,

図 6 IGBT 発生損失とチップサイズ比較



#### 図7 IGBT 出力特性比較



 $T_{
m j-c}$ を加算する方法で議論してきている。

図9に冷却システムを含む温度上昇を有限要素法(FE

M)を用い検証した結果を示す。三次元モデル解析により,

(1) 放熱器取付け用ベース部の横方向熱広がり

(2) チップ間隔の最適化による相互干渉の低減

(3) モジュール配置の最適化

を実施することにより,チップ温度上昇を抑制できる可能 性があることが分かった。

この解析技術の開発により,信頼性を検証するうえで重要な温度検討を容易にかつ精度よく実施できるようになったと考える。

4.2 パワーサイクル耐量の向上

富士電機では, IGBT モジュールにおけるパワーサイク ル試験素子の解析から,パワーサイクル耐量はチップ下の



図 8 IGBT T<sub>i-c</sub>とチップサイズ比較

図 9 IGBT チップ温度上昇 FEM 解析結果



## 図10 パワーサイクル耐量の向上



はんだとボンディングワイヤの,おのおのの寿命の合成で 求まることを確認し,寿命向上のためチップ下はんだをす ず系の高剛性材料に変更する技術を報告した。

今回Uシリーズではこの技術を全面適用し,図10に示す ように,例えば 40 deg においては従来比 10 倍以上に耐 量を向上させている。逆に従来と同等の耐量であれば,従 来 40 deg 以下であった温度変化を 60 deg まで上げること が可能である。

図11は従来品の 1,200 V/150 A 素子とUシリーズとのモジュールの比較を示したものであるが,上述技術の適用によりベース面積で 40%の小型化を達成している。

5 あとがき

超低損失 U シリーズ IGBT モジュールの開発にあたり, 富士電機のチップ技術ならびにパッケージ技術について概 略を紹介した。特に U シリーズ IGBT チップはトレンチ 図 11 U-IGBT モジュールと従来モジュールの外形比較



ゲート構造と薄ウェーハ技術の融合により IGBT としては 究極に近い姿となり,装置の低損失化ならびに小型化に大 きく寄与している。IGBT モジュールの性能を最大限生か すためには装置における最悪条件を理解し,その条件にお ける放熱器を含む熱検証をしたうえ,最適な素子を選択す ることが現在要求される事項である。そのための要素技術 を開発したが,今後さらにレベルを向上させ,製品に適用 していく所存である。

## 参考文献

- (1) Laska, T. et al. The Field Stop IGBT (FS-IGBT) -A New Power Device Concept with a Great Improvement Potential. Proceedings of the 12th ISPSD. 2000, p.355-358.
- (2) Morozumi, A. et al. Reliability of Power Cycling for IGBT Power Semiconductor Module. Conf. Rec. IEEE Ind. Appl. Conf. 36th. 2001, p.1912-1918.



## T, Uシリーズ IGBT モジュール(600 V)

百田 聖自(ももた せいじ)

宮下 秀仁(みやした しゅうじ)

脇本 博樹(わきもと ひろき)

### 1 まえがき

IGBT (Insulated Gate Bipolar Transistor)モジュール は,モータコントロールなどのパワーエレクトロニクス分 野では現在最も普及しているパワーデバイスである。それ は駆動の容易性に加え,発生損失低減および破壊耐量向上 などによる信頼性改善が進み,市場の評価を受けているた めである。特に 600 V IGBT モジュールは国内では 220 V の産業用電源に,また欧州などの海外では 200 V の一般用 電源を利用している地域などの広い市場で,欠かすことの できない重要なデバイスとしての役割を果たしている。

このような状況の中,富士電機も 600 V IGBT モジュー ルを 1988 年の開発当初から特性改善を進めつつ系列化を 行ってきたが,2001 年にはウェーハを薄く加工する技術 の開発により,NPT (Non Punch Through) 化技術を 600 V 用デバイスにまで適用できるようになった。これに より低スイッチング損失で,特に高周波用途に適した製品 として「T シリーズ IGBT」を開発し系列化した。

NPT 化技術の開発が主にチップ裏面構造の開発であっ たのに対し,2002 年からはチップ表面構造の改善を実施 した。その結果,チャネル密度を増加させ,さらに余分な 電圧降下成分を削除することにより,定常損失をも低減す ることができるトレンチ構造の開発を行った。これにより, 現在このクラスでは最も低損失のデバイスとして「Uシ リーズ IGBT」の開発に成功し,現在系列化を進めつつサ ンプル展開を実施しているところである。

また,IGBT モジュールに内蔵されている FWD (Free Wheeling Diode)も,損失低減とともに,よりソフトリカバリーな特性が求められている。それは発振などによるその装置自身の誤動作防止だけではなく,放射ノイズが周辺機器や人体へ与える悪影響を懸念しているからである。この要求に応えるべく,上述の新しいIGBT モジュールには新構造の FWD の開発も合わせて実施し採用した。本稿ではこれらの素子技術と製品系列に関して紹介する。

2 Tシリーズ IGBT モジュール

2.1 Tシリーズ IGBT の特徴と課題

NPT型 IGBT の単位セル構造を PT (Punch Through) 型 IGBT の単位セル構造と比較して図 1 に示す。これは以 下のような特徴を持っている。

- (1) コレクタ側からの注入を抑制できるのでライフタイム コントロールが不要であり、高温でもスイッチング損失 が増加しない。
- (2) 出力特性の温度依存性が正(高温でオン電圧が増加) であるので,並列使用に有利である。
- (3) 負荷短絡耐量などの破壊耐量が高い。
- (4) FZ(Floating Zone)ウェーハを利用できるので安価 であり,また低結晶欠陥であるので信頼性も高い。

課題としては薄いウェーハの加工技術の確立がある。 NPT型デバイスではコレクタ-エミッタ(CE)間耐圧を 確保しつつ,オン電圧を低くすることが重要である。それ には CE 間に最大電圧が印加された際にも,空乏層端が PT しない厚さとする必要があるが,CE 間耐圧の低いデ バイスではその最適厚さは薄くなり,加工は困難となる。

#### 図1 単位セル構造の比較





百田 聖自 IGBT チップの開発に従事。現在,

リーダー。

富士日立パワーセミコンダクタ

(株)松本事業所開発設計部チーム



## 宮下 秀仁

IGBT モジュールの開発・設計お よび応用技術の開発に従事。現在, 富士日立パワーセミコンダクタ (株)松本事業所開発設計部チーム リーダー。電子情報通信学会会員。



#### 脇本 博樹

パワーデバイスの研究・開発に従 事。現在,富士電機総合研究所デ バイス技術研究所。電気学会会員。

#### 2.2 NPT 型デバイスへの富士電機の取組み

富士電機は図2に示すように NPT 化の技術には早くか ら取り組んできており,より困難な低耐圧デバイスへこの 技術の適用を進めてきた。

600 V IGBT に適用するための最適厚さはさまざまな研究から 100 µm程度とされていたが,富士電機はウェーハ 仕様の見直しと,バックグラインド加工技術の精度向上に より,厚さの設計値を他社より薄く設定することが可能と なった。これは発生損失の要素であるオン電圧とターンオ フ損失の低減に効果があった。

#### 2.3 Tシリーズ IGBT の特性

以下にその特性の概要を紹介する。図3はCE間耐圧で ある V<sub>CES</sub> 波形の比較であるが, PT 型デバイスと同様に NPT 型デバイスも最大定格電圧の 600 V 以上で 800 V 程 度の耐圧である。

ターンオフ波形の比較を図4に示す。PT 型デバイスで はコレクタ側からの注入が多いので,ターンオフ時にキャ リヤの再結合を促すために,ライフタイムコントロールを 実施している。この効果は高温では低減するために,ター ンオフが遅くなり,損失が増加する傾向がある。一方, NPT 型デバイスではライフタイムコントロールを実施し ていないためにその温度特性がなく,結果としてターンオ フ波形は高温でも変わらず,ターンオフ損失増加も生じな い。

#### 図2 富士電機の NPT 技術適用の推移



図3 PT 型デバイスと NPT 型デバイスの Vces 波形の比較



負荷短絡波形を図5に示す。負荷短絡時には素子はその 発生損失による温度上昇で破壊に至る。しかしn-ドリフ ト層が厚いNPT型デバイスは電圧をこの広いn-ドリフト 層で支えるために,温度上昇が緩和され,結果として高い 短絡耐量を得ることができる。PT型の耐量が15μsであ るのに対し,NPT型は22μsの実力があり,通常必要と される10μsに対し十分なマージンを持って保証できる。

### 3 Uシリーズ IGBT

#### 3.1 Uシリーズ IGBT の表面セル構造

チップ裏面構造の改善を行った T シリーズ IGBT の性 能をさらに向上させるために,表面構造の改善を行った。 富士電機ではトレンチ型のパワー MOSFET (Metal Oxide Semiconductor Field Effect Transistor)を生産して いるが,これには車両用にも搭載可能な高い信頼性を保証 するための設計とプロセス技術が適用されている。この技 術を IGBT に応用したのが U シリーズ IGBT である。T シリーズのプレーナ型セル構造との比較を図6に示す。

トレンチ型 IGBT ではセル密度を大幅に増加させられる のでチャネル部の電圧降下を最低限に抑えることができる。 また,プレーナ型デバイス特有のチャネル間に挟まれた *J*FET といわれる部分がトレンチ型デバイスでは存在しな

図4 ターンオフ波形の比較







いので,この部分の電圧降下を完全に削減できる。しかし, 低耐圧用のパワー MOSFET のセル設計をそのままでは適 用できないので,600 V IGBT 用に適したセルピッチおよ びトレンチの深さとする必要があり,Uシリーズ IGBT で はシミュレーションおよび実験によりこの最適値を求め適 用した。

#### 3.2 Uシリーズ IGBT の特性

上記内容に基づき設計された U シリーズ IGBT の諸特 性を説明する。まずコレクタ-エミッタ間飽和電圧(*V*<sub>CE</sub> (sat))とコレクタ電流密度(*J*<sub>C</sub>)の出力特性の比較を図 7 に示す。

電流密度 185 A/cm<sup>2</sup> (*T*<sub>i</sub> = 125 のとき)での *V*<sub>CE (st)</sub> が 2.15 V から 1.70 V まで大幅に低減した。また室温と高 温の出力特性の交点がより低電流域にあり,通常使われる 領域での温度特性が正である。この特性はモジュールを並 列使用する場合などに素子間の動作アンバランスを低減で き,製品としての長寿命化が図れる。この特性は前述した ように NPT 型ウェーハではライフタイムコントロールを 実施していないことと,n-ドリフト層が厚いためであり, T シリーズおよび U シリーズに共通した特徴である。

図6 プレーナ型とトレンチ型セル構造の比較



#### 図7 出力特性の比較



図8に電流密度を同一にした場合のIGBTの発生損失の 計算結果の比較を示す。NPT型構造の適用によりTシ リーズではターンオフ損失が大幅に低減し、トータルでは Sシリーズに比べ約10%の損失低減となっている。また V<sub>CE(sat)</sub>の低減により定常損失が低下したUシリーズでは, さらに10%の損失低減がされている。

#### 4 FWD の改善

IGBT モジュールには IGBT とともに FWD も内蔵され ているが, FWD には発生損失低減とソフトリカバリー化 が要求される。この改善には,ウェー八仕様の最適化,ア ノード側からの注入抑制,最適なライフタイムコントロー ルの実施がある。富士電機ではこれらを見直した新設計の FWD の開発を行った。出力特性を図9に示す。

結果として,順方向電圧(V<sub>F</sub>)が低下しており,IGBT と同様に正の温度特性が得られた。またキャリヤの注入を 抑制したので,逆回復時のピーク電流が減少し,発生損失 が低減しているとともに,ソフトリカバリーな特性も得ら れた。これらにより,低発生損失で低ノイズなFWDが実 現し,Uシリーズのモジュールに採用した。



#### 図8 各種デバイスの発生損失比較

図9 FWD の出力特性



#### 表1 UシリーズIGBTの系列

パッケージ	電流定格	型名	発売時期
	8 A	7MBR8UE060	
	1 0 A	7MBR10UE060	
小容量 PIM	1 5 A	7MBR15UE060	
	20 A	7MBR20UE060	
	30 A	7MBR30UE060	
	20 A	7MBR20UA060	
EP2	30 A	7MBR30UA060	
	50 A	7MBR50UA060	
	50 A	7MBR50UB060	
EP3	7 5 A	7MBR75UB060	
	100A	7MBR100UB060	
	20 A	7MBR20UC060	
HEP2	30 A	7MBR30UC060	
	50 A	7MBR50UC060	2003年4月
HED3	7 5 A	7MBR75UD060	
ner 3	100A	7MBR100UD060	
Zin 1	100A	7MBI100UD-060	
(M631	150A	7MBI150UD-060	
または M621)	200A	7MBI200UD-060	
	300 A	7MBI300UD-060	
Maaa	150A	2MBI150UA-060	
IM 2 3 2	200A	2MBI200UA-060	
Maaa	300 A	2MBI300UB-060	
IVI 2 3 3	400A	2MBI400UB-060	
M238	600A	2MBI600UE-060	
Maga	400A	6MBI400U-060	
MI029	600A	6MBI600U-060	

## 図 10 U シリーズ IGBT の代表パッケージ



### 5 系列紹介

表1にUシリーズ IGBT の系列と発売時期,図10に代 表パッケージの外観を示す。また,表2にUシリーズ IGBT モジュールの主要定格と特性を示す。

## 6 あとがき

600 V IGBT モジュール用として, NPT 型デバイスの T

## 表 2 U シリーズ IGBT の主要定格と特性

(a)絶対最大定格(記述がなければ *T*<sub>c</sub>=25 )

項目	記号	条件	最大定格	単位
コレクタ - エミッタ間電圧	V <sub>CES</sub>		600	V
ゲート - エミッタ間電圧	V <sub>GES</sub>		±20	v
	/ <sub>C</sub>	連続	400	
コレクタ電流	/ <sub>C pulse</sub>	1 m s	800	
	- / <sub>c</sub>		400	
	- I <sub>C pulse</sub>	1 m s	800	]
最大損失	P <sub>c</sub>	1デバイス	1,135	w
接合温度	Tj		150	
保存温度	T <sub>stg</sub>		- 40~ + 125	
絶 縁 耐 圧(パッケージ	) V <sub>iso</sub>	AC :1min	2,500	v
	マウンティング		3.5	Num
	ターミナル		3.5	IN• M

## (b )電気的特性(記述がなければ *T*<sub>c</sub> = 25 )

	57 B	条件		特性			畄仚	
山田 山田	記亏			min.	typ.	max.	単位	
コレクタ - エミッ 夕間漏れ電流	/ <sub>CES</sub>	$V_{GE} = 0$ $V_{CE} = 6$	V 0 0 V	_	_	2.0	mA	
ゲート - エミッタ 間漏れ電流	/ <sub>GES</sub>	$V_{CE} = 0$ $V_{GE} = \pm$	V 20V	_	_	0.4	μA	
ゲート - エミッタ 間しきい値電圧	V <sub>GE(th)</sub>	$V_{\rm CE} = 2$ $I_{\rm C} = 40$	0 V 0 mA	_	6.0	_	v	
	V		<i>T</i> <sub>j</sub> = 25	-	1.8	-		
コレクター	CE(sat) (Terminal)	V <sub>GE</sub> = 15 V	<i>T</i> <sub>j</sub> = 1 2 5	-	1.9	_		
111日の11日の11日日の11日日の11日日の11日日の11日日の11日日	Vore( sat )	/ <sub>C</sub> = 400 A	<i>T</i> <sub>j</sub> = 25	-	1.6	-	V	
	(Chip)		<i>T</i> <sub>j</sub> = 1 2 5	-	1.7	-		
入力容量	${\cal C}_{\sf ies}$	$V_{GE} = 0 V$ $V_{CE} = 10 V$ f = 1 MHz		_	40	_	nF	
	t on			-	-	1.2		
タージオン時間	t r	$V_{\rm CC} = 6$ $I_{\rm C} = 40$	0 0 V 0 A	-	_	0.6		
	t off	$V_{GE} = \pm R_a = 0$	$V_{GE} = \pm 15 V$ $R_{=} = 0.5$			1.0	μs	
タージオブ時間	t f	Ng 0.0		-	-	0.35		
ダイオード 順方向電圧	VF		<i>T</i> <sub>j</sub> = 25	-	1.8	-		
	(Terminal)	/ <sub>F</sub> =	<i>T</i> <sub>j</sub> = 1 2 5	-	1.7	-		
	V	400A	<i>T</i> <sub>j</sub> = 25	-	1.6	-	v	
	¥F(Chip)		<i>T</i> <sub>j</sub> = 1 2 5	-	1.5	-		
逆回復時間	t <sub>rr</sub>	/ <sub>F</sub> = 15	0 A	-	-	0.3	μs	

#### (c)熱抵抗特性

百日	約 문	冬件	特性			甾位
<u> </u>		까다	min.	typ.	max.	+12
デバイスの熱抵抗	R <sub>th(j-c)</sub>	IGBT	_	-	0.11	
(1デバイス)		FWD	-	-	0.18	/w
ケース - フィン間熱抵抗	R <sub>th(c-f)</sub>		-	0.025	-	

シリーズとUシリーズの紹介を行った。富士電機では今後さらにIGBT 独自の技術開発や,他の半導体デバイスの 技術を取り入れて,その高性能化を進めるとともに,パ ワーエレクトロニクス全体の発展に貢献していく所存であ る。

## U シリーズ IGBT モジュール(1,200 V)

小野澤 勇一(ぉのざわ ゆういち)

吉渡 新一(よしわたり しんいち)

大月 正人(おおつき まさひと)

#### 1 まえがき

汎用インバータや無停電電源装置(UPS)に代表される 電力変換機器は,常に高効率化・小型化・低価格化・低騒 音化が要求されている。このため,インバータ回路に用い られる電力変換用素子にも高性能化・低価格化が求められ ている。電力変換用素子にはその低損失性,駆動回路の容 易さから,現在ではIGBT(Insulated Gate Bipolar Transistor)が主に使われており,富士電機においても1988年 の製品化以来,さらなる低損失化・低価格化を進めてきた。 本稿では,トレンチゲート構造とフィールドストップ (FS)構造の採用により,第四世代IGBTモジュール(S シリーズ)に対して,大幅にトレードオフ特性を改善した 第五世代IGBTモジュール(Uシリーズ)のうち,主に海 外の400 VAC電源ラインで使用される1,200 V系につい て紹介する。

#### 2 新型 IGBT の特徴

図 1 に今回開発を行った新型 IGBT (トレンチ FS-IGBT)のコレクタ-エミッタ間飽和電圧 (*V*<sub>CE (sat</sub>))と



図 1 V<sub>CE(sat)</sub>-ターンオフ損失間のトレードオフ

ターンオフ損失のトレードオフを,図2に出力特性の比較 を示す。図1から,1,200 V Uシリーズ IGBT のトレード オフが,前世代のSシリーズ[プレーナ NPT (Non Punch Through)-IGBT]に対して飛躍的に改善されていること が分かる。上記の劇的な特性改善は NPT を進化させた フィールドストップ構造と,MOSFET (Metal Oxide Semiconductor Field Effect Transistor)で培われたトレ ンチゲート構造の採用によるものである。次節でそれぞれ の構造を解説する。

#### 2.1 フィールドストップ構造

図3にプレーナ NPT-IGBT とプレーナ FS-IGBT の断 面図を示す。NPT-IGBT ではオフ時に空乏層がコレクタ 側に接触しないようにドリフト層を厚くする必要があるが, FS-IGBT では空乏層を止めるためのフィールドストップ 層が形成されているため,NPT に対してドリフト層の厚 さを薄くできる。このため,V<sub>CE(sat)</sub>を低減することがで きる。また FS-IGBT ではドリフト層の厚さが薄いため過 剰キャリヤが少なく,また空乏層が伸びきった状態での中 性領域の残り幅が少ないため,ターンオフ損失を低減する ことができる。

図2 出力特性の比較





小野澤 勇一 パワー半導体デバイス, MOS ゲートパワーデバイスの研究開発

盤技術開発部。

に従事。現在,松本工場半導体基



#### 吉渡 新一

IGBT モジュール開発設計および 応用技術開発に従事。現在,富士 日立パワーセミコンダクタ(株)松 本事業所開発設計部。

## 大月 正人

パワー半導体デバイス, MOS ゲートパワーデバイスの研究開発 に従事。現在,富士日立パワーセ ミコンダクタ(株)松本事業所開発 設計部。

#### 図3 IGBT 単位セルの断面比較



#### 図4 IGBT 単位セルの断面比較



2.2 トレンチゲート構造

図4にトレンチ FS-IGBT の断面図を示す。トレンチ ゲート構造を用いることによって,チャネル密度を向上さ せることができるとともに,プレーナでセル密度が上がる と問題になる *J*<sub>FET</sub> 部分の抵抗も零にできるため,*V*<sub>CE(sat)</sub> を大幅に低減することができる。

一方でトレンチ IGBT ではチャネル密度が高いため,短 絡耐量が低いことが問題になるが,本構造では MOS の総 チャネル長を最適化することにより, V<sub>CE (sat)</sub>を犠牲にす ることなく,高い短絡耐量を実現している(図5)。

#### 3 新型 FWD の特徴

IGBT の高速化に伴い,スイッチング時の振動が大きな 問題になっている。富士電機では,FWD(Free Wheeling Diode)の表面構造とバルクの不純物プロファイルを最適 化することにより,ソフトリカバリー化を実現し,高 *di/dt*においても振動を抑制することに成功した(図6)。





図6 ターンオン波形比較



図7 FWDの出力特性の比較



また,今回開発した FWD ではライフタイムキラーの最 適化により出力特性の温度係数を正にしたことにより,並 列運転に適したデバイスとなった(図7)。

#### 表1 1,200 V Uシリーズ IGBT モジュールの特性 (a) 絶対最大定格(記述がなければ T<sub>2</sub> = 25))

項目	記号		条件	最大定格	単位			
コレクタ - エミッタ間電圧	V <sub>CES</sub>			1,200	v			
ゲート - エミッタ間電圧	V <sub>GES</sub>			±20	v			
	,	`=/=	$T_{\rm c} = 25$	150				
	/c	運統	$T_{\rm c} = 80$	100	A			
		1ms	$T_{\rm c} = 25$	300				
J レッ ダ 竜 流 	'C pulse		$T_{\rm c} = 80$	200				
	- / <sub>C</sub>			100				
	- / <sub>C pulse</sub>	1 m s		200				
最大損失	Pc	1素子		600	w			
接合温度	Tj			150				
保存温度	T <sub>stg</sub>			- 40 ~ + 125				
絶縁耐圧 (パッケージ)	V <sub>iso</sub>	AC	C:1min	2,500	v			
わじ疲めトルク	マウンティング			3.5	Nem			
	ターミナル			3.5	111-111			

#### (b)電気的特性(記述がなければ *T*<sub>c</sub> = 25 )

	÷1 =	号 条件			特 性		**																																		
坦 日				min.	typ.	max.	単1⊻																																		
コレクタ <i>-</i> エミッタ間 漏れ電流	I <sub>CES</sub>	V <sub>GE</sub> = 0 V <sub>CE</sub> = 1	V ,200 V	-	_	1.0	mA																																		
ゲート - エミッタ間 漏れ電流	I <sub>GES</sub>	$V_{CE} = 0 V$ $V_{GE} = \pm 20 V$		_	_	0.2	μA																																		
ゲート - エミッタ間 しきい値電圧	V <sub>GE(th)</sub>	V <sub>CE</sub> = 20 V I <sub>C</sub> = 100 mA		_	7.0	_	v																																		
	Varia		T <sub>j</sub> = 25	-	1.95	_																																			
コレクター	(Terminal)	V <sub>GE</sub> = 15 V	V <sub>GE</sub> = 15 V	V <sub>GE</sub> = 15 V	V <sub>GE</sub> = 15 V	V <sub>GE</sub> = 15 V	V <sub>GE</sub> = 15 V	V <sub>GE</sub> = 15 V	V <sub>GE</sub> = 15 V	V <sub>GE</sub> = 15 V	V <sub>GE</sub> = 15 V	V <sub>GE</sub> = 15 V	V <sub>GE</sub> = 15 V	V <sub>GE</sub> = 15 V	V <sub>GE</sub> = 15 V	<i>T</i> <sub>j</sub> = 1 2 5	-	2.2	-																						
11ミック 同 飽和電圧	Vorceat	/ <sub>C</sub> =	<i>T</i> <sub>j</sub> = 25	-	1.75	-																																			
	(Chip)		<i>T</i> <sub>j</sub> = 1 2 5	-	2.0	_																																			
入力容量	Cies	$V_{CE} = 0$	V	_	13.3	_																																			
出力容量	Coes	$V_{CE} = 1$	0 V	-	0.8	-	nF																																		
帰還容量	Cres		12	-	1.2	_																																			
	t on			-	-	1.2																																			
ターノオノ時间	t r	$V_{\rm CC} = 6$ $I_{\rm C} = 10$	0 0 V 0 A	-	—	0.6	116																																		
ターンナフは明	t <sub>off</sub>	$V_{GE} = \pm R_0 = 4$	15 V 7	-	—	1.0	μ3																																		
ラーフィン時間	t <sub>f</sub>	9		-	—	0.3																																			
ダイオード	V		<i>T</i> <sub>j</sub> = 25	-	2.0	_																																			
	♥ F( Terminal )	/ <sub>F</sub> = 100A	/ <sub>F</sub> = 100A	/ <sub>F</sub> = 100A	/ <sub>F</sub> = 100A	/ <sub>F</sub> = 100A	/ <sub>F</sub> = 100A	/ <sub>F</sub> = 100A	/ <sub>F</sub> = 100A	/ <sub>F</sub> = 100A	/ <sub>F</sub> = 100A	<i>T</i> <sub>j</sub> = 1 2 5	-	2.0	_																										
順電圧	V											100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	100A	<i>T</i> <sub>j</sub> = 25	-	1.8	-	
	✓ F( Chip )																																								
逆回復時間	t <sub>rr</sub>	/ <sub>F</sub> = 10	0 A	-	-	0.35	μs																																		

#### (c) 熱抵抗特性

тар	= -	<b>多</b> 件		出位		
現 日		*1+	min.	typ.	max.	1111
デバイスの熱抵抗 (1素子)	R th(j-c)	IGBT	-	_	0.21	
		FWD	-	-	0.33	/w
ケース - フィン間熱抵抗	R <sub>th(c-f)</sub>		-	0.05	_	

## 表 2 1,200 V U シリーズ IGBT モジュールの系列概要

電圧定格 ( V )	パッケージ	電流定格 ( A )	型名	発売時期
	小容号 DIM	10	7MBR10UE120	
	小谷里 PIIVI	15	7MBR15UE120	
		10	7MBR10UA120	
	ED 2	15	7MBR15UA120	
	EPZ	25	7MBR25UA120	
		35	7MBR35UA120	
		35	7MBR35UB120	
	EP3	50	7MBR50UB120	
		75	7MBR75UB120	
		10	7MBR10UC120	
		15	7MBR15UC120	
	HEP2	25	7MBR25UC120	
		35	7MBR35UC120	
		35	7MBR35UD120	
	HEP3	50	7MBR50UD120	
		75	7MBR75UD120	
	新型 PC2	75	6MBI75UA-120	
		75	6MBI75UB-120	
	新知日の2	100 6MBI10		
1 2 0 0		150	6MBI150UB-120	2002年4日
1,200	利至103	75	6MBI75UC-120	2003447
		100	6MBI100UC-120	
		150	3MBI150UC-120	
	新型 PC2	150	3MBI150U-120	
	7 in 1	75	7MBI75UD-120	
	(M631 または	100	7MBI100UD-120	
	P611)	150	7MBI150UD-120	
		75	2MBI75UA-120	
	M232	100	2MBI100UA-120	
		150	2MBI150UA-120	
	M233	150	2MBI150UB-120	
	101233	200	2MBI200UB-120	
	M234	200	2MBI200UC-120	
	11234	300	2MBI300UC-120	
	M235	300	2MBI300UD-120	
	M238	300	2MBI300UE-120	
		450	2MBI450UE-120	
	十四月	225	6MBI225U-120	
	<u>大</u> 谷重   モジュール	300	6MBI300U-120	
		450	6MBI450U-120	

## 4 1,200 V U シリーズ IGBT モジュールの系列 と特性

1,200 V U シリーズ IGBT モジュールの特性を表1,系 列概要を表2に示す。また,1,200 V U シリーズ IGBT の パッケージ一覧を図8,系列相関を図9に示す。

### 図8 1,200 V U シリーズ IGBT モジュールのパッケージ一覧



図 9 1,200 V U シリーズ IGBT モジュールの系列相関図



## 5 あとがき

1,200V Uシリーズについて概略を紹介した。特にこの シリーズの IGBT は,トレンチゲート構造とフィールドス トップ構造という二つの新しい技術の採用により,非常に 低損失なデバイスとなっており,装置の小型化・低損失化 に大きく貢献できると確信している。

今後も,デバイスの高性能化・高信頼性化に取り組み, パワーエレクトロニクスの発展に貢献していく所存である。

## 参考文献

- Laska, T. et al. The Field Stop IGBT (FS IGBT) —
   A New Power Device Concept with a Great Improvement Potential. Proc. 12th ISPSD . 2000, p.355-358.
- (2) 西村武義ほか.トレンチゲート MOSFET.富士時報.vol.72, no.3, 1999, p.180-182.

## U シリーズ IGBT モジュール(1,700 ∨)

保幸(ほし やすゆき) 星

宮坂 靖(みやさか やすし)

村松 健大郎(むらまつ けんたろう)

#### 1 まえがき

近年,電力変換器や可変速モータコントロールインバー タ用に高耐圧パワーデバイスの要求が高まってきている。 IGBT (Insulated Gate Bipolar Transistor) は特にスイッ チング特性のゲート制御性(電圧制御)や保護の容易性の 点でバイポーラトランジスタや GTO (Gate Turn-Off) サ イリスタに比べて優れた特性を持っており,これらデバイ スからの置換えが可能となってきた。特に総合損失の低減 技術と安全動作領域の拡大技術など相反する特性をデバイ スデザイン,プロセスデザイン,応用デザインなどによる 総合技術によって IGBT の開発が進み,経済性,信頼性な ど市場の要求に応えていることが評価を高めている要因で ある。今回,装置のさらなる大電流化,小型化,高信頼性 化の要求に応えるために 1,700 V 用 U シリーズ IGBT モ ジュールの開発を行った。IGBT の総合損失の改善を図る ために表面構造はトレンチ構造を適用し,裏面は薄ウェー ハ技術を適用した FS (Field Stop)構造を適用し,両者 の特性の最適化を図ることで総合損失のきわめて低い IGBT の開発に成功した。また高速・低損失の IGBT の開 発にあたっては周辺素子,例えば IGBT モジュールの IGBT に逆並列に接続されている FWD (Free Wheeling Diode)の特性向上も同時に求められる。両者は相互作用 を及ぼしあっており、むしろ一体のものと考えるべきであ る。今回 1,700 V U シリーズ IGBT モジュールの開発にあ たって FWD の損失低減のほかにノイズ低減のためのソフ トリカバリー特性を有した FWD の開発も行った。本稿で は特にデバイスの特徴と製品系列について紹介する。

#### 2 新型 IGBT の特徴

星

従来の IGBT の表面構造はプレーナ IGBT で構成されて いるためトータルのセル密度が低いこと,および表面の JFET 抵抗分によってコレクタ-エミッタ間飽和電圧(VCE (sat))を悪化させていた。また,ウェーハの基板は NPT (Non Punch Through)構造のため厚くなっており V<sub>CE(sat)</sub>

と *E*off (ターンオフ損失)のトレードオフを悪化させてい た。

今回の 1,700 V 用 U シリーズ IGBT の定格電流密度は 130 A/cm<sup>2</sup> 以上と高く設定するために, いかにして IGBT に内蔵されているワイドベーストランジスタのベース電流 を増加させるかがポイントであった。このため表面構造の 最適化を図るために表面構造,裏面構造のシミュレーショ ンを行った。その結果,表面構造はトレンチゲート構造を 適用した。トレンチゲート構造を適用することにより,プ レーナ構造に存在していた表面の JFET の抵抗をなくし, セル密度の増加に伴い表面からの電子電流を増加させ十分 なべース電流を確保した。全電流のうち,電子電流の比率 を増加させることはターンオフ時の損失低減を可能とした。

次にさらなる特性向上を図るために FS 構造を開発し適 用した。FS 構造にすることによって基板ウェーハの抵抗 分を低下することができるため, VCE(sat)の低下と Eoffの 低減が同時に可能となる。上記表面トレンチゲート構造と FS 構造を組み合わせた Vce (コレクタ-エミッタ間電圧) と ICE (コレクタ-エミッタ間電流)の出力特性(125) を図1に示す。

最大の特徴はトレンチゲート構造を適用しているにもか



#### 図1 Uシリーズ IGBT の出力特性(1,700 V/150 A 素子)

IGBT, FWDの開発設計に従事。 現在,富士日立パワーセミコンダ クタ(株)松本事業所開発設計部 チームリーダー。

保幸



#### 宮坂 诘 IGBT, FWDの開発設計に従事。

現在,富士日立パワーセミコンダ クタ(株)松本事業所開発設計部。



#### 村松 健太郎

IGBT モジュールの開発設計およ び応用技術の開発に従事。現在, 富士日立パワーセミコンダクタ (株)松本事業所開発設計部。

かわらず,飽和電流は定格150Aに対して定格×3.6倍程 度の飽和電流まで抑制されており,かつ飽和電圧を2.5V までに低減できていることである。表面構造は単にトレン チゲート構造にするだけでなく,表面構造のセルピッチお よび特にトレンチの深さ,およびVth(しきい値電圧)を 最適化するといったプロセスとデバイスの総合的な改善に よって初めて低抵抗なIGBTを達成できたことである。こ の効果によってV<sub>CE(sat)</sub>-E<sub>off</sub>のトレードオフは従来の構 造に比べて大幅な特性改善を達成した(図2)。

図3は125 におけるL負荷時のターンオフ波形を示す

図2 Uシリーズ IGBT の Von-Eoff 特性







## 図4 ターンオン波形



(定格電流 150 A)。 V<sub>CE (sat</sub>)が 2.5 Vのとき, E<sub>off</sub> は 34 mJ である。図4はターンオン時の波形を示し, di/dt は 2,700 A/µs である。トレンチゲート構造と FS 構造の効果に よって高速なターンオン波形を示しており, V<sub>CE (sat</sub>)が 2.5 Vのときの E<sub>on</sub> (ターンオン損失)は 31 mJ である(図 5)。図6に耐圧波形を示す。耐圧は 1,900 V以上あり, + 分な実力を確認した。

図7にSCSOA (Short Circuit Safe Operating Area)









#### 図7 SCSOA 波形



## 図 8 RBSOA 波形



#### 図 9 損失計算結果



の波形を示す。短絡時のピーク電流を 600 A 程度(定格 × 4 倍)に抑制し SCSOA の実力は約 15µs 以上を有する。 従来,トレンチゲート構造を適用した IGBT は SCSOA の 実力が弱いといった課題があった。今回の 1,700V 用 U シ リーズの IGBT は表面トレンチ構造の最適化を図ることで SCSOA の十分な実力を確保できた。図 8 に 125 の RBS OA (Reverse Bias Safe Operating Area)の実力を示す。 *V*<sub>CE</sub> = 1,700 V で定格 × 8 倍の実力を有し高破壊耐量を確 認した。図 9 に各周波数における損失計算結果を示す。

## 3 新型 FWD の特徴

FWD は IGBT モジュールでは IGBT に対して逆並列に 接続されて使用されており, FWD の特性改善も重要なポ イントである。IGBT のターンオン時の FWD のリカバ リー特性を改善することはサージ電圧の発生を抑制し, IGBT へのダメージおよび周辺回路への悪影響,例えば誤 動作などを抑制し,かつターンオン時の損失低減化を図る うえで必要である。また,回生時の損失低減なども含める と FWD の低 V<sub>F</sub>(順方向電圧)化は製品としての総合損 失の低減に寄与しておりきわめて重要なことである。損失 低減は重要な項目の一つであるが経済性も最重要項目であ

#### 図 10 U シリーズ FWD の V<sub>F</sub>-E<sub>rr</sub> 特性



図 11 U シリーズ FWD の出力特性



図 12 FWD の低電流スイッチング波形



る。従来の FWD の基板設計はエピタキシャルウェーハを 使用していた。今回 1,700 V 用 U シリーズの開発にあたっ て経済性と総合損失を考慮したシミュレーションを行い最 適化を図り試作を行った。その結果拡散ウェーハでも最適 化設計することによって V<sub>F</sub> と E<sub>rr</sub>(逆回復損失)のトレー ドオフはエピタキシャル並みの特性が得られた(図10)。 拡散ウェーハを使用することによって経済性に大きな効果

### 図13 ECONOPACK<sup>™</sup>-Plusの外観



図 14 ECONOPACK<sup>™</sup>-Plus の外形および等価回路



表1 ラインアップ一覧

項 目 型 式	定格電圧	電流定格	パッケージNo.
6MBI150U-170		150A	
6MBI225U-170	1 7001/	225 A	MGDO
6MBI300U-170	1,700 V	300A	101629
6MBI450U-170		450A	

## を確認した。

図11に FWD の出力特性を示す。大電流定格品への適用 ではチップを並列接続して使用されるケースが多く, V<sub>F</sub>

ECONOPACK<sup>™</sup> is a trademark of eupec GmbH, Warstein.

## 表 2 1,700 V/450 A モジュールの定格および特性

(a)最大定格(記述	述がなけれ	25)	450 A/1,700 V 素子			
項目	記号		条件	最大定格	単位	
コレクタ - エミッタ間電圧	V <sub>CES</sub>			1,700	v	
ゲート - エミッタ間電圧	V <sub>GES</sub>			±20	v	
		連続	$T_{\rm c} = 25$	675	_	
	/ <sub>C</sub>		$T_{\rm c} = 80$	450	A	
	I <sub>C pulse</sub>	1ms	$T_{\rm c} = 25$	1,350	Δ	
コレクタ電流			$T_{\rm c} = 80$	900	~	
	- / <sub>C</sub>			450	А	
	- / <sub>C pulse</sub>			900	А	
最 大 損 失	Pc		1素子	2,000	w	
接合部温度	$T_{j}$			150		
保存温度	T <sub>stg</sub>			- 40 ~ + 125		
絶縁耐圧 (パッケージ)	Viso	AC	C:1min	3,400	V AC	

(b) 雷気的特性 (記述)	がなければ T.= 25	)	450 A/1 700 V 麦子
	$J^{\prime} = J^{\prime} = J^{\prime} = J^{\prime}$	)	430 // 1,700 / 於」

	히므			冬 件			特(	性	出合	
項口				<del>л</del> IT		min.	typ.	max.	丰位	
コレクタ - エミッタ間 漏れ電流	/ <sub>CES</sub>		V <sub>GE</sub> = 0 V <sub>CE</sub> = 1	) V , I ,7 0 0 V		_	_	3.0	mA	
ゲート - エミッタ間 漏れ電流	/ <sub>GES</sub>		V <sub>CE</sub> = 0 V <sub>GE</sub> = :	_	_	0.6	μA			
ゲート - エミッタ間 しきい値電圧	V <sub>GE( th</sub>	)	$V_{\rm CE} = 2$ $I_{\rm C} = 4$	TBD	7	TBD	v			
コレクタ - エミック問	引 V <sub>CE(sat</sub> )-Chip 官庄		V <sub>GE</sub> = 15 V	<i>T</i> <sub>j</sub> = 2	5	_	2.20	твр		
創和電圧			/ <sub>C</sub> = 450 A	<i>T</i> <sub>j</sub> = 1	25	_	2.50	твр	, v	
t <sub>on</sub>						-	_	1.2		
ターンオン時間	t r		V <sub>CC</sub> = 900 V			-	_	0.6		
	t <sub>r(i)</sub>		$I_{\rm C} = 45$ $V_{\rm GE} = 3$	$_{C} = 450 \text{ A}$ $V_{CE} = \pm 15 \text{ V}$			-	-	μs	
	t off		$R_{\rm G} = {\rm TBD}$			-	_	1.0	]	
ターノオノ時间	t <sub>f</sub>					-	_	0.3	]	
ダイオード	14		V <sub>GE</sub> = 0 V	$_{V}$ $T_{j} = 25$		-	1.7	5 –		
順方向電圧	V F-Chip	<b>`</b>	/ <sub>F</sub> = 450 A	<i>T</i> <sub>j</sub> = 1	<i>T</i> <sub>j</sub> = 1 2 5		2.00	0 -	V	
逆回復時間	t rr		/ <sub>F</sub> = 45	0 A		-	_	0.35	μs	
(c)熱抵抗特性						4 !	50 A/	1,700	Ⅴ 素子	
				复供		特	性		**	
	· · · · · · · · · · · · · · · · · · ·		10 5	ポ什	min.	ty	p.	max.	半世	
デバイスの熱抵持	 亢	F		IGBT	-	-	_	0.06		
(1素子)			• tn( J=C )	FWD	_	-	-	0.10	/W	
ケース - フィン間熱抵抗			th(c-f)		_	0.0	167	_ ]		

の温度特性が負の場合,電流のアンバランスを発生しやす く製品の寿命に影響を与えていた。今回のUシリーズ FWDは V<sub>F</sub>の温度特性が正になるようなライフタイムキ ラーを適用し改善を図った。図12に定格電流の1/150 倍の 低電流時の逆回復波形を示す。U シリーズ FWD では表面 の注入を抑制した構造となっており拡散ウェーハを最適化 することでカソードからのキャリヤを高注入にすることで サージ電圧は 1,700 V 以下に抑えられており良好な特性が 得られた。

## 4 製品紹介

今回開発した 1,700 V 用 U シリーズ IGBT モジュールは 従来品のパッケージに対してベース面積を 50 %削減した ECONOPACK<sup>™</sup>- Plus および PIM (Power Integrated Module)の製品に適用される。図13 に ECONOPACK<sup>™</sup>- Plus の外観を示す。図14 には ECONOPACK<sup>™</sup>- Plus の外形図 および等価回路を示す。

今回開発したラインアップ一覧は表1に,1,700 V/450 A モジュールの定格および特性は表2に示すとおりである。

#### 5 あとがき

以上,1,700 V 用 U シリーズの IGBT,FWD のチップ 開発およびモジュール製品について紹介した。本 IGBT, FWD は装置の小型化,高性能化,高信頼性化要求に対し て十分貢献できる製品と確信している。特に高耐圧 IGBT ではトレンチゲート技術による特性改善は難しいと考えら れていたが,デバイス技術の最適化を図ることで大幅な特 性改善が図られた。今後はさらなる技術のレベルアップを 図り,新製品の開発を行っていく所存である。

## 参考文献

(1) Sze, S. M. MODERN SEMICONDUCTOR DEVICE PHYSICS .1st ed . USA .John Wiley & Sons .1998 , 557p .



## インテリジェントパワーモジュール 「R-IPM 3, Econo IPM シリーズ」

渡辺 学(わたなべ まなぶ)

楠木 善之(くすのき よしゆき)

松田 尚孝(まつだ なおたか)

## 1 まえがき

富士電機の IGBT-IPM (Insulated Gate Bipolar Transistor-Intelligent Power Module)は,1993年にJシリー ズ,1995年にNシリーズ,1997年にRシリーズの開発量 産化を行った。Jシリーズでは低損失,Nシリーズではソ フトスイッチング,そしてRシリーズではオールシリコ ン化による信頼性とコストパフォーマンスの向上および チップ過熱保護機能による保護精度の向上を実現した。

近年のパワーエレクトロニクス応用製品のさらなる高周 波化,小型化,高効率化,低ノイズ化の要求を背景に,今 回R-IPM をベースに損失改善を図った「R-IPM3」およ びR-IPM と Econo モジュールのコンセプトを融合した小 型・薄型の「Econo IPM シリーズ」を新たに開発したの で紹介する。

IGBT は薄ウェーハプロセスの確立により実現した 100 µm厚の NPT (Non Punch Through) 微細チップ(Tシ リーズ)を開発し, FWD (Free Wheeling Diode)には ソフトリカバリー性を向上させた新構造 FWD チップを新 規に開発し適用している。表1に各 IPM シリーズの特徴 を示す。損失改善を実現しつつコストパフォーマンスを向 上させた RTB タイプ,パッケージの小型・薄型化を実現 した Econo IPM,損失低減重視の RTA タイプの3系列 を開発した。図1にR-IPM3, Econo IPM,小容量R-IPM3の外観を示す。

#### 表1 IPM の特徴

シリーズ	R-IF	РМ 3	Econo IDM	小容量		
項目	RTA	RTB	ECONO IPIM	R-IPM 3		
外形	○ R-IPM シリ- (標準パッケ ○ ねじ端子	-ズと互換 - ージ )	○ 小型 , 薄型 ○ ピン端子	○ 銅ベース付き パッケージ ○ 小型		
特性	○低損失 (R-IPM比 18%減)	<ul> <li>○低損失 (R-IPM比 10%減)</li> <li>○コスト パフォー マンス</li> </ul>	<ul> <li>○低損失 (R-IPM比 10%減)</li> <li>○コスト パフォー マンス</li> </ul>	<ul> <li>○ベース付きで 放熱性向上 (ベースレス 比)</li> </ul>		

## 2 R-IPM 3, Econo IPM の系列

表 2 に R-IPM 3 と Econo IPM の製品系列,特性および 内蔵機能を示す。IGBT チップは,NPT プレーナを採用 し,スイッチング損失の低減を図っている。FWD チップ は,アノード構造を最適化しソフトリカバリー性をさらに 改善した。

R - IPM 3 シリーズは,従来の R - IPM シリーズと外形, 機能で互換性があり,リプレースに最適である。

Econo IPM シリーズは,外形を小型化し,取付面積を R-IPM 比で約30%低減した。さらに上アームのアラー ム出力を追加することによって,地絡などのトラブルに対 して,より確実な保護を可能にしている。

両シリーズとも,600 V 系で電流定格 50 ~ 150 A,6 個 組,7 個組(プレーキ用 IGBT 内蔵)を用意した。さらに 20 A 小容量素子については,銅ベースタイプのパッケー ジを適用することで使いやすさを向上させており,豊富な ラインアップから,用途にあった製品を提供可能としてい る。図 2 に各 IPM の外形図を示す。

#### 図1 IPM の外観





渡辺 学

インテリジェントパワーモジュー ルの開発に従事。現在,富士日立 パワーセミコンダクタ(株)松本事 業所開発設計部チームリーダー。



楠木 善之 ィンテリジェントパワーモジュー

インテリジェントパワーモジュー ルの開発に従事。現在,富士日立 パワーセミコンダクタ(株)松本事 業所開発設計部。



#### 松田 尚孝

インテリジェントパワーモジュー ルの開発に従事。現在,富士日立 パワーセミコンダクタ(株)松本事 業所開発設計部。

#### 表 2 IPMの系列,特性および内蔵機能

(a) Econo IPM

	v 型 式 ()		V <sub>ces</sub>	インバータ部		ブレー	ブレーキ部				内	l蔵機能								
素子数		(V <sub>DC</sub> )		I <sub>c</sub>	P <sub>c</sub> (W)	P <sub>c</sub> I <sub>c</sub> W) (A)	P <sub>c</sub> (W)	上 <sup>-</sup>	上下アーム共通		上アーム		下アーム			バッケージ 型式				
				(A)				Dr	UV	тјОН	ос	ALM	ос	ALM	ТсОН					
	6MBP 50TEA060			50	144	_	_								×					
6 in 1	6MBP 75TEA060			450 00		75	198	_	-								×	Deaa		
0 III I	6MBP100TEA060	450	600	000	000	000		100	347	_	-								×	P022
	6MBP150TEA060			150	431	_	—								×					
	7MBP 50TEA060				50	144	30	144								×				
7 in 1	7MBP 75TEA060	450		75	198	50	198								×	Deaa				
/ in 1	7MBP100TEA060	430	600	100	347	50	198								×	FUZZ				
	7MBP150TEA060			150	431	50	198								×					

#### (b) R-IPM 3

				インバータ部		ブレー	-キ部				内	]蔵機能											
素子数	型式		V <sub>CES</sub>	I <sub>c</sub>	Pc	I <sub>c</sub>	Pc	±-	下アー	ム共通	上アーム		<b>र</b>	アーム		パッケージ 型式							
				(A)	(W)	(A)	(W)	Dr	UV	тјон	ос	ALM	ос	ALM	ТсОН								
	6MBP 20RTA060			20	103	_	-				×	×			×	P619							
	6MBP 50RTA060			50	198	_	-					×				D610							
	6MBP 80RTA060			80	347	-	-					×				P610							
	6MBP100RTA060	450 60		100	431	_	-					×				DC11							
6 in 1	6MBP160RTA060		600	160	500	_	_					×				P611							
	6MBP 50RTB060			50	144	_	_					×				5040							
	6MBP 75RTB060			75	198	-	_					×				P610							
	6MBP100RTB060										100	347	-	_					×				D044
	6MBP150RTB060			150	431	_	_					×				P611							
	7MBP 50RTA060			50	198	30	144					×				5040							
	7MBP 80RTA060			80	347	50	198					×				P610							
	7MBP100RTA060			100	431	50	198					×				D044							
	7MBP160RTA060			160	500	50	198					×				P611							
7 10 1	7MBP 50RTB060	450	600	50	144	30	144					×				5040							
	7MBP 75RTB060			75	198	50	198					×				P610							
	7MBP100RTB060			100	347	50	198					×				5044							
	7MBP150RTB060			150	431	50	198					×				P611							

Dr:IGBT 駆動回路,UV:制御電源不足電圧保護,TjOH:素子過熱保護,OC:過電流保護,ALM:アラーム出力,TcOH:ケース温度保護 \*6MBP20RTA060は,Nラインでシャント抵抗による検出方式を採用

### 3 パワー素子の特徴

従来の R-IPM に適用した PT (Punch Through) -IGBT と R-IPM 3, Econo IPM に適用した NPT-IGBT チップ断面図を図 3 に示す。

NPT-IGBT の主な特徴は次の3点である。

- (1) コレクタ-エミッタ間飽和電圧(V<sub>CE(sat)</sub>)が正の温 度係数を持つため,チップ内の単位セルに電流集中する ことがない。
- (2) ターンオフ損失 (*E*<sub>off</sub>)の温度依存性が小さい。
- (3) ライフタイムコントロールがないため、V<sub>CE (sat)</sub>のば
   らつきが小さい。

V<sub>CE(sat)</sub>とターンオフ損失のトレードオフ関係を図4に

示す。図から従来 IGBT チップの N シリーズおよび S シ リーズは,温度依存性が大きいことが分かる。一方,開発 した T シリーズの NPT プレーナチップは,温度依存性が 小さく高温でのターンオフ損失を低減することができる。 PT プレーナチップと NPT プレーナチップを比較した *V*<sub>CE (sat)</sub>のばらつきを図 5 に示す。NPT プレーナは狭い範 囲に分布しており,安定した定常損失特性を示す。

次に,R-IPM3とEcono IPM に採用した FWD につい て述べる。FWD には放射ノイズ低減のため,新構造を採 用した。新構造 FWD と従来の FWD の逆回復時の波形比 較を図6に示す。新構造 FWD は図6に示すようにアノー ドからの正孔注入を抑えて逆回復ピーク電流を小さくし, ソフトリカバリー化を達成している。

## 図 2 IPM の外形図



#### 図 3 IGBT チップの断面比較



図4 IGBT チップのトレードオフカーブ



### 4 パッケージ構造

Econo IPM は小型・薄型化を達成するため, 従来とは

図5 V<sub>CE(sat)</sub>の分布図



#### 図6 FWDの逆回復時の波形比較



異なる構造で作られている。従来のパッケージでは端子 バーによる配線方式が取られていたが,バー配線の制約か ら,パッケージ高さを低く抑えることが難しい。そのため, Econo IPM では従来の端子バー構造から,内部結線すべ てをアルミワイヤで行う方式を採用した。またパッケージ 幅を抑えるために,制御プリント板を2階に配置する構造 を採用している。これらにより,従来と比較し大幅にコン パクトなパッケージを作ることに成功した(図7参照)。 図8にサイドフィンタイプのサーボアンプへのEcono IPM 搭載例を示す。この図のEcono DiM(Econo Diode Module)はEcono IPMと同一コンセプト(Econo-Module Concept)で開発され,共に17mmのパッケージ高と なっている。Econo IPMとEcono DiMは同じ高さである ため,同一のプリント基板で接続することができる。この 二つのモジュールを採用することにより,プリント基板設 計の簡素化が期待できる。また,Econo IPMは薄型の パッケージをさらに有効に生かす工夫として,ふたの一部 を下げている。図に示すようにプリント基板とEcono IPMのふたとの間隔を3mm確保することにより,プリ ント基板の裏面にホトカプラなどの電子部品の搭載を可能

図7 Econo IPM の内部構造



図 8 Econo IPM の搭載例



にした。これにより顧客装置内のデッドスペースを減らし, 顧客装置の省スペース化へ貢献できることが期待される。

## 5 損失低減

図 9 総損失比較

IPM の製品開発コンセプトとして,損失の低減と,これとトレードオフ関係にある放射ノイズレベルの両立が最も重要な項目である。

今回新たに開発した Econo IPM と R-IPM 3 においても 上記課題が重要なテーマの一つであった。その中で,前述 の新たに開発した NPT-IGBT を適用することにより, IGBT 損失の低減を図り,またソフトリカバリー性を持つ MPS ダイオードを搭載し,さらに駆動条件の最適化を行







図 11 放射ノイズスペクトルの比較



#### 図 12 IPM 回路ブロック図



うことにより,従来品の R-IPM と比べ,同等以下の放射 ノイズレベルを達成することに成功した。

図9に,今回開発した Econo IPM, R-IPM3と,従来 のR-IPM との総損失比較を示す。新しい IGBT チップと FWD チップを搭載した結果,従来のR-IPM に対し, Econo IPM は 15%, R-IPM3は 18%の損失低減を達成 している。特にターンオフ損失の低減が,総損失低減に大 きく貢献している。図10に従来品(R-IPM)と Econo IPM のターンオフ波形を示す。また,図11にR-IPM と Econo IPM の放射ノイズのスペクトルを示す。放射ノイ ズスペクトルは,キャリヤ周波数4kHzのサーボアンプを 用いて加減速運転を行い,3m 法により測定したものであ リ,30~130 MHzの範囲で従来品と同等のノイズレベル を保っていることが分かる。

## 6 IPM のブロック図

ブレーキ内蔵タイプのブロック図を図12に示す。(a)が R-IPM3, b)が Econo IPM である。Econo IPM では,上 アーム回路のアラームを外部へ出力している。

### 7 あとがき

富士電機のパワーデバイスにおける最新の技術を盛り込んだ IGBT-IPM を紹介した。これらの IPM は,パワーエレクトロニクス応用製品の高効率化,小型化を実現し,市場の期待に応えられるものと確信する。

今後とも市場要求に十分応えられるよう,開発,製品化 に注力していく所存である。

#### 参考文献

- Kusunoki, Y. et al . A new compact intelligent power module with high reliability for servo drive application . PCIM Europe 2002 .
- (2) Matsuda, N. et al . New 600V Compact Intelligent Power Module " Econo IPM ". CIPS2002, p.101-106.

## 車載用サージ吸収入力 IC

八重澤 直樹(やえざわ なおき)

市村 武(いちむら たけし)

岡本 有人(おかもと ゆうじん)

#### 1 まえがき

近年,自動車電装システムの大規模化が進み,自動車の 電子制御装置(ECU: Electronic Control Units)に搭載 される半導体部品は,従来のディスクリート部品構成を統 合化することで部品点数・実装面積・質量の削減,トータ ルコストの低減が必要になっている。サブミクロン BCD (Bipolar/CMOS (Complementary Metal Oxide Semiconductor )/DMOS (Double diffused MOS)), SOI (Silicon On Insulator)技術の開発やシステムオンチップなどの技 術開発のアプローチは,ディジタル IC,アナログ IC,ト ランシーバ IC, マイクロプロセッサ, メモリ, A-Dコン バータ, D-Aコンバータ, 電源 IC, パワーデバイスなど のワンチップ統合化に成功している。しかしながら,図1 に示すように ECU コネクタからマイクロコンピュータま での入力インタフェース回路におけるサージ保護機能は, いまだ多数のディスクリート抵抗,コンデンサ,ダイオー ドなどによって構成されている。その理由は自動車電装市 場が要求する厳しいサージ耐量を実現することが困難だか らである。

富士電機では ECU コネクタから入力される静電破壊 サージ(ESD: Electro Static Discharge), イグニッショ ンパルスサージ,電磁波ノイズ(EMC: Electro Magnetic Compatibility)などのサージのみを吸収し,マイクロ コンピュータへの電気的信号・車両の各種状態信号のみを 伝達することを製品コンセプトとする,車載用サージ吸収 入力 ICを開発した。本稿では今回開発したサージ吸収入 力 IC「FP001」について報告する。

## 2 特 徴

図1,図2に示すように,従来の抵抗,コンデンサ,ダ イオードなどのディスクリート部品構成によるサージ・ノ イズ吸収回路およびレベルシフト回路は,プリント板上に おいて60mm<sup>2</sup>/チャネルの実装面積を要している。サージ 吸収入力 IC は従来のディスクリート部品構成を SSOP

#### 図1 現状のインタフェース回路部構成



図 2 サージ吸収入力 IC 実装面積低減



(Super Small Outline Package) 多ピンパッケージに統合 化することで,その実装面積を850 mm<sup>2</sup> から170 mm<sup>2</sup> と 1/5 に小型化した。また,14 チャネルをワンチップ構成と することで,ECUの部品実装点数・工数を削減できる。 その他の特徴について以下に記す。

- (1) 高 ESD 耐量(150 pF-150 , <u>+</u>25 kV 以上)
- (2) 電磁波ノイズ耐量 (200 V/m, 1~1,000 MHz)
- (3) 高イグニッションパルスサージ耐量(-23 kV 以上)
- 3 チッププロセス・デバイス

サージ吸収 IC は,自己分離 NDMOS [NMOS (Negative channel MOS)/DMOS]プロセスを用いてプロセス ステップ数を最小限に抑え,従来の縦型パワー MOSFET



八重澤 直樹

自動車用スマートパワーデバイス の開発・設計に従事。現在,富士 日立パワーセミコンダクタ(株)松 本事業所開発設計部。



自動車用スマートパワーデバイス のチップ開発・設計に従事。現在, 富士日立パワーセミコンダクタ (株)松本事業所開発設計部。

武

市村



#### 岡本 有人

自動車用スマートパワーデパイス の開発・設計に従事。現在,富士 日立パワーセミコンダクタ(株)松 本事業所開発設計部。 (Metal Oxide Semiconductor Field Effect Transistor)の ボディダイオードと同一設計の縦型パワーツェナーダイ オードと,NMOS 制御回路の多チャネル構成を同一チッ プ上に集積した。

## 4 回路構成

回路ブロックダイヤグラムを図3に示す。入力サージ吸 収回路,ノイズカット&レベルシフト回路,バッファ回路, プルアップ・プルダウン抵抗を集積化した構成を14チャ ネル並列に統合構成し,ワンチップ化している。VB端子 はバッテリーに接続し,VOS端子はECU内で5Vに変換 された電源電圧に接続される。

図3 回路ブロックダイヤグラム



IN 端子へ印加された ESD のエネルギーは, VB-IN 間 のパワーツェナーダイオードによってまず吸収され, さら にレベルシフトを兼ねたポリ Si 高抵抗を通して減衰する。 このようにノイズの侵入をカットするフィルタ回路を通る ことでマイクロコンピュータ側へのサージ侵入が完全に防 止される。

GND 端子については,サージ吸収回路部のパワーGND (GNDP)とレベルシフト回路および電気的信号変換回路 のアナログ GND (GNDA)を分離することで,IN 端子・ VB 端子に入力されるサージ・ノイズを出力段 CPU 入力) に伝達しない構成としている。

VR 端子は入力端子を 10 k (typ.)の入力抵抗にて, プルアップ・プルダウンすることを可能としており,必要 により外付け抵抗を並列接続することで任意の入力抵抗を 実現できる回路構成としている。

## 5 パワーツェナーダイオードの素子面積最適化

パワーツェナーダイオードの素子面積を最適化するため に,耐圧を決める結晶条件を変えて150 pF-150 条件に おける ESD 耐量を確認した結果について図4,図5 に示

## 図4 ESD 耐量 (素子面積依存性)



## 図 5 ESD 耐量(耐圧依存性)



## 図6 サージ吸収入力 IC のチップ外観



#### 図 7 サージ吸収入力 IC の断面構造



す。図4は素子面積(mm<sup>2</sup>)に対する ESD 耐量を,図5 はパワーツェナーダイオードの耐圧に対する ESD 耐量を それぞれ示している。これらの結果からパワーツェナーダ イオードの耐圧が ESD 耐量に大きく依存し,素子面積を 最小にするためにも,パワーツェナーダイオードの耐圧を 小さくすることが必要であることが分かる。

この結果から,各IN電極パッドの面積程度のパワー ツェナーダイオード素子面積で最も厳しい条件でESD耐 量 ± 25 kVを達成することができ,INパッド直下に配置 することでまったく無駄のないチップレイアウトが実現さ れた。

サージ吸収入力 IC のチップ外観を図6に,断面構造を 図7に示す。入力側は縦型ツェナーダイオード内蔵 IN パッドを並列に14 チャネル並べた構成で,回路側との接 続は局所 SOI 構造である高抵抗ポリ Si およびポリ Si ツェ ナーダイオードを用いている。

6 寄生 pnp トランジスタ構造 ESD 耐量

本製品の入力端子間に構成される横方向寄生 pnp トラ ンジスタの ESD 耐量について調査した。具体的には図 8 に示すような同ーチップ上において同構造,同素子面積の パワーツェナーダイオードを横方向に距離 X(µm)を置 いた場合の,横方向寄生 pnp トランジスタ構造間 ESD 耐

図8 入力端子間寄生 pnp トランジスタ断面構造図



図 9 寄生 pnp トランジスタ構造 ESD 耐量



量を測定した。本結果を図9に示す。なお,距離 X=0µm の ESD 耐量データは比較のために単独のパワーツェナー ダイオードの耐量をプロットしている。実験の結果,60 V 定格耐圧の結晶条件における ESD 耐量は横方向距離 Xに 依存せず,単独のパワーツェナーダイオードの ESD 耐量 と変わらないことが分かる。

#### 7 サージ吸収動作

#### 7.1 ESD サージ

IN-GNDP 間に 150 pF-150 条件において ESD 電圧 + 25 kV を印加した際に観測された電圧・電流波形を図10 に示す。+ 25 kV の ESD 電圧は 60 V 定格の素子面積に設 計されたパワーツェナーダイオードによって 200 V ピーク 電圧レベルに制限される。

OUT 出力ラインに CMOS 入力の論理ゲート IC を接続 して ESD 実験を試みたが,論理ゲート IC の破壊・誤動 作は確認されなかった。

IN-VB間, IN-GNDP間, IN-IN間の ESD 耐量はそれ ぞれ電源セット状態( $V_B$  = 14 V,  $V_{OS}$  = 5 V)または オープン状態において, 150 pF-150 条件にて ESD 耐 量  $\pm$  30 kV 以上を達成している。その他の ESD 条件にお ける ESD 耐量測定結果を表 1 に示す。

#### 7.2 電磁波ノイズ

電磁波ノイズ EMC 耐量をテムセル法により,電界 200

## 図 10 ESD + 25 kV 印加時の IN1 波形



#### 表1 ESD 耐量測定結果

条件	ESD 耐量			
	IN-GNDP	> ± 30 kV		
C = 150 pF R = 150	IN-VB	> ± 30 kV		
	IN-IN	> ± 30 kV		
	IN-GNDP	> ± 20 kV ( typ. )		
C = 200 pF R = 0	IN-VB	> ± 20 kV ( typ. )		
	IN-IN	> ± 23 kV (typ.)		

V/m,周波数帯域1MHzから1,000MHzまで2%logス テップでスイープさせて確認した結果,OUT出力に誤動 作ないことを確認した。

#### 7.3 イグニッションパルスサージ

IN-VB間, IN-GNDP間のイグニッションパルスサージ耐量は,電源セット状態(*V*<sub>B</sub> = 14 V, *V*<sub>OS</sub> = 5 V)にて-23 kV 以上を達成している。

8 レベルシフト回路とバッファ回路動作

レベルシフト回路とバッファ回路動作波形を図11に示す。 バッテリー 14 V 電源から IN 端子へ入力された信号は, OUT 端子からマイクロコンピュータ 5 V 電源に対する出 力信号に変換される。また,入力しきい値電圧にはヒステ リシス電圧を設け,さらにバッファ回路部には 20 µs の フィルタを設けることで,イグニッションパルスサージな どの高周波ノイズをカットする設計とした。

表 2 に電気的特性を示す。今回のサージ吸収入力 IC は 14 チャネルの入力構成としているが,要求によっては入 力チャネル数の異なる製品への対応も可能である。

## **9** SSOP パッケージ

本製品には SSOP パッケージを用いる。SSOP パッケー

#### 図11 レベルシフト回路とバッファ回路動作波形



#### 表 2 電気的特性

項	目		条件	特性値 ( typ. )	単位
			VB-GNDP	75	V
端子間クランプ電圧			VOS-GNDA	7	V
			VR-GNDP	75	V
			VIN-GNDP	75	V
入力しきい値 V <sub>th(H)</sub>			V <sub>OS</sub> = 5 V	4.0	V
電圧 V <sub>th(L)</sub>		V <sub>th(L)</sub>	<i>V</i> <sub>B</sub> = 1 4 V	3.8	V
プルアップ プルダウン	プルアップ・ プルダウン抵抗		<i>V</i> <sub>R</sub> = 1 4 V	10	k
入力漏れ電	Ē流		V <sub>IN</sub> = V <sub>R</sub> = 14V , V <sub>OS</sub> = 0V , 1チャネルあたり	0.7	mA
	Vo	UT(H)	$V_{\rm IN}$ = $V_{\rm B}$ = 14V , $V_{\rm OS}$ = 5V	4.8	V
出力電圧	V <sub>OUT(L)</sub>		$V_{\rm IN}$ = 0 V , $V_{\rm B}$ = 1 4 V , $V_{\rm OS}$ = 5 V	0.2	v
出力遅延	Tde	on	V <sub>B</sub> = 1 4 V	20	μs
時間	Tdd	off	V <sub>OS</sub> = 5 V	20	μs

ジを用いることで,複数の入力端子と複数の出力端子とを 180度の角度を隔てた方向に振り分け,入力端子に印加さ れるサージやノイズを出力端子に伝搬させないことを可能 としている。

### 10 あとがき

自動車用スマートパワーデバイスの新製品としてサージ 吸収入力 IC FP001 の概要について紹介した。今後とも富 士電機では,市場要求を満足する新製品開発に注力してい く所存である。

#### 参考文献

 Yoshida, K. et. al . Surge Protection IC for the Switch Interface of ECUs . CIPS 2002 . 2002 , p.139-145 .

## 車載用高機能 MOSFET

梅本 秀利(うめもと ひでとし)

山田 昭治(やまだ しょうじ)

## 1 まえがき

現在,自動車業界では環境性能,安全性能,快適性の向 上をキーワードとする電子システムの増加に伴い,ECU (Electronic Control Unit)の大規模化に年々拍車がかかっ ており,システムメーカーではECUの小型化が切望され ている。ECUの小型化を実現するための半導体デバイス として,パワー半導体とその周辺保護回路,状態検出・状 態出力回路,ドライブ回路などを一体化したスマートパ ワーデバイスが注目され,その適用が着実に伸長している。

富士電機においても、パワー半導体と前述した周辺回路 をワンチップ化し、ECUの小型・薄型化、高性能化、高 信頼性に応えた半導体製品の開発を行ってきた。その製品 群としてハイサイド型、ローサイド型の高機能 MOSFET (Metal Oxide Semiconductor Field Effect Transistor), イグナイタ駆動用 IPD (Intelligent Power Device) など がある(図1,図2)。これらの共通の特徴は高いサージ 耐量(静電気耐量など)と低駆動電圧(3V)である。表 1はハイサイド型高機能 MOSFET「F5045P」の例である。

これらの中で今回,新たに開発した車載用ローサイド型 高機能 MOSFET「F5048」について紹介する。

#### 図1 F5048 パッケージの外観



#### 図 2 高機能 MOSFET, IPD の製品マップ



表 1	F5045Pの最大定格と電気的特性
	(特に表記ない限り <i>T</i> 。= 25 )

項目	1	記号		定格	条件	単位
電源電圧		V <sub>cc</sub>		50	0.25 s	V
出力電流		/ <sub>out</sub>		1	_	А
				規村	各値	
月日	記亏	杀	17	最小	最大	里位
動作電源電圧	V <sub>cc</sub>	$T_{\rm c} = - \frac{1}{2}$	40~ 105	3	33	V
	V <sub>IN(H)</sub>	$V_{cc} = 3$	~ 5 V	$0.7 \times V_{cc}$		
	V <sub>IN(L)</sub>	$I_c = - I_c$	40~ 105		$0.3 \times V_{cc}$	V
人刀電圧	V <sub>IN(H)</sub>	$V_{cc} > 5$	V	3.5		.,
	V <sub>IN(L)</sub>	$T_c = -4$	40~ 105		1.5	V
オン抵抗	R DS( on )	$V_{cc} = 14 V$ $I_{out} = 0.5 A$			0.60	
過電流検出	I <sub>oc</sub>	V <sub>cc</sub> = 1	4 V	2	-	А
過熱検出	$T_{\rm trip}$	V <sub>cc</sub> = 1	4 V	150	_	

パッケージ:SOP-8



梅本 秀利

インテリジェントパワーデバイス の開発・設計に従事。現在,富士 日立パワーセミコンダクタ(株)松 本事業所開発設計部。



## 山田 昭治

インテリジェントパワーデバイス のチップ開発・設計に従事。現在, 富士日立パワーセミコンダクタ (株)松本事業所開発設計部。電気 学会会員。



#### 鳶坂 浩志

インテリジェントパワーデパイス の開発・設計に従事。現在,富士 日立パワーセミコンダクタ(株)松 本事業所開発設計部。

## 2 製品の紹介

## 2.1 製品の特徴

従来製品,特に高機能 MOSFET 製品群と比較した F 5048 の設計上の特徴は過電流検出の設計思想にある。F 5048 では,従来製品の過電流検出設定値が実使用電流の 2~3倍であったのに対し,素子の電流通電能力,負荷短 絡時の保護を十分考慮し10倍以上の設定値とし,通電開 始時に大電流が流れる(例:ラッシュ電流など)ような負 荷の制御用として開発している。

なお,本製品は,縦型パワー半導体と横型制御ICの分離構造として,市場において十分な実績を持つ自己分離構造(図3)を採用し,かつ以下に記す特徴を持っている。 (1)高い通電能力:27A(min.)

- (2) 負荷短絡保護機能搭載(過電流,過熱保護)
- (3) 誘導性負荷逆起電圧保護機能〔ダイナミッククランプ 回路内蔵:クランプ電圧 80 V (min.)〕
- (4) 低オン抵抗:125 m (max.)
- (5) ロジックレベル駆動
- (6) SMD(Surface Mounted Device)パッケージ(JEDEC 規格の TO-263 に類似するパッケージ)
- (7) 高サージ耐量

〔ESD (Electro Static Discharge) 耐量:ドレイン-ソー ス間 <u>+</u> 15 kV 以上 at 150 pF , 150 〕

## 2.2 用 途

F5048 は,後述の過電流検出回路設計の最適化により, モータ,ランプなど負荷の通電開始時に瞬間的な大電流を 必要とする用途に最適なデバイスである。

また通常, ECU の電源 - GND 間には 27 V あるいは 32 V のパワーツェナーダイオードを併用しているため, パワー素子の耐圧は 40 V で十分である。しかし本製品は パワーツェナーダイオードを使用せず,ロードダンプサー ジ(80 V,0.25 s)が直接パワー素子に印加される ECU 用 に開発されている。

#### 2.3 製品の特性

F5048の最大定格と電気的特性を表 2(a), b に, さらに 回路ブロックダイヤグラムを図4に示す。また,主な特性

図3 自己分離構造の断面図

低耐圧 n チャネル デブャネル デブッション MOSFET 7000000000000000000000000000000000000	低耐圧 nチャネル MOSFET ビング (n±/ n±/	出力段 縦型パワー MOSFET <u>2222</u> (11) (11) (11) (11)	ツェナー ダイオード	
		n -		
		n +		

## 表 2 F5048の最大定格と電気的特性・サージ耐量

項目	記号	条件	定格	単位					
ドレイン - ソース間電圧	V <sub>DSS</sub>	DC	80	V					
ゲート - ソース間電圧	V <sub>GSS</sub>	DC	- 0.3 ~ + 7.0	V					
ドレイン電流	I <sub>D</sub>	DC	15	А					
許容電力損失	PD	_	43	W					
接合部温度	Tj	_	150						
保存温度	T <sub>stg</sub>	_	- 55~ + 150						

#### (b) F5048の電気的特性およびサージ耐量

<ul><li>(特に表記/</li></ul>	ない限り	$I_{c} = 25$ )				
п	휘문	~ ~	件	規構	各値	畄仚
		75	гт	最小	最大	- - -
ドレイン - ソース間 電圧	V <sub>DSS</sub>	/ <sub>D</sub> = 1 mA	$V_{\rm GS}$ = 0 V	80	100	v
ゲート しきい値電圧	V <sub>GS(th)</sub>	/ <sub>D</sub> = 10 mA	<i>V</i> <sub>DS</sub> = 1 4 V	1.0	2.8	v
保護機能動作 ゲート電圧 範囲	$V_{\rm GS(p)}$			3.0	7.0	v
ゼロゲート 電圧 ドレイン電流	I <sub>DSS</sub>	V <sub>DS</sub> = 16 V	$V_{\rm GS}$ = 0 V	_	25	μA
ゲート -	I <sub>GS(n)</sub>	V <sub>gs</sub> = 5 V 通	<i>V</i> <sub>GS</sub> = 5 V 通常動作時			μA
「シース间」で記念	I <sub>GS(un)</sub>	V <sub>GS</sub> = 5 V 保護	護機能動作時	-	350	μA
オン抵抗	R <sub>DS(on)</sub>	1 <sub>D</sub> = 8 A	$V_{\rm GS}$ = 5 V	_	125	m
ターンオン 時間	t on	<i>V</i> <sub>DS</sub> = 1 4 V	<i>V</i> <sub>GS</sub> = 5 V	_	100	μs
ターンオフ 時間	t <sub>off</sub>	/ <sub>D</sub> = 8 A		_	100	μs
過熱検出保護 温度	$T_{\rm tip}$	<i>V</i> <sub>DS</sub> = 1 4 V	$V_{\rm GS}$ = 5 V	150	_	
過雪涼梌出	,	V <sub>DS</sub> = 1 4 V	<i>T</i> <sub>j</sub> = 25	27	_	А
過电加1% []	<sup>7</sup> 0C	V <sub>GS</sub> = 5 V	<i>T</i> <sub>j</sub> = 85	22	_	А
ダイナミック クランプ耐量	E <sub>CL</sub>	<i>T</i> <sub>j</sub> = 150	/ <sub>D</sub> = 8 A	100	_	mJ
ESDサージ	_	150 pF , 150 ドレイン - ソ-	0 - ス間	±15	_	kV
耐量	_	150 pF , 1.5 ゲート - ソース	 k ス間	± 5	_	kV

#### 図4 F5048の回路ブロックダイヤグラム



を以下に述べる。

2.3.1 用途に適した通電能力設計

F5048 はランプの点灯やモータの駆動など負荷の通電開 始時に瞬間的な大電流を必要とする用途に適する通電能力 を確保するため,下記の2ポイントを考慮した最適デバイ ス設計を行っている。

(1) パワー MOSFET の電流通電能力

適用するアプリケーションの動作条件に適した出力段パ ワー MOSFET の電流通電能力を確保した。

(2) ワイヤ溶断電流値(*I<sup>2</sup>t*)

前述の通電能力を確保し,負荷短絡時にボンディングワ イヤが溶断破壊しないワイヤ径とした。

2.3.2 最適な保護機能動作

高機能 MOSFET は,負荷が短絡に至った場合,過電流 検出と過電流制限,および過熱検出の保護機能を働かせる, 二重のフェイルセイフ設計とし,システム,負荷,素子を 破壊から守る役割を果たしている。

(1) 短絡保護

F5048 の過電流検出回路は,図5に示すようにドレイ ン-ソース間のオン電圧をモニタする電圧検出方式を採用 している。過電流検出方式として,電圧検出タイプは,電 流検出タイプに比べ,検出回路が簡素化できるという利点 がある。短絡直後にオン電圧が設定した過電流値の電圧ま で上昇すると論理回路がこれを識別して動作し,同時に電 流制限が働いて素子の破壊を回避している。この過電流検 出値は,負荷短絡耐量の電流値より小さく,アプリケー ションを満足する電流値を考慮して決定している。これら の特性の通電時間依存性を図6に示す。

#### (2) 過熱保護

過熱保護は上記の過電流検出,電流制限が動作しさらに オン状態が続いた場合に素子を熱破壊から守る機能である。 図7は負荷短絡時に過電流保護から過熱状態に入り,過熱 保護によるターンオフ動作と自己復帰によるターンオン動 作の繰り返す状態を示している。この過熱検出の回路の応 答性を高めるため,過熱検出センサを出力段パワー MOS FET の活性部内に配置することで,同センサを IC 回路部 に配置する場合に比べ,10 倍以上の応答性を実現してい る。

図5 短絡保護回路(過電流検出と電流制限)



2.3.3 ダイナミッククランプ電圧(VDSS)

前述したように ECU の電源-GND 間には 27 V あるい は 32 V のパワーツェナーダイオードが設置されるため, これまで富士電機製高機能 MOSFET の素子耐圧は 40 V に設定されソレノイドバルプなどの制御に使用されてきた。 周知のこのパワーツェナーダイオードの役割は,何らかの 理由でバッテリー接続が解除された際に発生する過渡的に 高エネルギーのロードダンプサージ(例:80 V, = 0.25 s)から ECU 内部を保護することである。しかし, ECU の規模あるいは配置場所によりパワーツェナーダイオード の設置が難しい場合もある。

F5048 はこのような問題に応える素子耐圧を設定(80 V)している。またこの80Vはチップ上でパワー素子の ドレイン - ゲート間に挿入のツェナーダイオードで決定す るようにし,通常のオンオフ動作で発生する誘導性成分逆 起電力を外付け回路なしで処理できる。本品は100mJ以 上の耐量を有するので安心して使用が可能である。



図6 パワー MOS 部の負荷短絡耐量と電流通電能力および アルミワイヤ溶断電流値の通電時間依存性





## 図8 F5048の代表的なスイッチング波形



ところでこの 80 V 耐圧保証は単に外来サージ電圧に対 する対応だけに限定されるものではなく,もちろん 42 V 系バッテリーへの適用を可能としている。

## 2.3.4 最適なスイッチング時間

自動車に対する要求として,安全性向上に加え高級感と 快適性がある。スムーズなモータの始動やランプの調光は PWM(Pulse Width Modulation)制御で実現できる。 PWM制御性能を支配するスイッチング時間であるが,ス イッチングノイズの低減に留意した設定とした。F5048の ターンオン時間およびターンオフ時間はともに 60 µs (typ.)であり,1kHz 程度の高周波動作にも対応可能であ る。今回の設計では高い電流容量を持つためスピードアッ プダイオードを内部ゲート抵抗と並列に配置してターンオ フ時間を短縮している。図8に代表的なスイッチング波形 を示す。

#### 2.3.5 高静電破壊耐量

F5048 は従来の高機能 MOSFET の設計手法に基づいて, 回路の配線幅やそのパターン,コンタクト抵抗値,回路の レイアウトなどの最適化を行っている。ドレイン-ソース

#### 表3 F5048の信頼性試験結果

試験内容	試験時間(h)							
	サンプル	0	100	200	300			
飽和蒸気加圧試験 温度:121	従来品	0/22	0/22	0/22	3/22			
圧力:2.0 × 1 0 <sup>5</sup> Pa 湿度:1 0 0 % RH	F5048	0/22	0/22	0/22	0/22			
試験内容	試	験サイク	'ル数(†	ナイクル)				
試験内容	試 サンプル	験サイク 0	アル数(t 500	ナイクル) 1,000	2,000			
試験内容 熱衝撃試験(液体)	試 サンプル 従来品	験サイク 0 0/22	7ル数(t 500 0/22	ナイクル) 1,000 0/22	2,000			

間の静電破壊耐量は条件 150 pF, 150 において<u>+</u> 15 kV を保証している。

2.3.6 高い耐環境性能

F5048 ではさらに表面実装パッケージ製品の耐環境性能 の向上を図る目的から,組立条件と部材の選定について最 適化を行っている。具体的には, はんだ付け条件の最適 化, 低応力・低吸湿の高密着性樹脂適用などの検討を進 め,表3の信頼性試験結果(飽和蒸気加圧試験,熱衝撃試 験)に示すように,表面実装パッケージとしてより高い信 頼性能を得ている。

#### 3 あとがき

車載用高機能 MOSFET の新製品として F5048 の製品 概要について紹介した。この製品は従来の製品群と同様に 車両の安全性・高信頼性化に寄与するものと考えている。 今後とも市場からの要望を大切にしながら,多くの用途に 対応できるインテリジェントパワー製品の開発を推進して いく所存である。

#### 参考文献

- 木内伸ほか.インテリジェントパワー MOSFET.富士時報.vol.70, no.4, 1997, p.222-226.
- (2) 竹内茂行ほか.自動車イグナイタ用 IPS.富士時報.vol.72, no.3,1999, p.164-167.
- (3) 鳶坂浩志ほか.ハイサイド高機能 MOSFET.富士時報.vol.74, no.2, 2001, p.118-121.

## 電源用マルチチップパワーデバイス 「M-Power 2 シリーズ」

太田 裕之(おおた ひろゆき) 寺沢 徳保(てらさわ のりほ)

## 1 まえがき

近年,スイッチング電源への要求は,小型,軽量だけで なく省エネルギー,高力率が求められており,各種の変換 方式が提案されてきた。その中で,複合共振方式が従来の 変換方式と比較して効率,ノイズ面ともに優れているとい う点で注目され実用化されている。しかしながら,軽負荷 で効率が悪化し,無負荷状態でも損失が数ワット発生する。 したがって,待機運転時には省エネルギー対策として補助 電源が必要となり,小型化の妨げとなっている。

そこで,複合共振のメリットを生かし,軽負荷でも高効 率な制御ができる,複合発振型電流共振コンバータ [PW M (Pulse Width Modulation)制御と自励制御を組み合わ せた制御方式]を新たに開発した。また専用パワーデバイ スとして,複合発振型電流共振スイッチング電源を容易に 設計できる「M-Power2シリーズ」を製品化したので, 複合発振型電流共振コンバータの動作原理とM-Power2 シリーズの紹介をする。

2 複合発振型電流共振コンバータの動作原理

図1に M-Power 2 を適用した DC-DC コンバータの基本回路構成を示す。また,図2に動作のタイミングチャートを示す。

MOSFET (Metal Oxide Semiconductor Field Effect Transistor) Q1 は制御 IC で駆動される他励発振動作, MOSFET Q2 は絶縁トランス Tr の補助巻線で駆動される 自励発振動作となる。

絶縁トランスは一次巻線 P1 と二次巻線 S1, S2 とを疎 結合として比較的大きめの漏れインダクタンスを持たせた 設計とする。本 DC-DC コンバータはこの漏れインダクタ ンスとコンデンサ Cr の直列共振回路により電流共振動作 をする。Q2 の駆動巻線 P2 と, IC の制御電源を供給する 制御電源巻線 P3 は P1 と密結合とした設計とし,おのお の P1 の電圧に比例した電圧を発生させる。駆動巻線 P2 と MOSFET Q2 のゲート端子との間に接続している抵抗



スマートパワーデバイスの開発・ 設計に従事。現在,富士日立パ ワーセミコンダクタ(株)松本事業 所開発設計部。

太田 裕之



#### 図1 基本回路構成



図2 タイミングチャート



## 寺沢 徳保

スマートパワーデバイスの開発・ 設計に従事。現在,富士日立パ ワーセミコンダクタ(株)松本事業 所開発設計部。

電源用マルチチップパワーデバイス「M-Power 2 シリーズ」

とダイオードは,ゲート電圧をターンオン時には緩やかに, ターンオフ時には高速に変化させることにより,Q1とQ2 が同時にオンして短絡電流が流れるのを防ぐように設定す る。

制御電源巻線 P3 に並列に接続した抵抗とダイオードの 回路は,絶縁トランス一次巻線電圧(VP1)を間接的に P3 の電圧で検出し,制御 IC の信号レベルに変換する回路で ある。制御 IC は, VP1 が負から正へ零クロスするタイミ ングを検出し,短絡防止期間(Td)を経たのちに Q1 を ターンオンさせる。

出力電圧制御は,出力電圧調整回路の信号を電圧指令値 として制御 IC にフィードバックして行う。制御 IC は, その電圧指令値と VP1 が負から正へ零クロスするタイミン グから時間に比例して増加する参照信号とを比較し,出力 電圧が一定になるように Q1 をパルス幅制御する。

また,Q1 オン時に VP1 が正から負へ零クロスするタイ ミングを検出した場合,強制的にQ1 をターンオフさせる 機能を有しており,Q2 オフとQ1 オンの切換信号,およ びQ1 オフとQ2 オンの切換信号を絶縁トランスからの指 令として受ける。そのためオン信号からのデッドタイムを 設けておけば共振はずれによる貫通電流が発生しない。

3 M-Power 2 シリーズの概要

前記の電源システムを容易に構成するためのパワーデバ イス M-Power 2 シリーズを開発したので紹介する。

表1にM-Power2シリーズの系列表を示す。また,図 3にM-Power2の外観を,図4にはその等価回路図を示 す。

構造はオールシリコンのマルチチップ構成を採用し, IC と MOSFET 2 個 (Q1, Q2) を一つのパッケージに収

表1 系列表

分類	MOSFE	ET(Q1)	MOSFE	ET ( Q2 )	制御		
型式	V <sub>DS</sub>	RDS(ON)	V <sub>DS</sub>	R <sub>DS(ON)</sub>	V <sub>CC(ON)</sub>	Т <sub>ј(он)</sub>	$P_0(W)$
F9221L	500 V	0.9 (最大)	500V	0.9 (最大)	16.5 V	125~ 150	100 W
F9222L	500 V	0.6 (最大)	500V	0.6 (最大)	16.5 V	125~ 150	120W

#### 図3 M-Power2の外観



納した。外形は高さ 10 mm,幅 30 mm,厚さ 3.5 mm とコ ンパクトな SIP (Single Inline Package)とし,薄型電源 に対応している。このようなコンパクトなパッケージなが ら,放熱フィンなしで F9221L では 100 W 出力,F9222L では 150 W 出力のスイッチング電源に適用可能である。

複合発振型制御専用に開発した IC は,Q1 を PWM 制 御する演算機能と,待機機能,保護機能を有している。特 に待機機能として待機モード切換機能,待機モード時に バースト動作するための演算機能,トランスからの発生音 対策としてのソフトスタート,ソフトエンド制御機能が内 蔵されているのが特徴である。ソフトスタート,ソフトエ ンド制御機能については後述の試作電源の説明に詳細を記 述する。

保護機能としてはラッチ停止機能付きの過電流保護,負 荷短絡保護,過熱保護,過電圧保護と低動作電圧保護を有 している。さらに MOSFET と端子の配線に直径300µm のアルミ線を用いて防爆性を確保したことにより,安全性 の高い電源を設計しやすくしている。また過電流保護には 0.1 秒の不感時間を設けて,出力の急変に対し安定な電源 を設計できるよう配慮されている。

ICには待機電力低減を狙い CMOS (Complementary MOS)プロセスを採用している。

#### 4 試作電源の動作波形と電源特性

図 5 に M-Power 2 シリーズの F9221L を使用した電源 回路構成を示す。出力は 16 V/4.7 A,5 V/1 A の 2 出力と し,5 V 出力をフィードバック制御し定電圧化する。また, 出力電力が 80 W となるため,入力高調波対策として DC-DC コンバータ前段に PFC (Power Factor Correction)回路を接続している。PFC 用 MOSFET には 2SK 3469 (富士電機製 SuperFAP-G シリーズ), PFC 用昇圧 ダイオードには YG963S6 (富士電機製 SuperLLD シリー ズ), PFC 用 IC には FA5501 (富士電機製)を使用し, PFC 回路の効率向上を図っている。また,待機信号によ リ DC-DC コンバータを待機モードに切り換えると同時に





#### 図5 試作評価器の電源回路構成



図6 通常モード時の動作波形



PFC を停止させ,待機時の入力電力を低減している。

図6に通常モード時の動作波形を示す。Q1,Q2は交互 にオンオフし,負荷側に正弦波状の共振電流を供給してい る。また,各MOSFETのターンオン時にはドレイン電流 が負に流れている。この期間にゲート電圧を印加すること により零電圧スイッチングとなり,ターンオン損失が発生 しない。図7にスイッチング周波数とオンデューティ特性 を示す。オンデューティは定格負荷付近で0.5となる。 軽負荷時にはQ1のオンデューティだけ小さくなるため, スイッチング周波数は軽負荷になると上昇する。しかし, 定格負荷の10%負荷で周波数上昇率は20%程度と小さい。 図8に通常モード時の効率・力率特性を示す。定格出力で 効率87%以上,力率0.98以上を達成している。

図9に待機モード時の動作波形を示す。図中の Vcs は F9221Lに接続するソフトスタートコンデンサの電圧波形 である。単純にバースト発振動作させると絶縁トランスか 

 0
 Vo1

 0
 Vo2

 0
 Vo2

 200 V/div

 0
 Vo2

 0
 Vo2

図7 スイッチング周波数とオンデューティ特性



ら耳障りな音が発生するが,その原因はトランスに流れる 電流変化が急峻(きゅうしゅん)なためである。F9221L ではトランスに流れる電流(*I*<sub>P1</sub>)を緩やかに増加・減少

## 図8 通常モード時の効率・力率特性



図9 待機モード時の動作波形



させる機能を有しており,耳障りな音のまったくないバー スト発振動作が可能である。その電流変化はソフトスター トコンデンサの充放電による電圧変化に比例する。

図10に待機モード時の入力電力特性を示す。無負荷時入 力電力は 0.4 W 以下であり,従来回路で必要であった待機 専用補助電源を省略できる。

### 5 あとがき

富士電機では,他励フライバック方式のソフトスイッチ ング機能と省エネルギー運転のための待機機能を内蔵した パワーデバイス(M-Power1シリーズ F9209L)をすでに

図 10 待機電力特性



製品化し,カラーテレビ,CRT モニタに採用されている。 今回新しいスイッチング電源回路の開発と専用のパワーデ バイスを製品化し,小型,軽量,高効率,高力率,省エネ ルギーの要求が強いLCD モニタ,LCD テレビなどの電源 を容易に設計できる提案を行った。今後さらに大出力のラ インアップ化をして適用電源範囲の拡大を予定している。 また,電源へのさらに高度な要求に対応すべく電源システ ムの開発,専用パワーデバイスの製品化に努力する所存で ある。

参考文献

- (1) 渡辺晴夫. 複合共振コンバータ用マルチチップモジュール.
   98 スイッチング電源シンポジウム. 1998. C1-1-1 ~ C1-1-10.
- (2) 岡田洋一, 永原清和.交流入力電圧広範囲対応共振型電源.
   98 スイッチング電源シンポジウム.1998.C1-2-1 ~ C1-2-10.
- (3) 細谷裕.ノートパソコン用共振型アダプタ.98 スイッチング電源システムシンポジウム.1998.C1-3-1 ~ C1-3-15.
- (5) 西川幸廣ほか. ZVS 方式スイッチング電源. パワーエレ クトロニクス研究会論文誌.vol.25, no.2, 2000, p.153-159.
- (6) 五十嵐征輝ほか.ソフトスイッチング方式マルチチップパ ワーデバイス.電気学会産業応用部門大会.no.288,1999.

## 高耐圧ショットキーバリヤダイオード

北村 祥司(きたむら しょうじ) 伊藤 博史(いとう ひろし)

#### 1 まえがき

近年,電子機器の小型化,高性能化の動向に対し,ス イッチング電源では,高効率化,低ノイズ化,小型化対応 が進められている。スイッチング電源用パワーデバイスに 要求される特性としては,低損失化,低ノイズ化があげら れる。特に,スイッチング電源の50%弱の損失を占める 二次側出力整流ダイオードの特性改善が強く望まれている。

富士電機では,この要求に対し20Vから100V耐圧の ショットキーバリヤダイオード(SBD:Schottky Barrier Diode),200V,300V超高速低損失ダイオード(LLD: Low Loss fast recovery Diode)の開発系列化を推進し, 各種出力電圧に対応する最適なダイオードをシリーズ化し てきた。

今回,従来使用されていた 200 ~ 300 V LLD に対し, 電源の 12 ~ 48 V 出力の整流用に最適な高耐圧 SBD を開 発したので紹介する。

本製品は,低 V<sub>F</sub>(順方向電圧)であると同時にソフト リカバリー特性を有し,スイッチング時のサージ電圧の抑 制が期待できる。したがって,従来は200V,300V耐圧 クラスの LLD を使用していた回路へ1ランク下の耐圧の 適用が可能となり,低 V<sub>F</sub>化による低損失化,高効率化, スナバ回路の簡素化が期待でき,スイッチング電源の高効 率化,小型化に寄与できるものと考える。以下に今回開発 した高耐圧 SBD を紹介する。

## 2 開発の背景

今回開発した高耐圧 SBD は,スイッチング電源の二次 側整流,特に高電圧出力整流用に最適なダイオードと考え ている。表1にスイッチング電源に使用されるダイオード を用途別に示す。二次側整流に注目すると,33V,5Vと いった低電圧出力回路では,低耐圧 SBD(30V,45V) が使用されているが,高電圧出力回路では,耐圧の高い LLD(200V,300V,400V)が使用されていた。12V以 上の高電圧出力を有するパソコン電源,通信基地局電源な

表1 スイッチング電源用ダイオード一覧

現状適用ダイオード 用 途 ニーズ SBD AC100V入力 300 V 専用 PFC 一次側 AC 200 V 入力 回路 ワールドワイド 600 V 高効率 (75 W 以上) 出力電圧 3.3 V 30 V \_\_\_\_ パソコン 出力電圧 5 V 45 V 雷源 スイッ 高効率 出力電圧 12 V 200 V 低ノイズ チング電源 高効率 AC 出力電圧 100 V 二次側 アダプタ 15~19V 高温動作 整流 高効率 OA/FA 出力雷圧 24 V 300 V 電源 低ノイズ 高効率 出力電圧 28 V 300 V 低ノイズ 基地局 雷源 高効率 出力電圧 48 V 400 V 低ノイズ 逆 流 10~ Oring ١ŀ 防 20 V

どでは,CPUの高速化,大容量化,小型化,低ノイズ化 などのニーズに対応する目的で,二次側整流回路に使用さ れるダイオードに対し VF による発生損失の低減,逆回復 特性による跳ね上がり電圧,スイッチングノイズの低減が 要求されている。図1(a)に200 V LLDを使用した場合の パソコン用電源(250 W)の12 V 出力部ダイオードの損 失分析を示す。損失の90%以上は VF による損失である ことが分かる。また,図1 b にスイッチング時のダイオー ド印加波形を示す。このサージ電圧および急峻(きゅう しゅん)な *dv/dt* によるノイズを抑制するために,スナバ 回路やビーズなどを適用しており,部品点数の増加,コス トのアップなどを招いている。

従来使用されている LLD は, pn 接合ダイオードであり, 低 *V*<sub>F</sub> 化には限界がある。また一般にソフトリカバリー性 と *V*<sub>F</sub> にはトレードオフ関係があり,低 *V*<sub>F</sub> 化とソフトリ カバリー化の両立が非常に困難であった。そこで SBD の



北村 祥司 パワーダイオードの開発設計に従 事。現在,富士日立パワーセミコ

部。

ンダクタ(株)松本事業所開発設計



#### 伊藤博史

パワーダイオードの開発設計に従 事。現在,富士日立パワーセミコ ンダクタ(株)松本事業所開発設計 部。 低 V<sub>F</sub>, ソフトリカバリー特性に着目し, 従来 pn 型高速 ダイオードを使用している高出力回路に高耐圧 SBD を適 用することで低損失化, ソフトリカバリー特性による低ノ イズ化が同時に達成可能となる。以上から,今回の高耐圧 SBD の目標特性は,12V出力から48V出力部をターゲッ トにし,現状の pn 型高速ダイオードと比較して,

(1) 低 V<sub>F</sub> 性の確保

- (2) ソフトリカバリー性の確保
- (3) 150~250V耐圧

を加味し,開発を推進した。

3 素子設計

#### 3.1 耐圧設計

図 2 に高耐圧 SBD のチップ構造を示す。耐圧構造は ガードリング方式を採用した。素子の耐圧は,エピタキ シャル層(n-層)の比抵抗 と厚さ tで決まる。図 3 に, 耐圧 VBR の比抵抗 ,厚さ t依存性を示す。高耐圧ほど, 比抵抗 を上げ,エピタキシャル層厚 tが厚い設計とし, さらにガードリングの濃度,拡散深さを最適化し目的の耐 圧を確保した。

図1 二次側整流(12V出力)の損失分析と印加波形



図4 順方向特性のシミュレーション結果

abc С b a b a C 5.0 5.0 5.0 バリヤ高さ ~ 4.5 ~ 4.5 ~ 4.5 a < b < c <sup>2</sup> E H .0 <sup>2</sup> E H .0 <sup>3</sup> .5 <sup>3</sup> .0 <sup>4</sup> . A/mm JF(A/mm 4.0 4.0 3.5 3.5 J F ( 3.0 3.0 2.5 2.5 2.5 廀 度 電流密度 順方向電流密度 1.5 1.0 0.5 電流密 2.0 2.0 1.5 1.5 順方向電 e 回 口 1.0 0.5 1.0 0.5 0 0 0 0.2 0.4 0.6 0.8 1.0 1.2 1.4 1.6 0 0.2 0.4 0.6 0.8 1.0 1.2 1.4 1.6 0.2 0.4 0.6 0.8 1.0 1.2 1.4 1.6 0 0 順方向電圧 V<sub>F</sub>(V) 順方向電圧 V<sub>F</sub>(V) 順方向電圧 V<sub>F</sub>(V) (a)40V耐圧 (b) 150 V耐圧 (c)250V耐圧

#### 3.2 バリヤメタル選定

3.1 節の検討結果から,150 ~ 250 V の耐圧を確保する にはエピタキシャル層の比抵抗を高くし,厚さは10 $\mu$ m 以上が必要となる。低耐圧 SBD と同様なユニポーラ動作 を仮定すると, $V_F$  は pn ダイオードに比べかなり高くな るはずだが,ショットキー接合およびガードリングからの 少数キャリヤ(ホール)の注入が起き, $V_F$ が抑えられる。 図4に,40 V,150 V,250 V 耐圧仕様のエピタキシャル層 に,3種のバリヤメタルa,b,c(バリヤ高さa<b<c) を形成したときの順方向特性のシミュレーション結果を示 す。150 V,250 V 耐圧の仕様のものではバリヤ高さが高

図 2 SBD チップの断面構造



#### 図3 エピタキシャル層の仕様と耐圧



いほど、大電流域では  $V_F$  が低くなる(0.7 ~ 0.8 V でクロ スポイントあり)。ショットキー部からのホール注入は、 エピタキシャル層の比抵抗が大きいほど、またバリヤ高さ が高いほど多くなる。図5 は図4の結果などから  $V_F \ge I_R$ (逆方向電流)の関係を求めたものを示す(各耐圧クラス でバリヤ高さを変えたときの  $V_F - I_R$  特性)。40 V 耐圧では、 従来の  $V_F - I_R$  トレードオフを示すが150 V、250 V ではバ リヤ高さが高いほど  $V_F$  は低減する。特に250 V SBD にお いて pn ダイオードに対し、低  $V_F$  特性を達成するには、 バリヤ高さは、メタル b 以上必要であることが分かる。

#### 3.3 ライフタイムコントロール

3.2 節の V<sub>F</sub>特性から予想されるように,150 V,250 V 耐圧の結晶に,高バリヤ高さのメタルを形成した場合, ショットキー部およびガードリング部からのホールの注入 が顕著になり,逆回復が無視できなくなる。図6に,バリ ヤ高さb付近のバリヤメタルを用いた場合の各耐圧クラ スでの逆回復特性を示す。特に250 V クラスでは,大きな

図 5 V<sub>F</sub>-I<sub>R</sub>相関



#### 図6 結晶仕様と逆回復特性



スイッチング損失が予想され, pn ダイオードと同様のラ イフタイムコントロールが必要となる。ライフタイムキ ラーには,荷電粒子,重金属などが考えられるが,静特性 やソフトリカバリー性を損なうことなく,逆回復損失を低 減できるように,工程条件を最適化した。

## 4 素子特性

以上の検討結果をもとに,150 V,250 V SBD(電流定 格 10 A)を作製した。バリヤメタルとしては,バリヤ高 さが異なるタイプA,タイプB( $I_R$ 重視)とした。図7に タイプA,Bそれぞれの順方向特性を,図8に逆方向特性 を示す。比較のために富士電機製200 V,300 V LLDも示 した。順方向特性の立上り電圧の違いは,バリヤ高さの違 いによる。タイプA,BともにLLDより低 $V_F$ となって いる。特にタイプAでは,低電流域で低 $V_F$ が顕著である。 図9に逆回復特性のLLDとの比較を示す。最も注入の大 きな250 V タイプB SBDと300 V LLDを比較した。 $I_{RP}$ (逆回復ピーク電流)は同レベルであるがソフトリカバ リーになっていることが分かる。表2には,以上の特性比

#### 図7 順方向特性(試作結果)



#### 図8 逆方向特性(試作結果)



#### 表 2 特性比較(試作結果)

70			150 \	/ SBD	250\	/ SBD	200 V	300 V	**	
坦日		宗 1千	タイプA	タイプB	タイプA	タイプB	LLD	LLD	□ 単1⊻	$\frac{dI_{\rm F}}{dt}$
VF	25	/ <sub>F</sub> = 10 A	0.84	0.83	1.18	0.93	0.92	1.05	V	
I <sub>R</sub>	100	$V_{\rm R} = 150/250$ V	2,000	27	1,620	14	290	479	μA	
t <sub>rr</sub>		$l_{r} = 10 \text{ A}$	4 1	40	100	52	36	39	ns	
IRP	100	- di/dt =	2.0	2.0	3.8	2.4	2.6	2.4	А	$\begin{array}{c c} t_1 & t_2 \\ \hline t_1 & t_2 \\ \hline t_1 & f_1 \end{array} \qquad S = \frac{t_2}{t_1}$
S		100A/µs	0.55	0.48	1.27	0.63	0.14	0.3	_	

図9 逆回復特性(試作結果)



図10 12 V 出力電源実装時の印加波形



較をまとめた。LLD と比較して低  $V_{\rm F}$ , ソフトリカバリー (Sパラメータ大)となっていることが分かる。

図 11 二次側整流ダイオードの損失比較(12 V 出力電源)



#### 5 実装試験結果

パソコンサーバ用電源(250W,12V出力)に実装した ときの波形比較を図10に示す。200VのLLDの代わりに 150VSBDを実装した。図10のaは評価回路,b~(d)は フォワード側のダイオードの波形である。跳ね上がりサー ジ電圧が大幅に緩和されている。また,二次側の損失を計 算したものが図11である。

タイプAで18.3%の損失低減が図られている。24V, 48V系電源でも同様の検討結果が得られ,約20~30% の損失低減が期待できる。

### 6 あとがき

以上,高耐圧150V,250V SBDの概要,スイッチング 電源二次側整流用途への適用などについての概要を紹介し た。今回の開発品の製品化は,10A,20A定格,製品外 形はTO220,TO220-F15を予定している。

今後, さらなる低損失化, 高性能化のための SBD の特 性改善を進めていく所存である。

## パワー MOSFET「SuperFAP-G シリーズ」とその適用 効果

徳西 弘之(とくにし ひろゆき)

井上 正範(いのうえ まさのり)

#### 1 まえがき

近年,IT (Information Technology)化の進展に伴い, パソコン,サーバなどのネットワーク関連機器を中心に情 報通信機器の出荷台数は急速に増加しており,省資源,省 エネルギー,小型化の観点から情報通信機器の低消費電力 化が強く求められている。これら情報通信機器に使用され ているスイッチング電源に対しては,高効率化・低損失化 が求められている。また,ファクシミリ,コピー機に代表 される待機動作時間の長いOA機器については待機時消 費電力の低減も求められ,「エネルギーの使用の合理化に 関する法律」の改正法(改正省エネルギー法)などの法規 制とも相まって,さらに高効率・低損失のニーズは強まる 傾向にある。

図 1 に代表的なスイッチング電源であるフォワードコン バータにおけるパワー MOSFET (Metal Oxide Semiconductor Field Effect Transistor)の損失シミュレーション 結果を示す。定常負荷時(出力電流 8 A)では,ターンオ フ損失が全損失の約 50 %を占めている。次にオン抵抗 (*R*<sub>DS (on</sub>))損失が約 32 %となっており,全損失の 80 %以

#### 図1 フォワードコンバータの損失シミュレーション結果



上をターンオフ損失とオン抵抗損失が占めている。このこ とから,スイッチング電源の高効率化・低損失化を達成す るためには,オン抵抗損失とターンオフ損失の双方の改善 が必要である。一方,待機消費電力にあたる軽負荷時では, ターンオフ損失が全体の約90%を占めている。また,情 報通信機器の小型化に対応するため,スイッチング電源は スイッチング周波数を高くすることで小型化を図っており, 近年,そのスイッチング周波数はさらに高くなる傾向にあ る。今後は,ターンオフ損失に代表されるスイッチング損 失の低減の重要性がますます高まることが予想される。

本稿では,これら市場ニーズに応えるべく開発した低損 失・超高速パワー MOSFET「SuperFAP-Gシリーズ」の 特徴,また実際のアプリケーションへ適用した場合の効果 について,その概要を紹介する。

## 2 特 徴

パワー MOSFET のターンオフ損失は,ドレイン-ゲート間の帰還容量( $C_{rss}$ )の充電時定数により決まり,ターンオフ損失を低減するためには,充電時定数であるゲート-ドレイン間電荷量( $Q_{gd}$ )を低減する必要がある。 $Q_{gd}$ と $R_{DS(on)}$ は,トレードオフの関係にあり,パワー MOSFET の要求仕様であるオン抵抗損失の低減とターンオフ損失の低減を両立させるためには,このトレードオフの改善が不可欠である。そのため従来 $R_{on} \cdot A$ (単位面積あたりのオン抵抗)で表現していたパワー MOSFET の性能指数(FOM: Figure-of-Merit)を $R_{DS(on)}$ と $Q_{gd}$ の積として今回新たに規定した。 $R_{on} \cdot Q_{gd}$ の値が小さいほど高性能な MOSFET といえる。

表1にSuperFAP-Gと同一オン抵抗の従来製品の特性 比較を示す。今回開発した150V耐圧の代表機種における 性能指数は,0.675 ・nCであり,従来製品に対して,性 能が約2.5倍向上している。このように性能指数の向上を 実現した設計施策について,以下に述べる。



徳西 弘之 パワー MOSFET の製品開発・設 計に従事。現在,松本工場パワー

半導体開発部。



#### 山田 忠則

パワー MOSFET の開発・設計に 従事。現在,富士日立パワーセミ コンダクタ(株)松本事業所開発設 計部。



#### 井上 正範

宇宙パワー MOSFET の設計,品 質保証に従事。現在,松本工場パ ワー半導体第一品質保証部。

#### 3 設計施策

SuperFAP-G シリーズでは,オン抵抗損失を改善する ため,擬平面接合:QPJ(Quasi-Plane-Junction)という 新技術を開発した。図2にQPJの構造を示す。

中高耐圧パワー MOSFET のオン抵抗の大部分は, エピ タキシャル層のn-型シリコンの抵抗率で制限されている。 よって,低オン抵抗を実現しようとした場合,n-型シリ コンの抵抗率を下げることで可能となるが,この方法では, ドレイン-ソース間耐圧が低下する問題がある。理論的に Ron · A は耐圧の 2.5 乗に比例するため,パワー MOSFET のオン抵抗を極限まで下げるためには,この理論限界に近 い低比抵抗のn-型シリコンを使用する必要がある。従来 のパワー MOSFET は, セルの構造が三次元的な凹凸を多 く含むため,電界強度の高い箇所ができて,シリコンの理 論限界に対して80%程度の耐圧しか得られていなかった。 これを補うためにはn-型シリコンの抵抗率を理論限界値 の175%以上に高めることが必要であり,結果として  $R_{on}$ ・Aを小さくできなかった。SuperFAP-Gシリーズの QPJ 構造では,従来の高濃度で深いp+ウェルに代えて, 低濃度で浅いp-ウェルを稠密(ちゅうみつ)に配置する

#### 表1 SuperFAP-G の特性比較

系列 項目	SuperFAP-G 2SK3474-01	従来製品 2SK2226-01
V <sub>DS</sub>	150 V	150 V
/ <sub>D</sub>	33 A	20 A
PD	150W	8 0 W
V <sub>GS( th )</sub>	3 ~ 5 V	1 ~ 2.5 V
R <sub>DS( on )</sub> ( typ. )	54 m	55 m
Qg	34 nC	1 0 0 nC
Q <sub>gd</sub>	1 2.5 nC	30 nC
性能指数 R <sub>on</sub> ・Q <sub>gd</sub>	0.675 ·nC	1.65 •nC

図 2 SuperFAP-G のチップ構造 (QPJ 構造)

ことにより,きわめて平面に近い接合のセルを実現した。 この QPJ 構造により,シリコンの理論限界に対し 97 %の 耐圧を達成し,その結果,n-型シリコンの抵抗率を理論 限界の 108 %にまで低減し,図3に示すシリコンの理論限 界値に対して 10 %以内の低オン抵抗化を達成している。 一方,ターンオフ損失を決めている Qgd を低減するため は,n-型シリコンの幅(電流経路)を狭く,かつ短くす る必要がある。しかし,Qgd と Ros(on)にはトレードオフ の関係があり,この電流経路を狭くするとオン抵抗が上 がってしまう問題がある。QPJ 構造では,浅いp-ウェル により電流経路を短くしていることに加え,n-型シリコ ンの電流経路に高濃度のn型ドーピングを行い,オン抵 抗を上げずにn-型シリコンの電流経路を極限まで狭くし ている。その結果,従来の同ーオン抵抗製品に対し,約 60 %の Qgd 低減を実現している。

3.1 SuperFAP-Gシリーズ

SuperFAP-G シリーズでは,すでに 450 ~ 600 V 耐圧

図3 V<sub>b</sub>とR<sub>on</sub>・Aの関係





耐圧	定格電流	オン抵抗	ゲート	ゲートチャージ		パッケージ					
BV <sub>DSS</sub>	I <sub>D</sub>	R <sub>DS(on)</sub> (max.)	Q <sub>G</sub>	$Q_{\rm gd}$	TO-220	TO-220F	T-PACK	TFP	TO-247		
	29 A	62 m	22 nC	6 nC	2SK3598	2SK3599	2SK3600	2SK3601	-		
100 V	41 A	44 m	32 nC	9 nC	2SK3644	2SK3645	2SK3646	2SK3647	-		
	7 3 A	25 m	52 nC	1 8 nC	2SK3586	2SK3587	2SK3588	2SK3589	_		
	23 A	105 m	2 1 nC	6 nC	2SK3602	2SK3603	2SK3604	2SK3605	_		
150 V	33 A	70 m	34 nC	12.5 nC	2SK3648	2SK3649	2SK3650	2SK3474	-		
	57 A	4 1 m	52 nC	1 8 nC	2SK3590	2SK3591	2SK3592	2SK3593	-		
0001	18 A	170 m	2 1 nC	5 nC	2SK3606	2SK3607	2SK3608	2SK3609	-		
200 V	45 A	66 m	5 1 nC	1 6 nC	2SK3594	2SK3595	2SK3596	2SK3597	_		
0501/	14 A	260 m	2 1 nC	5 nC	2SK3610	2SK3611	2SK3612	2SK3613	-		
250V	37 A	100 m	4 4 nC	1 6 nC	2SK3554	2SK3555	2SK3556	2SK3535	-		
7001/	1 0 A	1.18	35 nC	1 0 nC	-	2SK3673	-	-	-		
7000	1 2 A	0.93	3 1 n C	9 nC	-	2SK3677	-	-	-		
800 V	7 A	1.9	25 nC	7 nC	2SK3529	2SK3530	-	-	-		
	6 A	2.5	25 nC	7 nC	2SK3531	2SK3532	2SK3676	-	-		
0.001/	7 A	2.0	28 nC	8 nC	2SK3533	2SK3534	2SK3674	-	2SK3675		
9000	9 A	1.58	32 nC	7 nC	2SK3678	2SK3679	_	_	-		
	10 A	1.4	37 nC	1 0 nC	-	_	_	_	2SK3549		

#### 表 2 SuperFAP-Gシリーズ (新規追加分)

図4 SuperFAP-G シリーズの外観



クラスで約40型式の製品開発を完了し量産を行っている。 今回,加えてDC12~72V入力対応のDC-DCコンパー タ用途に100~250Vの中耐圧クラス,およびAC200V 入力のスイッチング電源用に700~900V耐圧クラスのシ リーズ化を行った。表2に新しくシリーズ化したSuper FAP-Gシリーズの代表定格を示す。図4にSuperFAP-G シリーズのパッケージ外観を示す。

4 SuperFAP-G シリーズの適用とその効果

SuperFAP-G シリーズの参考使用例として, PFC(力 率改善)回路, DC-DC コンバータ回路の代表的な回路で の適用効果について以下に紹介する。

## 4.1 PFC 回路への適用

スイッチング電源などのコンデンサインプットタイプの

図 5 電流連続モード PFC 回路損失シミュレーション結果



機器において,入力高調波電流規制に対応するために昇圧 型コンバータを応用した PFC 回路が搭載されている。こ の PFC 回路を付加することにより,電力変換部が2回路 となるため,PFC 回路部での損失低減,効率向上が強く 求められている。図5に電流連続モード PFC 回路におけ るスイッチングデバイスの発生損失解析結果を示すが,約 70%をパワー MOSFET の損失で占めており,このうち の約90%がターンオン,ターンオフの両スイッチング損 失で占めている。

電流連続モード PFC 回路では,図6の波形に示すよう にパワー MOSFET のターンオン損失は,出力ダイオード の逆回復特性の影響を強く受け,ターンオン損失低減のた めには,ダイオードの逆回復電流(*I*<sub>rp</sub>)を低減すること が重要である。富士電機では,この逆回復特性を改善し電 流連続モード PFC 用に最適設計を行った超高速ダイオー ド SuperLLD シリーズを開発し製品化した。SuperLLD

## 図6 電流連続モード PFC 回路(ターンオン波形)



#### 図7 電流連続モード PFC 回路(ターンオフ波形)



シリーズを適用することにより,パワー MOSFET のター ンオン損失は,従来型ダイオードに比べ約40%の低減と なっている。

一方,ターンオフ損失は図7の波形に示すようにパワー MOSFET 自身のスイッチング特性で決まる。Super FAP-Gシリーズを適用することにより,同定格の従来型 パワー MOSFET に比べ,ターンオフ時間が約60%高速 化されており,発生損失については約80%の低減となっ ている。

この SuperFAP-G シリーズ, SuperLLD シリーズを組 み合わせて使用することにより市販されている電流連続 モード PFC 回路搭載スイッチング電源にて,図8,図9 に示すように,ヒートシンク温度上昇6 低減と効率約 1%向上の結果が得られた。

電流連続モード PFC 回路での SuperFAP-G シリーズ, SuperLLD シリーズの推奨組合せ例を表 3 に示す。

#### 4.2 DC-DC コンバータ回路への適用

情報通信機器のオンボード電源には,ブリックタイプの DC-DC コンバータが使用される。現在主流となっている

#### 図8 電流連続モード PFC (温度上昇測定結果)



図9 電流連続モード PFC (変換効率測定結果)



電源容量 <i>P</i> 。	型式			電気的特性		パッケージ
- 150W	2SK3504-01	$V_{\rm DS} = 500  {\rm V}$	/ <sub>D</sub> = 14 A	$R_{DS(on)} = 0.46$ (max.)	Q <sub>gd</sub> = 10.5 nC ( typ. )	TO-220
~ 150 W	YA961S6	$V_{\rm R} = 600  {\rm V}$	/ <sub>P</sub> = 8 A	$V_{\rm F} = 2.0  \rm V  (typ.)$	t <sub>rr</sub> = 23 ns ( max. )	TO-220
25.0.11	2SK3522-01	$V_{\rm DS} = 500  {\rm V}$	/ <sub>D</sub> = 21A	$R_{DS(on)} = 0.26$ (max.)	Q <sub>gd</sub> = 20 nC (typ.)	TO-247
~ 250 W	YA962S6	$V_{\rm R} = 600 \rm V$	/ <sub>P</sub> = 10 A	V <sub>F</sub> = 1.6 V (typ.)	t <sub>rr</sub> = 25 ns ( max. )	TO-220
- 250 W	2SK3680-01	$V_{\rm DS} = 500 \rm V$	/ <sub>D</sub> = 43 A	$R_{\rm DS(on)} = 0.11$ (max.)	Q <sub>gd</sub> = 50 nC (typ.)	TO-247
- 350 W	YA963S6	$V_{\rm R} = 600 {\rm V}$	/ <sub>P</sub> = 15 A	V <sub>F</sub> = 1.7 V ( typ. )	t <sub>rr</sub> = 30 ns ( max. )	TO-220

#### 表3 電流連続モード PFC 用 SuperFAP-G/SuperLLD

## 図 10 DC-DC コンバータ実装評価結果(低出力時)



#### 図 11 DC-DC コンバータ実装評価結果(高出力時)



DC-DC コンバータは,従来のフルブリックタイプのもの から同一電力容量ながら外形の小さくなるハーフブリック (1/2)以下へと小型化と電力密度の増加が同時に進んで いる。小型化と電力密度の向上を実現するためには,ス イッチング周波数の高周波化による受動部品の小型化と, スイッチングデバイスの低損失化が必要となる。 スイッチングデバイスの低損失化については,スイッチング周波数が300 kHz を超える高周波で動作していることから,スイッチング損失およびドライブ損失を低減することが必要となる。

今回開発を行った 150 V/70 m の Super FAP-G シリー ズを市販されている代表的なクウォータブリックタイプ DC-DC コンバータ(48 V 入力/2.5 V 出力/150 W)に実装 評価した結果を図10,図11に示す。

同定格の従来型パワー MOSFET に比べ,ゲートチャージが約60%低減されており,変換効率最大4%の向上の結果が得られた。また,小型化のニーズに応えるため小型 面実装の TFP パッケージでの系列化も行っている。

#### 5 あとがき

以上,富士電機が低損失・超高速スイッチングパワー MOSFET として開発した SuperFAP-G シリーズの設計 概要とアプリケーションへの適用効果について紹介した。 この SuperFAP-G シリーズをスイッチング電源,DC-DC コンバータに適用することにより変換効率の向上,消費電 力の低減,温度上昇の低減が可能になり,機器の省エネル ギー化,小型化に貢献できるものと確信している。

今後もさらに広範囲な電源仕様にマッチすべくシリーズ の拡充をしていく所存である。

#### 参考文献

- Kobayashi, T. et al. High-Voltage Power MOSFETs Reached Almost to the Silicon Limit . Proceedings of the 13th ISPSD . 2001, p.435-438.
- (2) 北村祥司ほか.600 V スーパー LLD.富士時報.vol.74, no.2, 2001, p.141-144.
- (3) 山田忠則ほか.低損失・超高速パワー MOSFET「Super FAP-Gシリーズ」富士時報.vol.74, no.2, 2001, p.114-117.

## カンパニー別営業品目

## 電機システムカンパニー

情報・通信・制御システム,水処理・計測システム,電力システム,放射線管理システム,FA・物流システム,環境シス テム,電動力応用システム,産業用電源,車両用電機品,クリーンルーム設備,レーザ機器,ビジョン機器,電力量計, 変電システム,火力機器,水力機器,原子力機器,省エネルギーシステム,新エネルギーシステム

機器・制御カンパニー

電磁開閉器,操作表示機器,制御リレー,タイマ,ガス関連機器,配線用遮断器,漏電遮断器,限流ヒューズ,高圧受配 電機器,汎用モールド変圧器,電力制御機器,電力監視機器,交流電力調整器,検出用スイッチ,プログラマブルコント ローラ,プログラマブル操作表示器,ネットワーク機器,インダクションモータ,同期モータ,ギヤードモータ,ブレーキ モータ,ファン,クーラントポンプ,プロワ,汎用インバータ,サーボシステム,加熱用インバータ,UPS,ミニ UPS

## 電子カンパニー

磁気記録媒体,パワートランジスタ,パワーモジュール,スマートパワーデバイス,整流ダイオード,モノリシックIC, ハイブリッドIC,半導体センサ,サージアプソーバ,感光体およびその周辺装置

## 流通機器システムカンパニー

自動販売機,コインメカニズム,紙幣識別装置,貨幣処理システム,飲料ディスペンサ,自動給茶機,冷凍冷蔵ショーケース,ホテルベンダシステム,カードシステム

一日	土時	報	第	75	巻	第	10	号	平 成 14 年 9 月 30 日 印 刷 平 成 14 年 10 月 10 日 発 行 定価 525 円(本体 500 円・送料別)
編身	€兼発	行人	原		嶋	孝			
 発	行	所	富	±	電 機 技	株 式 術 企	会画	社 室	〒141-0032 東京都品川区大崎一丁目 11 番 2 号 (ゲートシティ大崎イーストタワー)
編	集	室		士電機	後情報サ- 「 富 土	- ビス株 : : 時 報 」	式会补 編	牡内 €室	〒151-0053 東京都渋谷区代々木四丁目 30 番 3 号 (新宿コヤマビル) 電 話(03)5388 - 7826 FAX(03)5388 - 7869
ED	刷	所	富	士電材	機情報サ	ービス校	未式彡	<b>≩</b> 社	〒151-0053 東京都渋谷区代々木四丁目 30 番 3 号 (新宿コヤマビル) 電 話(03)5388 - 8241
発	売	元	株	式 会	社才	_	Д	社	〒101-8460 東京都千代田区神田錦町三丁目1番地 電 話(03)3233 - 0641 振替口座 東京 6 - 20018

© 2002 Fuji Electric Co., Ltd., Printed in Japan ( 禁無断転載 )

## 富士時報論文抄録

	 U シリーズ IGBT モジュールの技術革新
重兼 寿夫 関 康和 藤平 龍彦 富士時報 Vol.75 No.10 p.551-554(2002)	岩室 憲幸    宮坂 忠志    関  康和 富士時報 Vol.75 No.10 p.555−558(2002)
パワー半導体の最近の動向について, ISPSD 02の状況を踏まえ 解説する。IGBT,スーパージャンクション構造,SiCなどが注目 されている。富士電機のUシリーズIGBTと,これまでのIGBT 開発に適用した技術について述べる。また,FZウェーハを用いた NPT型や,さらに特性改善をしたFS型などを概説する。その他, 富士電機の産業用,自動車用,電源用などへの適用デバイス,イン テリジェント化や個別デバイスのブレークスルーなどについても述 べる。	600 V, 1,200 V, 1,700 V 超低損失 U シリーズ IGBT モジュール を開発した。IGBT チップは新たに開発したトレンチゲート技術と 薄ウェーハ技術により,発生損失を大幅に低減することに成功した。 FWD チップはアノード構造とライフタイム制御法の最適化により, 逆回復電流の低減に成功し,低損失化を実現した。組立技術におい ては,すず系はんだ技術の開発によってパワーサイクル耐量を大幅 に向上させた。これら技術の融合により,従来モジュールに対して 40 %のベース面積の小型化を達成できた。
T , U シリーズ IGBT モジュール(600 V)	 U シリーズ IGBT モジュール(1,200 V)
百田 聖自     宮下 秀仁      脇本 博樹 富士時報 Vol.75 No.10 p.559-562(2002)	小野澤 勇一     吉渡 新一     大月 正人 富士時報 Vol.75 No.10 p.563-566(2002)
600 V 用 IGBT モジュールとして T シリーズおよび U シリーズ の開発を行った。T シリーズはおよそ 100 µm 厚のウェーハ加工技 術の確立により,NPT 化技術をこの 600 V 製品にまで適用し,低 スイッチング損失,高破壊耐量,低コスト化を達成した。また U シリーズでは,トレンチ加工技術により定常損失をも極限まで低減 し,このクラスでは最も低損失の IGBT モジュールである。	汎用インバータや無停電電源に代表される電力変換機器は,常に 高効率化・小型化・低価格化・低騒音化が要求されており,このイ ンバータ回路に用いられる電力交換用素子にも高性能化・低価格化 が求められている。本稿では,トレンチゲート構造とフィールドス トップ構造の採用により,従来素子に対して大幅な低損失化を実現 した U シリーズ IGBT モジュールのうち,1,200 V 系の素子につい て紹介する。
U シリーズ IGBT モジュール(1,700 V) 星 保幸 宮坂 靖 村松 健太郎	
富士時報 Vol.75 No.10 p.567-571 (2002) 1,700 V U シリーズの IGBT, FWD の開発を行った。IGBT の表 面構造はトレンチゲート構造を有し,裏面は FS 構造を採用した。 その結果, <i>V</i> <sub>CE (stt</sub> )- <i>E</i> <sub>off</sub> は 125 で 2.5 V-34 mJ (150 A) (電流密 度:133 A/cm <sup>2</sup> )の特性が得られた。FWD は DW の基板で設計を 行い,表面からの注入を最適化した構造とし,最適ライフタイムコ ントロールを適用しソフトリカバリーな構造とした。	富士時報 Vol.75 No.10 p.572-576 (2002) インバータやサーボの電力変換部に適用される IPM は,低損失 化・小型化が市場から要求されている。R-IPM の外形と機能を継 承し,損失の低減を図った R-IPM 3 と, R-IPM と Econo モジュー ルのコンセプトを融合して小型・薄型化を図った Econo IPM を開 発した。600 V 系 20 ~ 150 A の容量で,17 機種の R-IPM 3 と,8 機種の Econo IPM を系列としてそろえた。
 車載用サージ吸収入力 IC	 車載用高機能 MOSFET
八重澤 直樹 市村 武 岡本 有人 富士時報 Vol.75 No.10 p.577-580 (2002) ± 25 kV 以上の高静電破壊耐量(ESD:条件 150 pF-150)を備 えた 60 V 縦型パワーツェナーダイオードなどによるサージ吸収回 路と,NMOS 構成によるバッファ回路,レベルシフト回路,入力 プルアップ・プルダウン抵抗の 14 チャネル分を統合化し,同一 チップ上に集積させ,SSOP パッケージに収めたサージ吸収入力 にを開発した。本製品により,自動車電装用 ECU (Electronic Control Units)において,従来のディスクリート構成に対し大幅 なプリント板実装面積の低減と部品点数の低減が可能となる。	梅本 秀利 山田 昭治 鳶坂 浩志 富士時報 Vol.75 No.10 p.581-584 (2002) 自動車電装システムの小型化・大規模化に対応するため,パワー 半導体に周辺回路を内蔵したスマートパワーデバイスの系列化とし てローサイド高機能 MOSFET F5048 を開発した。この製品はラン プやモータなど負荷の通電開始時に大電流を必要とする用途に最適 なデバイスであり,その特徴は次のとおりである。 過電流検出・ 過熱検出機能内蔵, 高ダイナミッククランプ電圧 80 V, ス イッチング時間 60 μs (typ.), 高静電破破壊耐量, 表面実装 パッケージ。

#### Technological Innovation for Super-low-loss U-series IGBT Modules

Noriyuki IwamuroTadashi MiyasakaYasukazu SekiFuji Electric JournalVol.75 No.10 p.555-558 (2002)

The super-low-loss U-series of 600 V, 1,200 V and 1,700 V IGBT modules has been developed. Newly developed trench-gate and thin wafer technologies have resulted in a large decrease in the loss generated by IGBT chips. Through optimized anode construction and lifetime control, the FWD (free wheeling diode) chip has achieved lower reverse recovery current and lower loss. In regard to fabrication technology, the development of tin solder technology has dramatically increased power cycle endurance. Combining these technologies has enabled the production of modules having a 40% smaller footprint than previous models.

#### U-series IGBT Modules (1,200 V)

Yuichi Onozawa	Shinichi	Yoshiwatari	Ma	asahito Otsuki
Fuji Electric Journa	l Vol.75	No.10 p.563-56	6	(2002)

While demands have continued for the higher efficiency, smaller size, lower cost and lower noise of power converters, as typified by general-purpose inverters and uninterruptible power supplies, higher performance and lower cost are also being required of the power conversion elements used in inverter circuits. This paper introduces the 1,200 V U-series IGBT modules, which achieve dramatically less loss than conventional devices due to the adoption of trench-gate and field-stop structures.

#### R-IPM3 and Econo IPM Series of Intelligent Power Modules

Manabu Watanabe Yoshiyuki Kusunoki Naotaka Matsuda Fuji Electric Journal Vol.75 No.10 p.572-576 (2002)

The marketplace is demanding lower loss and smaller size of the IPMs that are utilized in inverter and servo power converter units. In response to market needs, Fuji Electric has developed the R-IPM3 and Econo IPM. The R-IPM3 inherits the external shape and functions of the R-IPM and achieves low loss, and the Econo IPM achieves a small size and thin profile by combining concepts of the R-IPM and Econo modules. A line-up of 17 models of the R-IPM3 and 8 models of the Econo IPM having 600 V, 20-150 A capacity has been prepared.

### Intelligent Power MOSFET for Automobiles

Hidetoshi Umemoto Shoji Yamada Hiroshi Tobisaka Fuji Electric Journal Vol.75 No.10 p.581-584 (2002)

The low-side, intelligent power MOSFET F5048 has been developed to support the smaller sizes and larger scales of electronic systems installed in automobiles. This intelligent power MOSFET was developed as a part of a series of smart power devices in which peripheral circuits is integrated into a power semiconductor. This device is suitable for applications having a load such as lamp or motor that requires a large current at the start of conduction. Features of this device include built-in overcurrent detection and overheat detection functions, high dynamic clamp voltage of 80 V, switching time of  $60 \mu s$ typ., high electric discharge capability, and a surface mounted package.

## **Trends of Power Semiconductor Devices**

Hisao Shigekane	Yasukazu Seki 7	atsuh	iko Fujihira
Fuji Electric Journal	Vol.75 No.10 p.551	-554	(2002)

The recent trends of power semiconductor devices are discussed based on the conditions described at the International Symposium on Power Semiconductor Devices and ICs (ISPSD) 2002. Technologies being closely watched include IGBT, super junction structure, and SiC technologies. Fuji Electric's U-series IGBTs and techniques applicable to IGBT development thus far are also described. Additionally, an overview is presented of the NPT-type devices that use FZ wafers and the FS-type devices that have enhanced characteristics. Moreover, Fuji Electric's devices for industrial, automotive and power supply-use, efforts to increase device intelligence, and technical innovations for individual devices are described.

#### T-series and U-series IGBT Modules (600 V)

Seiji Momota	Syuuji Miyashita	Hiroki Wakimoto
Fuji Electric Jo	ournal Vol.75 No.10	p.559-562 (2002)

The T-series and U-series of IGBT modules have been developed for 600 V applications. The T-series is highly resistant to damage and achieves low switching loss and low cost, enabled by the establishment of process technology for wafers having a thickness of the order of 100  $\mu$ m and the application of NPT technology to this 600 V product. The U-series IGBT modules achieve the lowest loss in this class due to trench process technology that enables the steady-state loss to be minimized.

#### U-series IGBT Modules (1,700 V)

Yasuyuki Hoshi Yasushi Miyasaka Kentarou Muramatsu Fuji Electric Journal Vol.75 No.10 p.567-571 (2002)

1,700 V U-series IGBTs and FWDs have been developed. The IGBTs have adopted a trench-gate structure on their surface, and a field-stop layer on their backside. As a result, the tradeoff relationship between  $V_{\rm CE(sat)}$  and  $E_{\rm off}$  is improved to 2.5 V-35 mJ at 125 and 150 A (current concentration 133 A/cm<sup>2</sup>). FWDs were designed with DW wafers and have adopted a structure that optimizes carrier injection from the surface. Further-more, soft recovery is realized by a novel lifetime control.

#### Surge Protection IC for the Switch Interface of ECUs

Naoki YaezawaTakeshi IchimuraYujin OkamotoFuji Electric JournalVol.75 No.10 p.577-580 (2002)

Fuji Electric has developed a surge protection IC fitted in a SSOP, monolithically integrated with 14 channel input using an NMOS buffer circuit, level-shift circuit, and an input pull-up/pull-down resister for each channel input. This IC also integrates a surge absorption circuit having an ESD capability of more than  $\pm 25 \,\text{kV}$  (under the condition of 150 pF-150  $\Omega$  for each channel input), enabled by an integrated vertical power Zener diode rated at 60 V. When used in the switch interface of an ECU (electronic control unit), this surge protection IC makes it possible to decrease the area required for mounting surge protection circuits on printed-circuit boards and also reduces the number of parts to be mounted, compared with conventional construction that uses discrete components.

雪酒田フルチチップパローデバイフ「M-Doword シリーブ			
电応用 < ルテナ ツノハリーナハ1 人 ゙ Mi-POW6[2 ンリー人」	高啊庄ショットモーハリヤタイオード   		
太田 裕之      寺沢 徳保 富士時報  Vol.75 No.10 p.585=588(2002)	北村 祥司    伊藤 博史 富士時報 Vol.75 No.10 p.589-592(2002)		
スイッチング電源は低消費電力,小型化,軽量化などが求められ ている。そのため複合発振型電流共振コンバータを開発し,専用の パワーデバイス「M-Power2シリーズ」を製品化した。特徴は次 のとおりである。 (1) 待機時入力電力 0.5 W 以下でエナジー 2001 適合 (2) 昇圧チョッパ回路併用でフィンなし 100 W 出力 (3) 30 mm × 10 mm × 3.5 mm の小型サイズ	スイッチング電源の高電圧二次側整流用に最適なダイオードとし て,150 V,250 V 耐圧のショットキーバリヤダイオード(SBD) を開発した。パリヤメタルやエピタキシャル層の最適化により,従 来用いられてきた pn ダイオードと比較して,低 VF(順方向電圧 かつソフトリカバリーを実現し,スイッチング電源の高効率化・小 型化に寄与できると考える。		
パワー MOSFET「SuperFAP-G シリーズ」とその適用効果 徳西 弘之 山田 忠則 井上 正範			
<ul> <li>富士時報 Vol.75 No.10 p.593-597 (2002)</li> <li>情報通信機器の低消費電力化に応えるべく低損失・超高速パワー MOSFET「SuperFAP-Gシリーズ」を開発した。SuperFAP-Gシ リーズは,新開発した平面接合に限りなく近い QPJ 技術により, 性能指数(<i>R</i>on・<i>Q</i>gd)で従来品比約 2.5 倍の性能向上を実現してい る。この技術を用いて開発した 100 ~ 250 V 耐圧の中耐圧 SuperFAP-Gシリーズについて紹介する。また,SuperFAP-Gシ リーズをアプリケーションに適用した効果について,代表例を紹介 する。</li> </ul>			

### High-voltage Schottky Barrier Diodes

Shoji Kitamura Hiroshi Ito Fuji Electric Journal Vol.75 No.10 p.589-592 (2002)

150 V and 250 V Schottky barrier diodes (SBDs) have been developed as diodes suitable for the rectification circuit on the high-voltage secondary side of switching power supplies. Compared to the pn diodes used in the past, low forward-voltage ( $V_{\rm F}$ ) and soft reverse reovery have been realized due to optimization of the barrier metal and epitaxial layer. It is believed that these SBDs will contribute to the development of switching power supplies having higher efficiency and smaller size.

#### M-Power 2 Series of Multiple-chip Power Device for Power Supplies

Hiroyuki Ota Noriho Terasawa Fuji Electric Journal Vol.75 No.10 p.585-588 (2002)

Switching power supplies are required to have low power dissipation and to be small size and lightweight. For this reason, Fuji Electric has developed a multi-oscillated current resonant converter and put the "M-Power2 Series" on the market as application specific power device. The outstanding features are as follows.

- (1) Standby input power is 0.5W or less, in conformance with Energy 2001
- (2) 100 W output when used in combination with a PFC (power factor correction) circuit and no heatsink
- (3)Small dimensions of 30 mm  $\times$  10 mm  $\times$  3.5 mm

#### SuperFAP-G Series of Power MOSFETs

Hiroyuki Tokunishi	Tadanori Yamada	Masanori Inoue
Fuji Electric Journal	Vol.75 No.10 p.593-59	97 (2002)

The SuperFAP-G Series of low-loss, ultra high-speed power MOSFETs has been developed in response to the trend toward lower consumption loss of IT equipment. Our SuperFAP-G Series is designed with newly developed QPJ (quasi-plane-junction) technology. Our new QPJ technology has almost reached to the "silicon unipolar limit" which enables to improve the FOM (figure-of-merit= $R_{on} \times Q_{gd}$ ) approximataly 2.5 times to that of conventional one. This paper introduces the 100 V-250 V medium-voltage SuperFAP-G Series that was developed using this technology. The results of a typical application of the SuperFAP-G Series are also described.

## 富士電機株式会社

富士電機株式会社							
本	社	事	務	所	<b>23</b> (03)5435-7111	〒141-0032	東京都品川区大崎一丁目11番2号(ゲートシティ大崎イーストタワー)
北	海	道	支	社	☎(011)261-7231	〒060-0042	札幌市中央区大通西四丁目1番地(道銀ビル)
東	北陸		支	社	<b>2</b> (022)225-5351	〒980-0811 〒920-0004	仙台市青葉区一番町一丁目2番25号(仙台NSビル) 宮山吉坪塔通112番1号(宮山雲気ビル)
中	部		支	社	$\mathbf{\Sigma}(076)441-1231$ $\mathbf{\Sigma}(052)204-0290$	T930-0004	a 山市役 個週 り 3 m 1 5 ( m 山 電 x こ ル ) 名古屋市中区錦一丁目19番24号 (名古屋第一ビル)
関	西		支	社	☎(06)6455-3800	〒553-0002	大阪市福島区鷺洲一丁目11番19号(富士電機大阪ビル)
中	国		支	社	<b>2</b> (082)247-4231	〒730-0022	
凸九	当州		支支	↑⊥ 社	$\mathbf{\Sigma}(087)851-9101$ $\mathbf{\Sigma}(092)731-7111$	〒760-0017 〒810-0001	同松市留町一」日0留05(同松興報Cル) 福岡市中央区天神二丁目12番1号(天神ビル)
北	関	東	支	店	<b>2</b> (048)526-2200	〒360-0037	熊谷市筑波一丁目195番地(能見ビル)
首	都圈	北	部 支	店	<b>23</b> (048)657-1231	₹330-0802	さいたま市宮町一丁目38番1号(野村不動産大宮共同ビル)
首加	都圈	東	部支	店店	<b>2</b> (043)223-0702	〒260-0015	千葉市中央区富士見二丁目15番11号(日本生命千葉富士見ビル)
新	示湯	71	支	店	$\mathbf{\Sigma}(025)284-5314$	T220-0004	個点市内区北半二」日6留45(個点内口KNCル) 新潟市新光町16番地4(荏原新潟ビル)
長	野		支	店	☎(026)228-6731	〒380-0836	長野市南県町1002番地(陽光エースビル)
東	愛	知	支	店	<b>2</b> (0566)24-4031	₹448-0857	刈谷市大手町二丁目15番地(センターヒルOTE21)
兵岡			文 支	店店	<b>2</b> (078)325-8185	$\pm 650 - 0033$ $\pm 700 - 0024$	伸尸市中央区江戸町95番地(井門伸尸ビル) 岡山市駅元町1番6号(岡山フコク生命駅前ビル)
Щ			支	店	<b>2</b> (0836)21-3177	<b>T</b> 755-8577	宇部市相生町8番1号(宇部興産ビル)
松	山		支	店	☎(089)933-9100	〒790-0878	松山市勝山町一丁目19番地3(青木第一ビル)
沖	縄		支	店	<b>2</b> (098)862-8625	〒900-0004	
追 北.	見	冒	兼業	所	<b>23</b> (0166)68-2166 <b>23</b> (0157)22-5225	〒078-8801 〒090-0831	旭川印緑が丘泉一奈四」日1番19号(旭川リリーナバーク内) 北見市西富町163番地30
釧	路	一営	業	所	<b>2</b> (0154)22-4295	〒085-0032	釧路市新栄町8番13号
道	東	営	業	所	☎(0155)24-2416	₹080-0803	带広市東三条南十丁目15番地
追害	) (白) (白) (白) (白) (白) (白) (白) (白) (白) (白	宫	業業	所	<b>23</b> (0138)26-2366 <b>73</b> (017)777-7802	T040-0061	凶阻巾海岸町5番18号 青森市長島一丁日25番3号(ニッセイ青森センタービル)
n 盛	岡	」 営	業	所	<b>2</b> (019)654-1741	<b>〒</b> 020-0021	盛岡市中央通一丁目7番25号(朝日生命盛岡中央通ビル)
秋	田	営	業	所	☎(018)824-3401	〒010-0962	秋田市八橋大畑一丁目5番16号
山	形	営	業業	所	<b>2</b> (023)641-2371	〒990-0057	山形市宮町一丁目10番12号 新広志五日町1324番地の6
福	島	言	業	所	(0233)23-1710 (024)932-0879	T998-0001 〒963-8033	都山市亀田一丁目2番5号
11	わき	5	営 業	所	☎(0246)27-9595	〒973-8402	いわき市内郷御厩町二丁目29番地
水	戸	営	業業	所	<b>2</b> (029)231-3571	〒310-0805	水戸市中央二丁目8番8号(櫻井第2ビル)
灰栃	城木	台営	未業	所	$\Delta$ (029)266-2945 $\Delta$ (028)639-1151	$\pm 311 - 1307$ $\pm 321 - 0953$	次城宗宋次城都久流町役道304番地(次文久流駅間ビル) 宇都宮市東宿郷三丁目1番9号(USK東宿郷ビル)
金	沢	一	業	所	☎(076)221-9228	〒920-0031	金沢市広岡一丁目1番18号(伊藤忠金沢ビル)
福	井	営	業	所	<b>2</b> (0776)21-0605	〒910-0005	福井市大手二丁目7番15号(安田生命福井ビル)
長	采野	日営	兼業	所	$\mathbf{\Sigma}(055)222-4421$ $\mathbf{\Sigma}(026)228-0475$	T400-0858	甲府市相王一」目1留215(清田ヒル) 長野市南県町1002番地(陽光エースビル)
松	本	一	業	所	☎(0263)40-3001	〒390-0852	松本市島立943番地(ハーモネートビル)
甲	信	営	業	所	<b>2</b> (026)336-6740	〒390-0811	松本市中央四丁目5番35号(長野県鋳物会館)
<u>収</u> 静	早岡	日営	兼業	所	$\mathbf{\Sigma}(058)251-7110$ $\mathbf{\Sigma}(054)251-9532$	T500-8868	岐阜市元明町二」日「番地(太陽こル) 静岡市弥勤二丁日5番28号(静岡荏原ビル)
京	滋	一営	業	所	<b>2</b> (075)253-6081	〒604-8162	京都市中京区烏丸通蛸薬師上ル七観音町637(朝日生命京都ビル)
和	歌山	1	含 業	所	<b>23</b> (073)432-5433	〒640-8052	和歌山市鷺ノ森堂前丁17番地
局	取吉	宫	業業	所	<b>23</b> (0857)23-4219 <b>73</b> (0858)23-5300	T680-0862	局取巾雲山153番地36 し局電商事(株)内 」 倉吉市車巌城町181番地(平成ビル)
л Ц	陰	一営	業	所	<b>2</b> (0852)21-9666	〒690-0007	松江市御手船場町549番地1号(安田火災松江ビル)
徳	島	営	業	所	☎(088)655-3533	〒770-0832	徳島市寺島本町東二丁目5番地1(元木ビル)
高小	知	宫	業業	所	<b>25(</b> 088 )824-8122 <b>25(</b> 093 )521-8084	$\mp 780 - 0870$ $\pm 802 - 0014$	局知市本町四」目1番16号(高知電気ビル別館) 北カ州市小倉北区砂津一丁日1番40号(宣十雷機小倉ビル)
長	崎	台	* 業	所	<b>23</b> (095)827-4657	T850-0037	長崎市金屋町7番12号
熊	本	営	業	所	🕿 (096)387-7351	〒862-0950	熊本市水前寺六丁目27番20号(神水恵比須ビル)
大室	分崎	宫	業業	所	<b>23(</b> 097 )537-3434 <b>23(</b> 0985 )20-8178	〒870-0036	大分市寿町5番20号 宮崎市橘通車三丁日1番47号(宮崎プレジデントビル)
南	九小		業 業	所	<b>23</b> (099)812-6522	<b>〒</b> 890−0046	鹿児島市西田一丁目5番1号(GEエジソンビル鹿児島)
т	ネル	<b></b> -	- 製作	所	☎(044)333-7111	〒210-9530	川崎市川崎区田辺新田1番1号
変	電シス	テ	ム製作	所	<b>2</b> (0436)42-8111	〒290-8511	市原市八幡海岸通7番地
十東	采 京 シ ス	彩テ	17F ム 製 作	所	<b>23</b> (0436)42-8111 <b>23</b> (042)583-6111	T290-8511 T191-8502	中原中八幡海岸通/ 金地 日野市富十町1番地
神	戸		I	場	<b>2</b> (078)991-2111	〒651-2271	神戸市西区高塚台四丁目1番地の1
鈴	鹿		I	場	<b>23</b> (0593)83-8100	〒513-8633	鈴鹿市南玉垣町5520番地 
松山	本利		Ŧ	场 場	<b>ZX</b> (0263)25-7111 <b>ZX</b> (055)285-6111	T390-0821 T400-0222	松平市巩摩四」目18番1亏 山梨県中巨摩郡白根町飯野221番地の1
<u></u> 吹	二		Ī	場	<b>23</b> (048)548-1111	〒369-0192	埼玉県北足立郡吹上町南一丁目5番45号
大	⊞	原	T	場	<b>23</b> (0287)22-7111	〒324-8510	大田原市中田原1043番地
 ( ++	: /j:/= = 上一:	同长生	⊥ ∞∽™°	场	<b>23</b> (0593)30-1511	T510-8631	
(材			┉ᆷ╜开ナ	6171	<b>2</b> (03)5351-0200	T151-0053	東京都渋谷区代々木四丁目30番3号(新宿コヤマビル)

昭和40年6月3日 第三種郵便物認可 平成14年10月10日発行(每月1回10日発行)富士時報 第75巻 第10号(通巻第811号)

