パワー MOSFET「SuperFAP-G シリーズ」とその適用効果

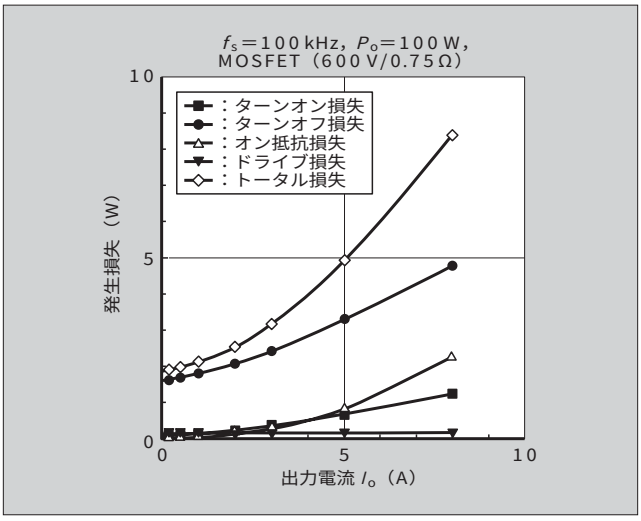
徳西　弘之（とくにし　ひろゆき）　山田　忠則（やまだ　ただのり）　井上　正範（いのうえ　まさのり）

1　まえがき

近年，IT（Information Technology）化の進展に伴い，パソコン，サーバなどのネットワーク関連機器を中心に情報通信機器の出荷台数は急速に増加しており，省資源，省エネルギー，小型化の観点から情報通信機器の低消費電力化が強く求められている。これら情報通信機器に使用されているスイッチング電源に対しては，高効率化・低損失化が求められている。また，ファクシミリ，コピー機に代表される待機動作時間の長い OA 機器については待機時消費電力の低減も求められ，「エネルギーの使用の合理化に関する法律」の改正法（改正省エネルギー法）などの法規制とも相まって，さらに高効率・低損失のニーズは強まる傾向にある。

図１に代表的なスイッチング電源であるフォワードコンバータにおけるパワー MOSFET（Metal Oxide Semiconductor Field Effect Transistor）の損失シミュレーション結果を示す。定常負荷時（出力電流 8 A）では，ターンオフ損失が全損失の約 50 %を占めている。次にオン抵抗（$R_{DS\ (on)}$）損失が約 32 %となっており，全損失の 80 %以上をターンオフ損失とオン抵抗損失が占めている。このことから，スイッチング電源の高効率化・低損失化を達成するためには，オン抵抗損失とターンオフ損失の双方の改善が必要である。一方，待機消費電力にあたる軽負荷時では，ターンオフ損失が全体の約 90 %を占めている。また，情報通信機器の小型化に対応するため，スイッチング電源はスイッチング周波数を高くすることで小型化を図っており，近年，そのスイッチング周波数はさらに高くなる傾向にある。今後は，ターンオフ損失に代表されるスイッチング損失の低減の重要性がますます高まることが予想される。

図１　フォワードコンバータの損失シミュレーション結果



本稿では，これら市場ニーズに応えるべく開発した低損失・超高速パワー MOSFET「SuperFAP-G シリーズ」の特徴，また実際のアプリケーションへ適用した場合の効果について，その概要を紹介する。

2　特　徴

パワー MOSFET のターンオフ損失は，ドレイン－ゲート間の帰還容量（C_{rss}）の充電時定数により決まり，ターンオフ損失を低減するためには，充電時定数であるゲート－ドレイン間電荷量（Q_{gd}）を低減する必要がある。Q_{gd} と $R_{DS\ (on)}$ は，トレードオフの関係にあり，パワー MOSFET の要求仕様であるオン抵抗損失の低減とターンオフ損失の低減を両立させるためには，このトレードオフの改善が不可欠である。そのため従来 R_{on}・A（単位面積あたりのオン抵抗）で表現していたパワー MOSFET の性能指数（FOM：Figure-of-Merit）を $R_{DS\ (on)}$ と Q_{gd} の積として今回新たに規定した。R_{on}・Q_{gd} の値が小さいほど高性能な MOSFET といえる。

表１に SuperFAP-G と同一オン抵抗の従来製品の特性比較を示す。今回開発した 150 V 耐圧の代表機種における性能指数は，0.675 Ω･nC であり，従来製品に対して，性能が約 2.5 倍向上している。このように性能指数の向上を実現した設計施策について，以下に述べる。

徳西　弘之

パワー MOSFET の製品開発・設計に従事。現在，松本工場パワー半導体開発部。

山田　忠則

パワー MOSFET の開発・設計に従事。現在，富士日立パワーセミコンダクタ（株）松本事業所開発設計部。

井上　正範

宇宙パワー MOSFET の設計，品質保証に従事。現在，松本工場パワー半導体第一品質保証部。

3　設計施策

SuperFAP-G シリーズでは，オン抵抗損失を改善するため，擬平面接合：QPJ（Quasi-Plane-Junction）という新技術を開発した。**図 2** に QPJ の構造を示す。

中高耐圧パワー MOSFET のオン抵抗の大部分は，エピタキシャル層の n−型シリコンの抵抗率で制限されている。よって，低オン抵抗を実現しようとした場合，n−型シリコンの抵抗率を下げることで可能となるが，この方法では，ドレイン－ソース間耐圧が低下する問題がある。理論的に R_{on}・A は耐圧の 2.5 乗に比例するため，パワー MOSFET のオン抵抗を極限まで下げるためには，この理論限界に近い低比抵抗の n−型シリコンを使用する必要がある。従来のパワー MOSFET は，セルの構造が三次元的な凹凸を多く含むため，電界強度の高い箇所ができて，シリコンの理論限界に対して 80 %程度の耐圧しか得られていなかった。これを補うためには n−型シリコンの抵抗率を理論限界値の 175 %以上に高めることが必要であり，結果として R_{on}・A を小さくできなかった。SuperFAP-G シリーズの QPJ 構造では，従来の高濃度で深い p＋ウェルに代えて，低濃度で浅い p−ウェルを稠密（ちゅうみつ）に配置することにより，きわめて平面に近い接合のセルを実現した。この QPJ 構造により，シリコンの理論限界に対し 97 %の耐圧を達成し，その結果，n−型シリコンの抵抗率を理論限界の 108 %にまで低減し，**図 3** に示すシリコンの理論限界値に対して 10 %以内の低オン抵抗化を達成している。一方，ターンオフ損失を決めている Q_{gd} を低減するためは，n−型シリコンの幅（電流経路）を狭く，かつ短くする必要がある。しかし，Q_{gd} と $R_{DS\,(on)}$ にはトレードオフの関係があり，この電流経路を狭くするとオン抵抗が上がってしまう問題がある。QPJ 構造では，浅い p−ウェルにより電流経路を短くしていることに加え，n−型シリコンの電流経路に高濃度の n 型ドーピングを行い，オン抵抗を上げずに n−型シリコンの電流経路を極限まで狭くしている。その結果，従来の同一オン抵抗製品に対し，約 60 %の Q_{gd} 低減を実現している。

3.1　SuperFAP-G シリーズ

SuperFAP-G シリーズでは，すでに 450 ～ 600 V 耐圧

表１　SuperFAP-G の特性比較

項目＼系列型式	SuperFAP-G 2SK3474-01	従来製品 2SK2226-01
V_{DS}	150 V	150 V
I_D	33 A	20 A
P_D	150 W	80 W
$V_{GS\,(th)}$	3～5 V	1～2.5 V
$R_{DS\,(on)}$ (typ.)	54 mΩ	55 mΩ
Q_g	34 nC	100 nC
Q_{gd}	12.5 nC	30 nC
性能指数 R_{on}・Q_{gd}	0.675 Ω・nC	1.65 Ω・nC

図３　V_b と R_{on}・A の関係

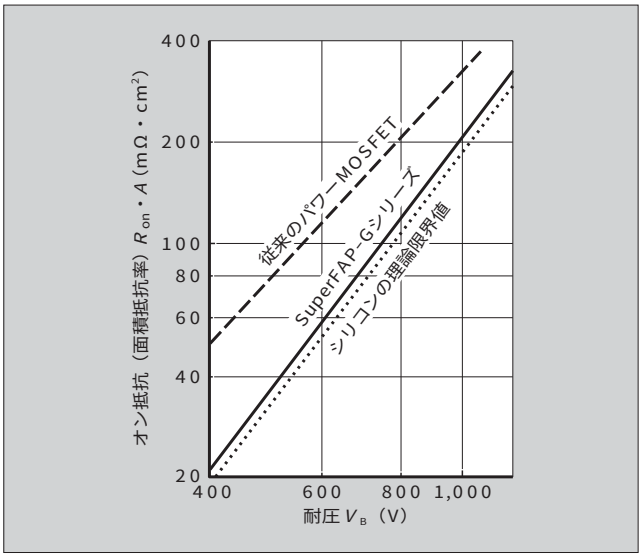
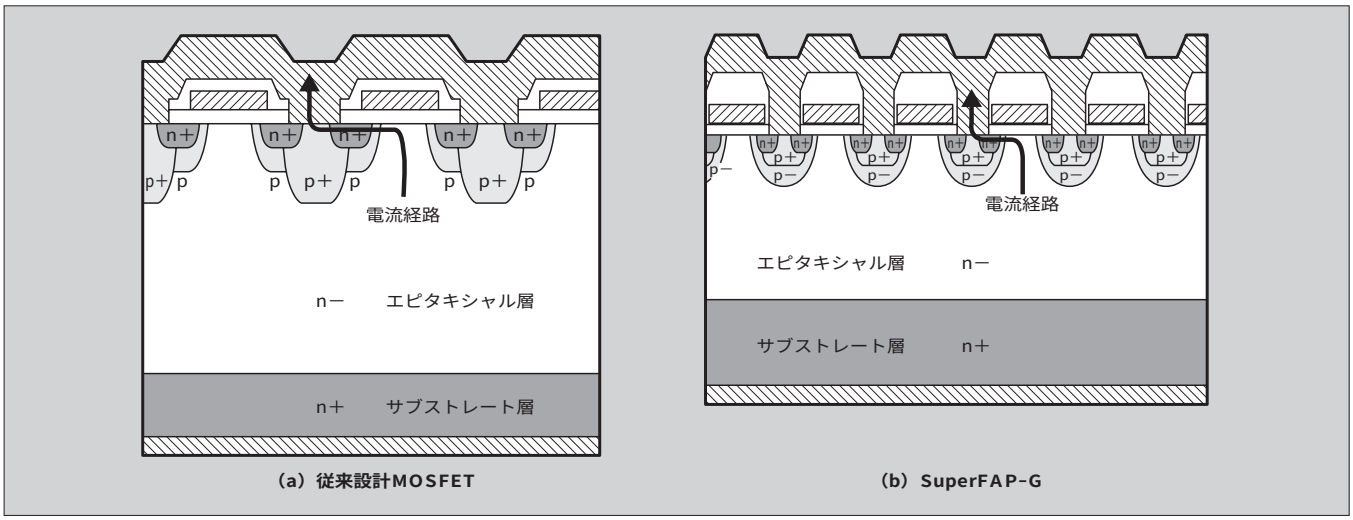


図２　SuperFAP-G のチップ構造（QPJ 構造）



（a）従来設計MOSFET　　（b）SuperFAP-G

表２　SuperFAP-Gシリーズ（新規追加分）

耐圧 BV_{DSS}	定格電流 I_D	オン抵抗 $R_{DS(on)}$ (max.)	ゲートチャージ		パッケージ				
			Q_G	Q_{gd}	TO-220	TO-220F	T-PACK	TFP	TO-247
100 V	29 A	62 mΩ	22 nC	6 nC	2SK3598	2SK3599	2SK3600	2SK3601	—
	41 A	44 mΩ	32 nC	9 nC	2SK3644	2SK3645	2SK3646	2SK3647	—
	73 A	25 mΩ	52 nC	18 nC	2SK3586	2SK3587	2SK3588	2SK3589	—
150 V	23 A	105 mΩ	21 nC	6 nC	2SK3602	2SK3603	2SK3604	2SK3605	—
	33 A	70 mΩ	34 nC	12.5 nC	2SK3648	2SK3649	2SK3650	2SK3474	—
	57 A	41mΩ	52 nC	18 nC	2SK3590	2SK3591	2SK3592	2SK3593	—
200 V	18 A	170 mΩ	21nC	5 nC	2SK3606	2SK3607	2SK3608	2SK3609	—
	45 A	66 mΩ	51nC	16 nC	2SK3594	2SK3595	2SK3596	2SK3597	—
250 V	14 A	260 mΩ	21nC	5 nC	2SK3610	2SK3611	2SK3612	2SK3613	—
	37 A	100 mΩ	44 nC	16 nC	2SK3554	2SK3555	2SK3556	2SK3535	—
700 V	10 A	1.18 Ω	35 nC	10 nC	—	2SK3673	—	—	—
	12 A	0.93 Ω	31nC	9 nC	—	2SK3677	—	—	—
800 V	7 A	1.9 Ω	25 nC	7 nC	2SK3529	2SK3530	—	—	—
900 V	6 A	2.5 Ω	25 nC	7 nC	2SK3531	2SK3532	2SK3676	—	—
	7 A	2.0 Ω	28 nC	8 nC	2SK3533	2SK3534	2SK3674	—	2SK3675
	9 A	1.58 Ω	32 nC	7 nC	2SK3678	2SK3679	—	—	—
	10 A	1.4 Ω	37 nC	10 nC	—	—	—	—	2SK3549

図４　SuperFAP-G シリーズの外観

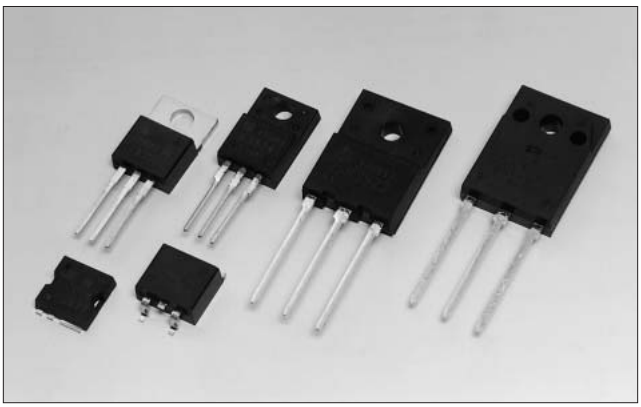
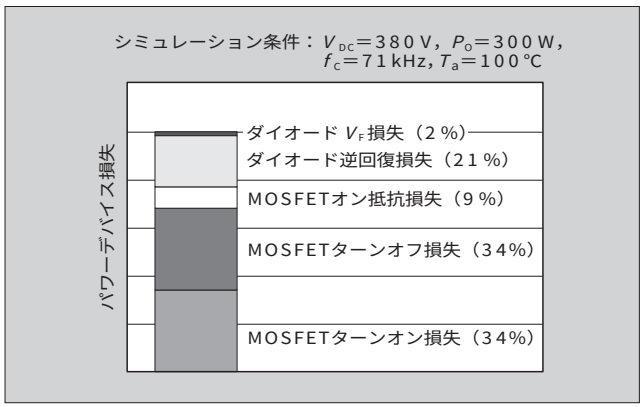


図５　電流連続モード PFC 回路損失シミュレーション結果



クラスで約 40 型式の製品開発を完了し量産を行っている。今回，加えて DC 12 ～ 72 V 入力対応の DC-DC コンバータ用途に 100 ～ 250 V の中耐圧クラス，および AC 200 V 入力のスイッチング電源用に 700 ～ 900 V 耐圧クラスのシリーズ化を行った。**表２**に新しくシリーズ化した SuperFAP-G シリーズの代表定格を示す。**図４**に SuperFAP-G シリーズのパッケージ外観を示す。

4　SuperFAP-G シリーズの適用とその効果

SuperFAP-G シリーズの参考使用例として，PFC（力率改善）回路，DC-DC コンバータ回路の代表的な回路での適用効果について以下に紹介する。

4.1　PFC 回路への適用

スイッチング電源などのコンデンサインプットタイプの機器において，入力高調波電流規制に対応するために昇圧型コンバータを応用した PFC 回路が搭載されている。この PFC 回路を付加することにより，電力変換部が 2 回路となるため，PFC 回路部での損失低減，効率向上が強く求められている。**図５**に電流連続モード PFC 回路におけるスイッチングデバイスの発生損失解析結果を示すが，約 70 %をパワー MOSFET の損失で占めており，このうちの約 90 %がターンオン，ターンオフの両スイッチング損失で占めている。

電流連続モード PFC 回路では，**図６**の波形に示すようにパワー MOSFET のターンオン損失は，出力ダイオードの逆回復特性の影響を強く受け，ターンオン損失低減のためには，ダイオードの逆回復電流（I_{rp}）を低減することが重要である。富士電機では，この逆回復特性を改善し電流連続モード PFC 用に最適設計を行った超高速ダイオード SuperLLD シリーズを開発し製品化した。SuperLLD

図６　電流連続モード PFC 回路（ターンオン波形）

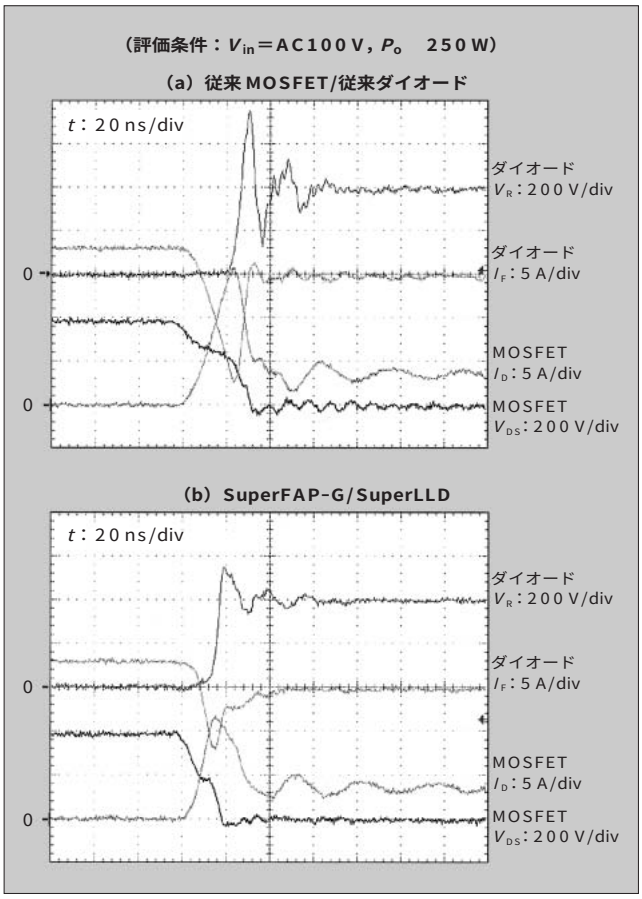
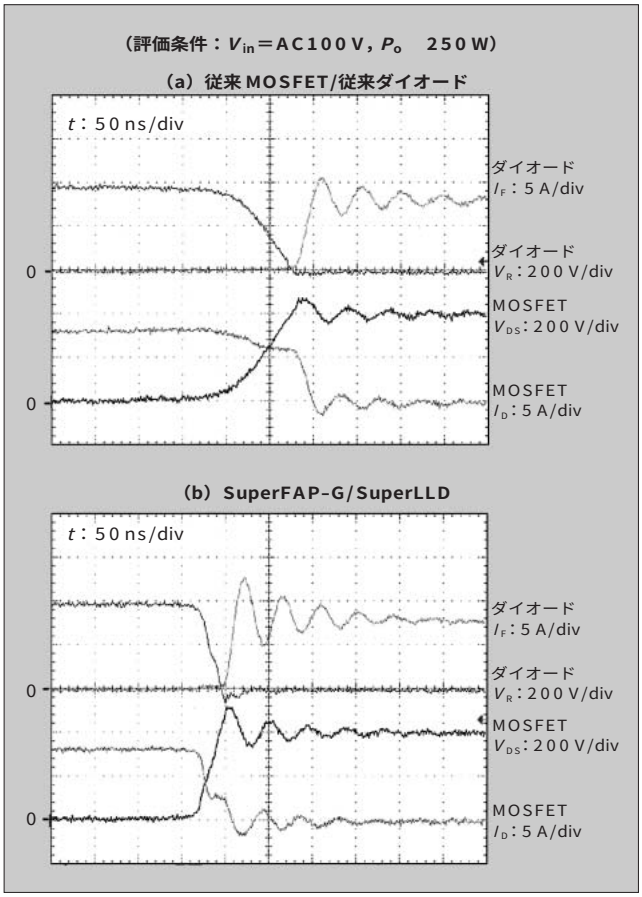


図７　電流連続モード PFC 回路（ターンオフ波形）



シリーズを適用することにより，パワー MOSFET のターンオン損失は，従来型ダイオードに比べ約 40 %の低減となっている。

一方，ターンオフ損失は**図７**の波形に示すようにパワー MOSFET 自身のスイッチング特性で決まる。SuperFAP-G シリーズを適用することにより，同定格の従来型パワー MOSFET に比べ，ターンオフ時間が約 60 %高速化されており，発生損失については約 80 %の低減となっている。

この SuperFAP-G シリーズ，SuperLLD シリーズを組み合わせて使用することにより市販されている電流連続モード PFC 回路搭載スイッチング電源にて，**図８**，**図９**に示すように，ヒートシンク温度上昇 6 ℃低減と効率約１%向上の結果が得られた。

電流連続モード PFC 回路での SuperFAP-G シリーズ，SuperLLD シリーズの推奨組合せ例を**表３**に示す。

4.2　DC-DC コンバータ回路への適用

情報通信機器のオンボード電源には，ブリックタイプの DC-DC コンバータが使用される。現在主流となっている

図８　電流連続モード PFC（温度上昇測定結果）

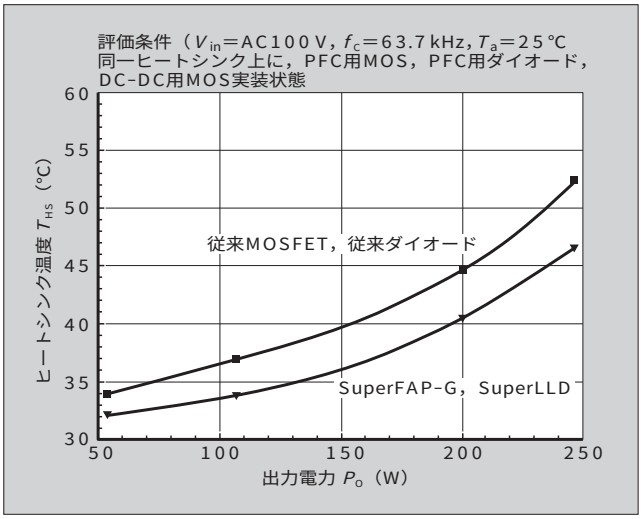


図９　電流連続モード PFC（変換効率測定結果）

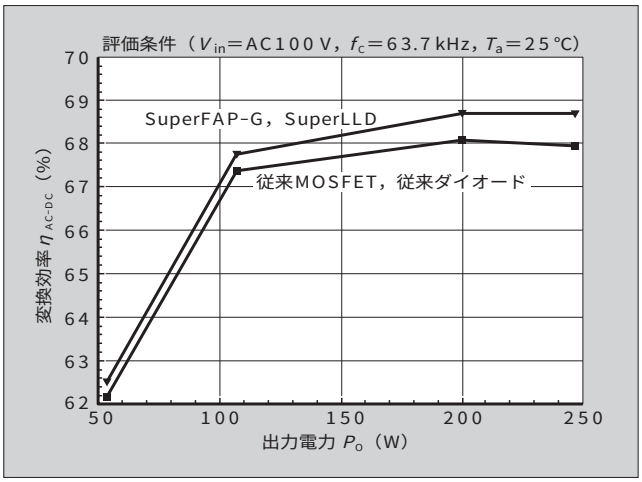


表３　電流連続モード PFC 用 SuperFAP-G/SuperLLD

電源容量 P_o	型　式	電気的特性				パッケージ
～150 W	2SK3504-01	V_{DS} ＝500 V	I_D ＝14 A	$R_{DS(on)}$ ＝0.46 Ω（max.）	Q_{gd} ＝10.5 nC（typ.）	TO-220
	YA961S6	V_R ＝600 V	I_P ＝8 A	V_F ＝2.0 V（typ.）	t_{rr} ＝23 ns（max.）	TO-220
～250 W	2SK3522-01	V_{DS} ＝500 V	I_D ＝21A	$R_{DS(on)}$ ＝0.26 Ω（max.）	Q_{gd} ＝20 nC（typ.）	TO-247
	YA962S6	V_R ＝600 V	I_P ＝10 A	V_F ＝1.6 V（typ.）	t_{rr} ＝25 ns（max.）	TO-220
～350 W	2SK3680-01	V_{DS} ＝500 V	I_D ＝43 A	$R_{DS(on)}$ ＝0.11 Ω（max.）	Q_{gd} ＝50 nC（typ.）	TO-247
	YA963S6	V_R ＝600 V	I_P ＝15 A	V_F ＝1.7 V（typ.）	t_{rr} ＝30 ns（max.）	TO-220

図10　DC-DC コンバータ実装評価結果（低出力時）

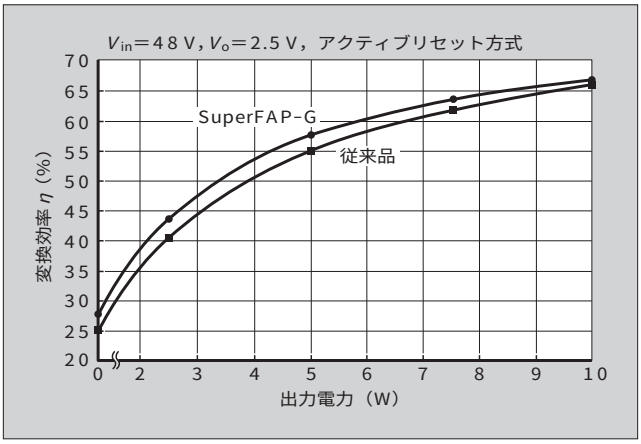
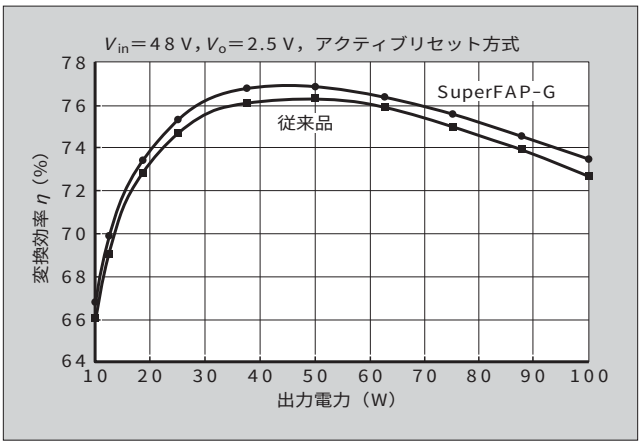


図11　DC-DC コンバータ実装評価結果（高出力時）



DC-DC コンバータは，従来のフルブリックタイプのものから同一電力容量ながら外形の小さくなるハーフブリック（1/2）以下へと小型化と電力密度の増加が同時に進んでいる。小型化と電力密度の向上を実現するためには，スイッチング周波数の高周波化による受動部品の小型化と，スイッチングデバイスの低損失化が必要となる。

スイッチングデバイスの低損失化については，スイッチング周波数が 300 kHz を超える高周波で動作していることから，スイッチング損失およびドライブ損失を低減することが必要となる。

今回開発を行った 150 V/70 mΩの SuperFAP-G シリーズを市販されている代表的なクウォータブリックタイプ DC-DC コンバータ（48 V 入力/2.5 V 出力/150 W）に実装評価した結果を**図10**，**図11**に示す。

同定格の従来型パワー MOSFET に比べ，ゲートチャージが約 60 %低減されており，変換効率最大 4 %の向上の結果が得られた。また，小型化のニーズに応えるため小型面実装の TFP パッケージでの系列化も行っている。

5　あとがき

以上，富士電機が低損失・超高速スイッチングパワー MOSFET として開発した SuperFAP-G シリーズの設計概要とアプリケーションへの適用効果について紹介した。この SuperFAP-G シリーズをスイッチング電源，DC-DC コンバータに適用することにより変換効率の向上，消費電力の低減，温度上昇の低減が可能になり，機器の省エネルギー化，小型化に貢献できるものと確信している。

今後もさらに広範囲な電源仕様にマッチすべくシリーズの拡充をしていく所存である。

参考文献

(1)　Kobayashi, T. et al. High-Voltage Power MOSFETs Reached Almost to the Silicon Limit. Proceedings of the 13th ISPSD. 2001, p.435-438.

(2)　北村祥司ほか．600 V スーパー LLD．富士時報．vol.74, no.2, 2001, p.141-144.

(3)　山田忠則ほか．低損失・超高速パワー MOSFET「Super FAP-G シリーズ」富士時報．vol.74, no.2, 2001, p.114-117.

e-Front runners

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。