1.8 V 起動 2 チャネル DC–DC コンバータ制御 IC

野村　一郎（のむら　いちろう）　　中橋　保徳（なかはし　やすのり）

1　まえがき

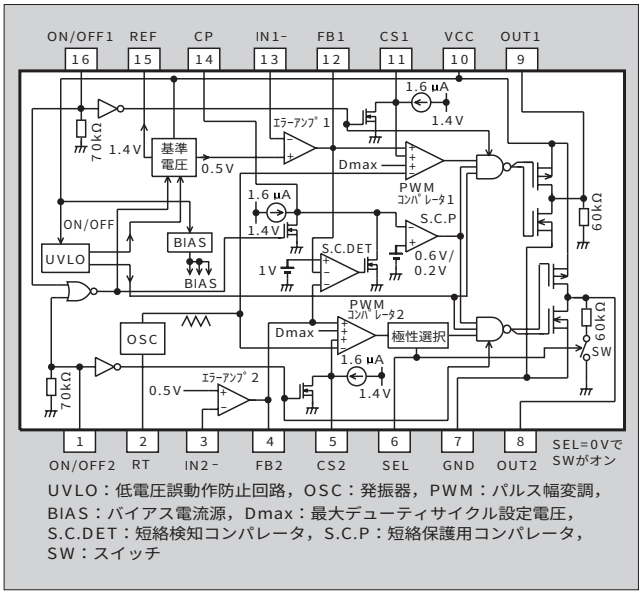
ディジタルスチルカメラなどの携帯機器では，軽量化や連続動作長時間化に対応し，待機時および動作時の低消費電力化，バッテリー搭載数低減のための低電圧動作，部品の小型化・削減の重要性が従来にも増して高まっている。

富士電機ではこれらの要求に応え，電源入力 1.8 ～ 10 V 動作，低消費電力化に向けたパワー MOSFET（Metal Oxide Semiconductor Field Effect Transistor）の直結駆動，待機時の低消費電流，厚さ 0.95 mm 小型パッケージへの搭載を達成した 2 チャネル出力 DC–DC コンバータ制御 IC「FA7715J」を製品化したのでここに紹介する。

2　製品の特徴

FA7715J は，電源の出力数が比較的少ない機器，変圧器などを使用して多出力電源の回路簡素化を図る機器を対象に，2 チャネル出力制御用として開発した。**図 1** に内部ブロック図を示す。特徴は次のとおりである。

図 1　内部ブロック図



(1)　起動直後から制御回路切換なしで電源入力 1.8 ～ 10 V の広範囲（起動後は 1.5 V まで）で動作可能

一般的に電源入力 1.5 V の低電圧動作可能な電源 IC では電源出力確立後には高精度の周波数動作になるが，起動直後は周波数などが低精度の起動回路で動作せざるを得ない欠点がある。

本 IC では起動時から定常時まで制御回路の切換なく周波数やパルス幅制御回路が常に高精度で動作するため，電源回路設計がしやすい構成となっている。

(2)　高精度基準電圧内蔵：電源出力電圧設定用エラーアンプ反転入力 IN1–，IN2–端子しきい値電圧 0.5 V±1 %，REF 端子出力電圧 1.4 V±1.2 %

(3)　パワー MOSFET を直結駆動可能（ピーク± 150 mA）

チャネル 1 は npn トランジスタまたは n チャネル MOSFET 駆動，チャネル 2 は SEL 端子がローレベル（0 V）で npn トランジスタまたは n チャネル MOSFET 駆動，SEL 端子がハイレベル（1.1 ～ 1.7 V）で pnp トランジスタまたは p チャネル MOSFET 駆動が可能である。

(4)　動作周波数範囲が広い：50 kHz ～ 1MHz

(5)　低待機電流を実現：標準 7 μA，最大 20 μA

(6)　最大デューティサイクル 88 %（標準）に内部固定

外付けトランジスタ駆動（OUT1，OUT2 端子）のオン時比率（デューティサイクル）最大値を 100 %より小さくすることで電源入力と接地の短絡防止を図るとともに，昇圧回路構成の場合の昇圧比を約 5 倍まで確保でき，種々の電源入出力仕様に幅広く対応できる。

(7)　各チャネルごとにオンオフ制御可能

ON/OFF1，2 端子を 0.3 V 以下でオフに，1.2 V 以上の低入力信号でオンとなるため，CPU から直接制御可能であり，電源出力の起動シーケンス設定が容易である。

(8)　各チャネルごとにソフトスタート時間を設定可能

CS1，CS2 端子とも－1.6 μA の微小ソース電流による充電のため，比較的小容量のコンデンサを使用できる。

(9)　低電圧誤動作防止回路内蔵

電源入力（VCC 端子）電圧に対し，スイッチング動作

野村　一郎

DC–DC コンバータ用，AC–DC コンバータ用などの電源制御 IC の開発に従事。現在，松本工場 IC 第一開発部プリンシパルエンジニア。

中橋　保徳

スイッチング電源制御 IC の開発に従事。現在，松本工場 IC 第一開発部。

図２　FA7715J の外観

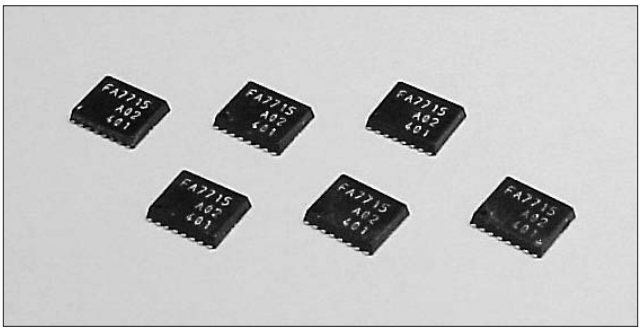


表１　FA7715Jの主要仕様

項　目	仕　様
機　能	2チャネル出力スイッチング電源制御
電源電圧	1.8～10 V（起動後は1.5 Vまで動作）
動作周波数	50 kHz～1MHz
MOSFET駆動電流	±150 mA
ON/OFF1，ON/OFF2端子入力電圧	オフ：－0.3～0.3 V オン：1.2～5.5 V
ソフトスタート用CS1/CS2ソース電流	－1.6 μA（標準）
タイマ・ラッチ短絡保護用CP端子ラッチしきい値/解除しきい値	0.6 V/0.2 V（標準）
CP端子ソース電流	－1.6 μA（標準）
待機時消費電流	7 μA（標準）
動作時消費電流	2.4 mA（標準）
パッケージ	SON16（厚さ最大0.95 mm）

の開始と停止のしきい値電圧をおのおの 1.55 V（標準）と 1.30 V（標準）としてヒステリシスを設け，乾電池 2 本レベルの電圧まで電源リプルに対して安定動作が可能である。

⑽　タイマ・ラッチ短絡保護回路内蔵

－1.6 μA の微小ソース電流による充電のため，比較的容量値の小さいコンデンサを使用できる。また，ラッチ（スイッチングの完全停止）と解除をおのおの 0.6 V/0.2 V としてヒステリシス電圧を 0.4 V と大きくすることによりノイズに対し安定したラッチ動作が得られている。

保護動作のリセットは，ON/OFF1 端子と ON/OFF2 端子の電圧をともにローレベルにしたときのみ機能する CP 端子電圧の内部プルダウンで行う。

このため，出力短絡により VCC 端子電圧の過渡的な急低下で低電圧誤動作防止回路のしきい値近傍の電圧になっても短絡保護機能がリセットされず正常に機能するメリットがある。

⑾　小型・薄型の SON（Small Outline Non-lead）16 ピンパッケージを採用〔リードピンを含む外形：最大 5.4 × 4.7 × 0.95（mm）〕

図２に FA7715J の外観を，**表１**に主な仕様を示す。

図３　バイポーラトランジスタ駆動の応用回路例

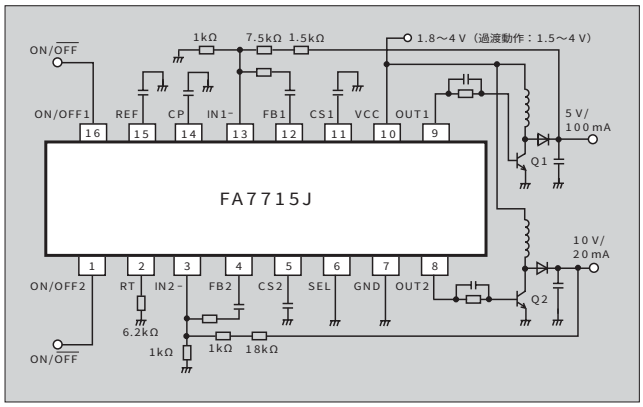
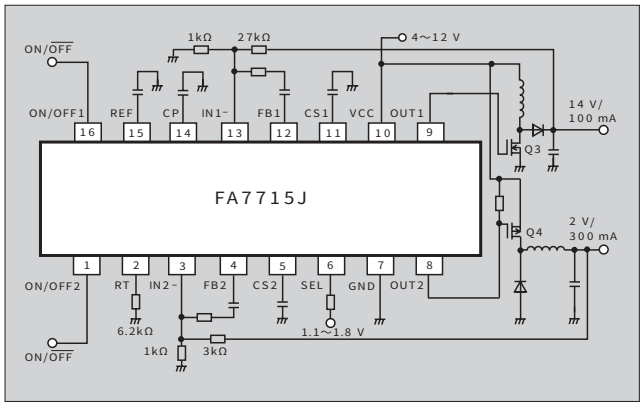


図４　MOSFET 駆動の応用回路例



3　製品概要と応用回路例

FA7715J の応用回路例を**図３**，**図４**に示す。

図３は npn トランジスタ駆動の昇圧チョッパを 2 回路構成とした例であり，電源の入出力仕様は入力 1.8 ～ 4 V（起動後は 1.5 V まで動作），出力は 2 系統で定格 5V/100 mA と 10V/20mA である。

OUT1 端子（9 番ピン）は ON/OFF1 端子，OUT2 端子（8 番ピン）は ON/OFF2 端子にわずか 1.2 V 以上の低入力信号の印加でスイッチングを開始できる。同印加のタイミング設定により，各チャネル，すなわち OUT1 端子，OUT2 端子で駆動する電源出力系の起動シーケンスを任意に設定可能である。

各電源出力系のスイッチング開始後の立上り時間は，CS1 端子，CS2 端子に接続のコンデンサ容量値により各外付け npn トランジスタのオン時比率を徐々に広げる時間（ソフトスタート時間）を調整して設定可能である。

過負荷や出力短絡などの異常により，電源出力電圧が設定値に対し低下し一定時間経過した場合，タイマ・ラッチ短絡保護回路が働き，スイッチング機能を完全に停止する。上記の一定時間，すなわちタイマ・ラッチ遅延時間は，CP 端子に接続するコンデンサの容量値で適宜設定できる。

なお，**図３**の npn トランジスタを n チャネル MOSFET に置き換える場合は，同 MOSFET のゲート駆動電圧を十

分に確保するため，電源入力約 2.5 V 以上の印加が必要であり，また，OUT1 端子，OUT2 端子と同 MOSFET ゲート電極の間は抵抗，コンデンサの接続なく直結が可能である。

図 4 は n チャネル MOSFET 駆動による昇圧チョッパ回路と p チャネル MOSFET 駆動による降圧チョッパ回路の例であり，電源の入出力仕様は入力 4 ～ 12 V，出力は 2 系統で定格 14 V/100 mA と 2 V/300 mA である。

図 3 に対し OUT2 端子の極性を変えるために SEL 端子に 1.1 ～ 1.7 V の電圧を印加し p チャネル MOSFET 駆動とする。

起動シーケンスやソフトスタートの設定は**図 3** の場合と同様である。

図 3，**図 4** の応用回路例に対応したスイッチング波形をおのおの**図 5**，**図 6** に示す。npn トランジスタ Q1，Q2 のコレクタ電圧波形，および n チャネル/p チャネル MOSFET Q3，Q4 のドレイン電圧波形に示すとおり，数十 ns の高速スイッチングを実現しており，本例の約 500 kHz の高周波動作においてスイッチング損失を十分に小さくできる。

図 3，**図 4** に対応した電力変換効率データをおのおの**図 7**，**図 8** に示す。

図 7 のバイポーラトランジスタ駆動の例では，電力損失になる駆動電流の直流分が負荷電流の10 分の 1 程度のオーダーと比較的大きいことから，効率は 73 ～ 77 %程度と比較的低くなっている。電源入力電圧上昇に伴い，電源入力電流低下のため IC 外付け主回路（npn トランジスタ，インダクタ，ダイオード，電源出力の平滑コンデンサ）抵抗分による電力損失が減少する一方，npn トランジスタのベース電流が上昇し電力損失増加の支配的な要素となる。これらの電力損失減少・増加要素により，入力 2 V 近傍で効率が最大となっている。

図 8 の MOSFET 駆動の場合，駆動電力がバイポーラトランジスタの 10 分の 1 程度のオーダーと比較的小さいことから，約 84 %の高効率を得ている。電源入力電圧上昇に伴い，MOSFET を含む IC 外付け主回路抵抗分による電力損失は電源入力電流低下により減少する一方，MOSFET 駆動電力は増加するが，上記のとおり比較的小さい値である。これらの電力損失減少・増加要素が打ち消し合い，入力電圧依存性の小さい効率特性となっている。

上記の例では MOSFET のオン抵抗を十分に下げる駆動

図 5　バイポーラトランジスタ駆動例のスイッチング波形
（条件：電源入力 3 V，電源出力 5 V/100 mA，10 V/20 mA）

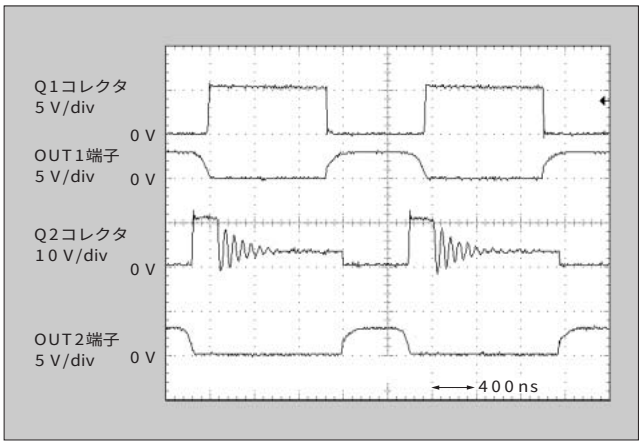


図 6　MOSFET 駆動例のスイッチング波形
（条件：電源入力 8 V，電源出力 14 V/100 mA，2 V/300 mA）

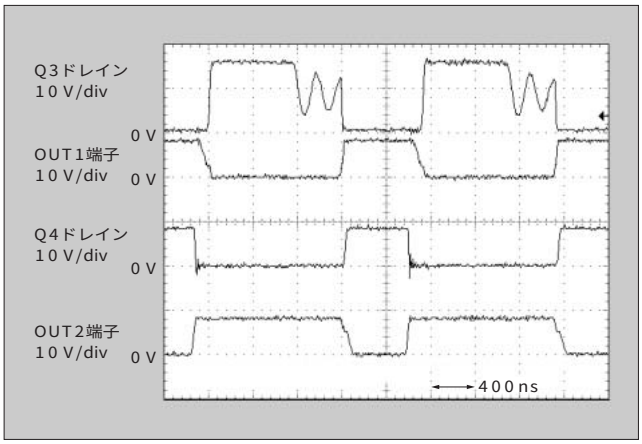


図 7　バイポーラトランジスタ駆動例の電力変換効率
（条件：電源出力 5 V/100 mA，10 V/20 mA）

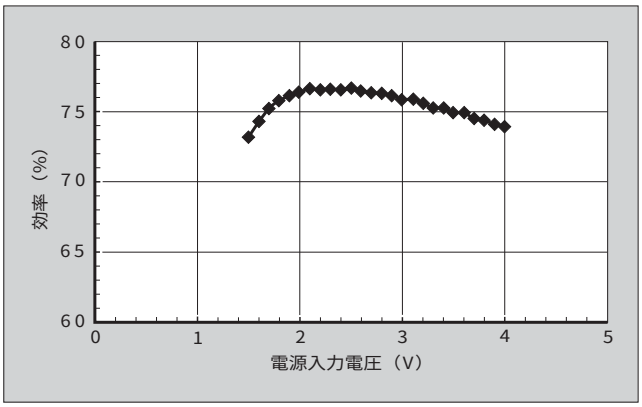
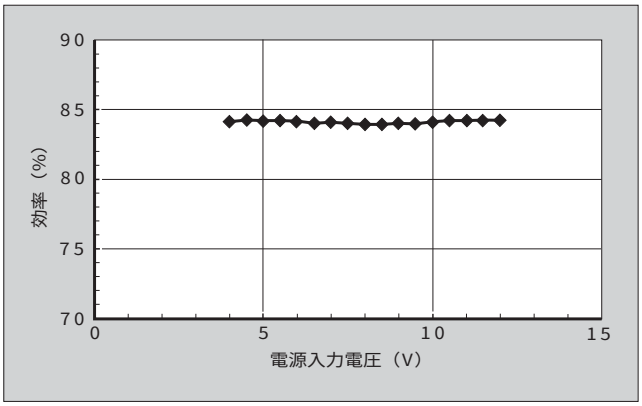


図 8　MOSFET 駆動例の電力変換効率
（条件：電源出力 14 V/100 mA，2 V/300 mA）



電圧が 2.5 V 以上程度であることを考慮して，電源入力 1.8 V 程度の低電圧動作に対しバイポーラトランジスタ駆動としたが，MOSFET 駆動しきい値電圧低下の方向で製品開発がされており，より低電圧動作に MOSFET が適用されていくと考える。このため，本 IC のように低電圧動作と MOSFET 駆動が可能な制御 IC と低しきい値 MOSFET の採用により，今後は低入力電源の高効率化がさらに進展すると考える。

4　あとがき

携帯機器に適した電源入力 1.8V 起動が可能な 2 チャネル出力 DC-DC コンバータ制御 IC FA7715J の概要を紹介した。この分野の制御 IC は機器のモデルごとに最適のチャネル数が必要になるとともに，パッケージの小型化，外付け部品の削減，高効率化など，電源仕様の向上に寄与する制御方式の考案・採用が常に求められている。

富士電機では今後もこれらの要求に応えるべく，独自の有益なソリューションを提供する製品化を推進する所存である。

参考文献

(1)　野村一郎．1 チャネル CMOS DC-DC コンバータ制御 IC．富士時報．vol.73，no.8，2000，p.432-435．
(2)　遠藤和弥．同期整流対応 6 チャネル DC-DC コンバータ制御 IC．富士時報．vol.73，no.8，2000，p.436-439．
(3)　野村一郎，米田保．汎用 2 チャネル DC-DC コンバータ IC．富士時報．vol.74，no.10，2001，p.557-560．
(4)　山田谷政幸．LCD パネル用電源 IC．富士時報．vol.74，no.10，2001，p.561-563．

e-Front runners

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。