PDP スキャンドライバ IC 技術

澄田　仁志（すみだ　ひとし）　**平林　温夫**（ひらばやし　あつお）　**小林　英登**（こばやし　ひでと）

1　まえがき

家庭用テレビのフラットパネルディスプレイ（FPD）化が急速に進んでいる。この FPD 化を加速するパネルの一つがプラズマディスプレイパネル（PDP）である。PDP は 2000 年から 2001 年にかけて 30 インチ以上の画面サイズで日本の PDP テレビ市場を立ち上げ，その市場は伸び続けている。そしてこの市場拡大を受け，発光効率の向上や低消費電力化，また低コスト化など PDP 技術の開発にますますの拍車がかかっている。[1]

PDP ではパネルの周辺回路が占めるコスト比率が高く，[2] PDP を駆動するドライバ IC に対するコストダウンの要求は年々厳しくなっている。また，ドライバ IC はパネルの発光を制御するため，ドライバ IC の性能が PDP の性能に直接影響を及ぼす。そのため，ドライバ IC に対しては低コスト化とともに，高性能化が常に求められている。

PDP はスキャンドライバ IC とアドレスドライバ IC の二つのドライバ IC で駆動されている。富士電機では両ドライバ IC を 1980 年代から製品化してきた。[3] そして，現在もパネルメーカーからの上記要求に応えるべく，PDP ドライバ IC 技術の開発を進めている。

本稿では，富士電機が開発した PDP ドライバ IC 技術のうち，スキャンドライバ IC 技術について説明する。あわせて，2002 年に製品化した最新のスキャンドライバ IC を紹介する。

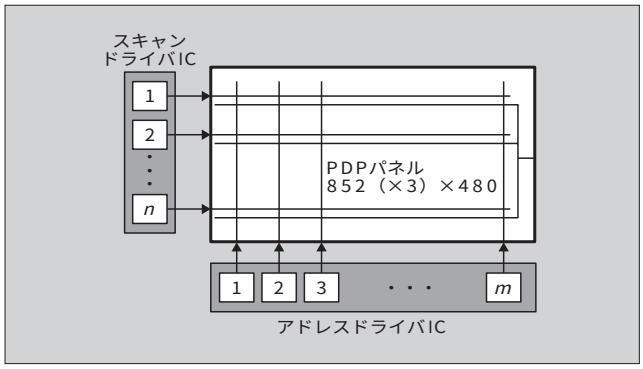
2　PDP スキャンドライバ IC の特徴

PDP 駆動システムを**図 1** に示す。スキャンドライバ IC はパネルの縦方向に配置され，パネル内部の放電セルを行方向に一括して制御している。パネルの種類によって異なるが，1 パネルあたり 10 個程度のスキャンドライバ IC が搭載されている。

スキャンドライバ IC の特徴は以下のとおりである。

(1)　150 V 前後の耐圧と 400 mA 以上の駆動電流を有する高耐圧・大電流のパワー IC である。

図 1　PDP 駆動システム



(2)　パネルの放電セルを充放電させるために，出力回路には二つの高耐圧デバイスによって構成されるトーテムポール回路が採用されている。

(3)　一つのスキャンドライバ IC には高耐圧の出力回路が 64 以上搭載されている。

富士電機では高耐圧・大電流・多出力といったスキャンドライバ IC の特徴に着目し，独自のスキャンドライバ IC 技術を開発してきた。3 章で，富士電機のスキャンドライバ IC 技術について紹介する。

3　PDP スキャンドライバ IC 技術

ここでは富士電機が開発したスキャンドライバ IC 技術として，要素技術となる素子間分離技術と高耐圧横型 SOI（Silicon On Insulator）デバイス技術について概説する。

3.1　素子間分離技術

パワー IC を形成する素子間分離技術には自己分離技術と pn 接合分離技術，そして誘電体分離技術がある。各分離技術の特徴を**表 1** に示す。なお，**表 1** の誘電体分離技術は，はり合せ SOI 基板を用いた誘電体分離技術（SOI 方式誘電体技術）を対象としている。

表 1 に示すように，各分離技術には一長一短がある。SOI 方式誘電体分離技術はウェーハコストおよび加工費が

澄田　仁志

高耐圧デバイスの開発に従事。現在，松本工場 IC 第二開発部。工学博士。電子情報通信学会会員。電気学会会員。

平林　温夫

高耐圧 SOI プロセスの開発に従事。現在，松本工場 IC 第一部。

小林　英登

PDPIC の開発，設計に従事。現在，松本工場 IC 第一開発部。

表１　素子間分離技術の性能比較

項目 / 分離技術	分離性能	分離面積	コスト
自己分離	△	○	◎
接合分離	○	○	○
誘電体分離	◎	◎	△→◎

＊優劣の順は◎＞○＞△である。

高く，これがパワー IC への適用に大きな障害となっていた。しかし，この分離技術には狭い分離面積，適用デバイスが無制限，といった利点がある。この利点を生かすことにより，高耐圧・大電流・多出力の特徴を備えたスキャンドライバ IC には，SOI 方式誘電体分離技術がコストと性能の面から最適な分離技術になることを見いだした[4]。そして富士電機では，SOI 方式誘電体分離技術をスキャンドライバ IC 技術のベース技術としてデバイス・プロセス開発を進めている。また，この SOI 方式誘電体分離技術に対しても，スキャンドライバ IC の低コスト化を目的に改良を続けている。

3.2　高耐圧横型 SOI デバイス技術

3.1 節で述べたように，スキャンドライバ IC には SOI 方式誘電体分離技術を適用する。そのため，IC に搭載する高耐圧デバイスは SOI 基板上の横型デバイスとなり，高耐圧横型 SOI デバイスの開発が不可欠となる。ここでは，スキャンドライバ IC の出力用デバイスに適用している横型 IGBT（Insulated Gate Bipolar Transistor）（200 ページの「解説」参照）と，レベルシフタ回路を構成する横型 p チャネル型 MOSFET（Metal Oxide Semiconductor Field Effect Transistor）について説明する。

3.2.1　横型 IGBT

64 以上の出力端子を備えたスキャンドライバ IC では出力回路部がチップ全体の 60 %以上を占める。そのため，IC のコストダウンを目的とした IC チップの面積縮小を実現する最大の手段が，出力回路部の占有面積縮小となる。そして，その出力回路は出力部のトーテムポール回路を構成する横型 IGBT が半分以上の面積を占めている。したがって，IC チップの面積縮小を図るためにはまず，横型 IGBT の電流駆動能力向上によるデバイス形成領域の縮小を達成しなければならない。

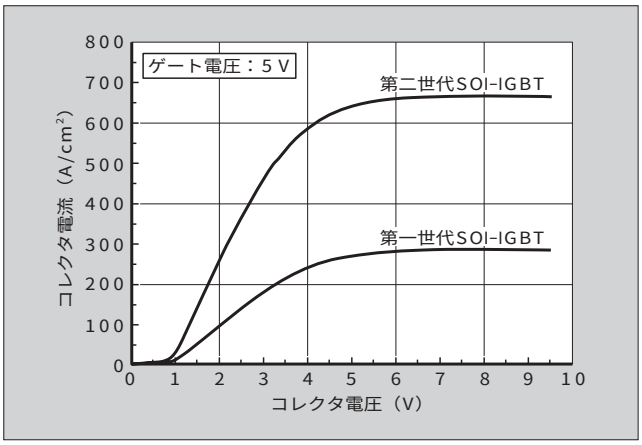
富士電機では SOI 基板を用い，1997 年にスキャンドライバ IC 用の横型 IGBT（第一世代 SOI-IGBT）を開発した[4]。そして，第一世代 SOI-IGBT の 3 倍以上の電流駆動能力を備えた第二世代 SOI-IGBT の開発を 2001 年に完了し[5]，2002 年から製品に適用している。以下に，この第二世代 SOI-IGBT について紹介する。

第二世代 SOI-IGBT では電流駆動能力の向上を図るため，第一世代 SOI-IGBT に対して下記の改良を施している。

(1)　セル構造の最適化によるセルピッチの短縮

(2)　ゲート酸化膜の薄膜化

図２　第一・第二世代 SOI-IGBT の電圧電流特性



(3)　n バッファ層の最適化

図 2 に，第二世代 SOI-IGBT の電圧電流特性を第一世代 SOI-IGBT の特性と比較する。第二世代 SOI-IGBT は 650 mA/cm² の電流駆動能力を備え，これは第一世代 SOI-IGBT の 3 倍以上に相当する。また，飽和領域における抵抗値は第一世代 SOI-IGBT の約 30 %の大きさである。

このように，電流駆動能力を向上させた第二世代 SOI-IGBT を開発した。このデバイスはスキャンドライバ IC の高性能化と低コスト化に大きく貢献している。

3.2.2　横型 p チャネル型 MOSFET

SOI 基板上の高耐圧横型 p チャネル型 MOSFET（SOI-PMOS）を設計する場合，素子耐圧に対する SOI 基板のバックゲート効果を考慮する必要がある[6]。また，パワー IC への適用においては IC の製造コスト増加を抑える目的から，SOI-PMOS を構成する拡散層は可能な限り n チャネル型 MOS デバイスと共用する必要がある。富士電機ではこれらの項目を満足させ，かつ最適化されたデバイス構造により，スキャンドライバ IC のレベルシフタ回路に適したデバイス特性を実現している。

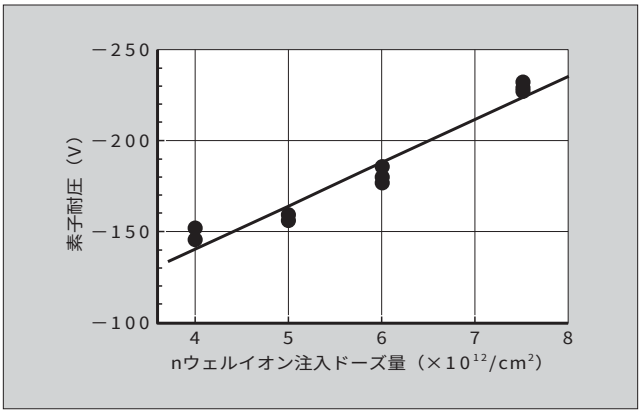
SOI-PMOS を構成する拡散層の最適設計例として，SOI-PMOS のチャネル形成領域となる n 型ウェル（n ウェル）層のイオン注入ドーズ量について示す。この n ウェル層は出力回路を構成する高耐圧 n チャネル型 MOSFET と共用している。

図 3 は SOI-PMOS の素子耐圧における n ウェル層のイオン注入ドーズ量依存性を示す。この図のとおり，n ウェル層のイオン注入ドーズ量によって SOI-PMOS の耐圧値を直線的に制御することができる。この関係を用いて SOI-PMOS の耐圧値を見積もると同時に，n チャネル型 MOSFET の特性を考慮したうえで n ウェル層のイオン注入ドーズ量を決定している。

4　PDP スキャンドライバ IC の最新製品

富士電機では 2002 年に，第二世代 SOI-IGBT を搭載した 150 V 保証のスキャンドライバ IC を製品化した。その新製品と，第一世代 SOI-IGBT を搭載した 200 V 保証の

図３　SOI-PMOS の素子耐圧における n ウェルイオン注入ドーズ量依存性



既存品[7]のチップ写真を**図４**に示す。新製品のチップサイズは既存品の約 70 %である。これは，第二世代 SOI-IGBT の適用および IGBT 以外の出力回路構成デバイスの改良，ならびに SOI 方式誘電体分離技術の改良により達成している。

性能面で比較すると，新製品の電流駆動能力は既存品の３倍以上ある。しかも，既存品の 20 %以下の消費電力や 50 %以下のスイッチング時間を実現するなど，新製品の出力特性は既存品に比べて大幅に改善されている。

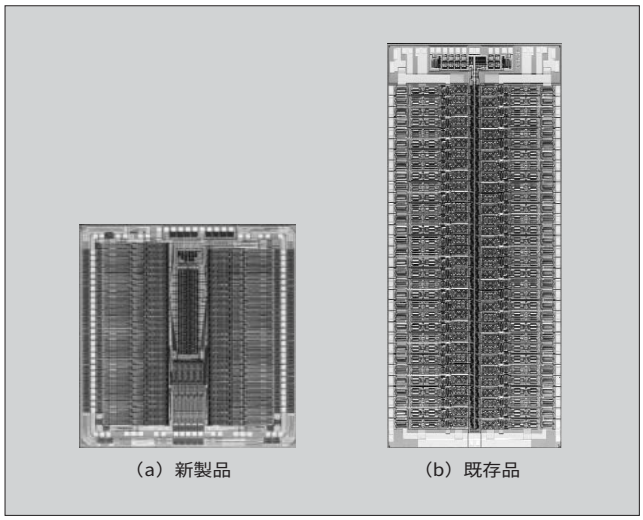
このように，新製品は既存品に比べて一層の高性能化と低コスト化を実現し，パネルメーカーの要求を満足している。

5　あとがき

本稿では富士電機の PDP スキャンドライバ IC 技術として，素子間分離技術と SOI 基板上に形成した高耐圧横型 IGBT と横型 PMOS について説明した。

これまで画面サイズが 30 インチ以上の FPD 市場は PDP が独占していた。しかし，液晶パネルがこのインチクラスに参入し，液晶パネルとの競争が始まっている。液晶パネルとの差異化を図るために，PDP の高性能化と低価格化に向けた技術が急速に進歩している。富士電機では，パネルメーカーからの要求を満足する PDP ドライバ IC をタイムリーに提供できることを使命とし，高耐圧デバイス・プロセス技術の開発を進めていく所存である。

図４　スキャンドライバ IC の新製品と即存品のチップ写真



参考文献

(1)　田中直樹ほか．FPD が開くテレビ新機軸大画面，モバイルが離陸．日経マイクロエレクトロニクス．no.209，2002，p.89-97.

(2)　大久保聡ほか．フラットパネル・ウォーズ艶やかさで競う．日経エレクトロニクス．no.835，2002，p.89-125.

(3)　石川弘之ほか．プラズマディスプレイ駆動用 IC．富士時報．vol.61，no. 7，1988，p.478-481.

(4)　澄田仁志．ドライバ IC のデバイスとプロセス．第 17 回プラズマディスプレイ技術討論会資料．1997.

(5)　Sumida, H. et al. A High-Voltage Lateral IGBT with Significantly Improved On-State Characteristics on SOI for an Advanced PDP Scan Driver IC. Proceedings of the 2002 IEEE International SOI Conference. 2002, p.64-65.

(6)　平林温夫ほか．SOI に形成した Pch-LDMOS の耐圧特性．1995 年電子情報通信学会総合大会講演論文集エレクトロニクス 2．1995，p.152.

(7)　Sumida, H. et al. A high performance plasma display panel driver IC using SOI. Proceedings of the 10th ISPSD. 1998, p.137-140.

e-Front runners

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。