0.6 μmアナログ C/DMOS デバイス・プロセス技術

北村　明夫（きたむら　あきお）

1　まえがき

富士電機の IC のデバイス・プロセス技術は微細加工技術と高耐圧技術との融合が特徴であり，電源 IC，ドライバ IC などのパワー IC（181 ページの「解説」参照）の分野に適用されている。この分野では小型化・軽量化・低消費電力化・高機能化が望まれており，具体的には部品点数の削減のため外付けデバイスのワンチップ化，電源電圧の低下に伴う低電圧駆動化，高性能なアナログ回路技術などが要求されている。さらに近年，これらに加え，CPU などの高集積ディジタル制御による高機能化の要求も高まっており，デバイス・プロセス技術はこれらの高耐圧アナログデバイス，微細 CMOS デバイスの混載が求められている。

本稿ではこの電源 IC 用途に適した，アナログ CMOS（Complementary Metal Oxide Semiconductor）と高耐圧横型 DMOS（Double Diffused Metal Oxide Semiconductor），さらに 0.6 μm ディジタル CMOS を搭載した，0.6 μm ルールアナログ C/DMOS デバイス・プロセス技術について紹介する。

2　パワー IC 微細化トレンド

図 1 にパワー IC 微細化トレンドを示す。ロジック LSI に対して約 6 年ほど遅れているが，着実に微細化が進んでいる。ロジック LSI の分野での DRAM ・システム LSI 混載の方向性からもインタフェースとなるパワー部の集積化が望まれており，今後急激に微細化の必要性が増すと予想されている。このような情勢の中，富士電機も 1999 年には 0.6 μm プロセスを開発し，製品適用を図っている。

用途として，携帯用電子機器に使用されるリチウムイオン電池などのバッテリー充電を制御するバッテリーチャージャ IC などがある。

3　要素デバイス構造と主要特性

図 2 に要素デバイスの断面を示す。また，**表 1** にデバイスリスト，**表 2** にプロセスフローを示す。本プロセスは 0.6 μm プロセスをベースとしている。ディジタル回路用にはゲート長の縮小を図るためのパンチスルーストッパ層が形成されたディジタル CMOS を，アナログ回路用にはしきい値電圧の低減を狙い上記パンチスルーストッパ層を遮へいしたアナログ CMOS を用意している。また，高耐圧 MOS（HV-MOS）としては 30 V 耐圧保証の HV-MOS と出力段 DMOS を用意している。

図 1　パワー IC 微細化トレンド

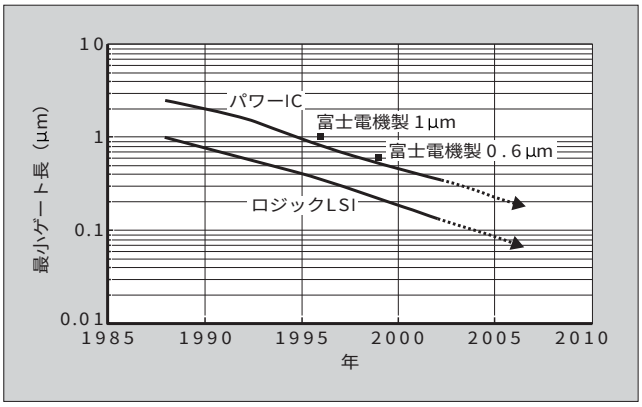


表 3 にデバイス特性一覧を示す。また，**図 3** にデバイス *I*–*V* 特性を示す。

本デバイスの特徴は次のとおりである。

(1)　高集積ロジック回路用 0.6 μm CMOS とアナログ CMOS，高耐圧 MOS の混載技術

(2)　アナログ CMOS，高耐圧 MOS の低しきい値電圧化技術

3.1　ディジタル・アナログ・高耐圧混載化技術

富士電機では電源 IC 分野をメインに，1 μm ルールベースのアナログ・高耐圧混載プロセスを 1996 年から量産展開してきた。近年，これらアナログ・高耐圧回路をディジタル的に制御することで高機能化を図る動きがあり，さらには CPU などを取り込むことによりさらなるインテリ

北村　明夫

高耐圧 C/DMOS デバイス・プロセスの研究開発に従事。現在，松本工場 IC 第二開発部主任。

図２　要素デバイス断面構造

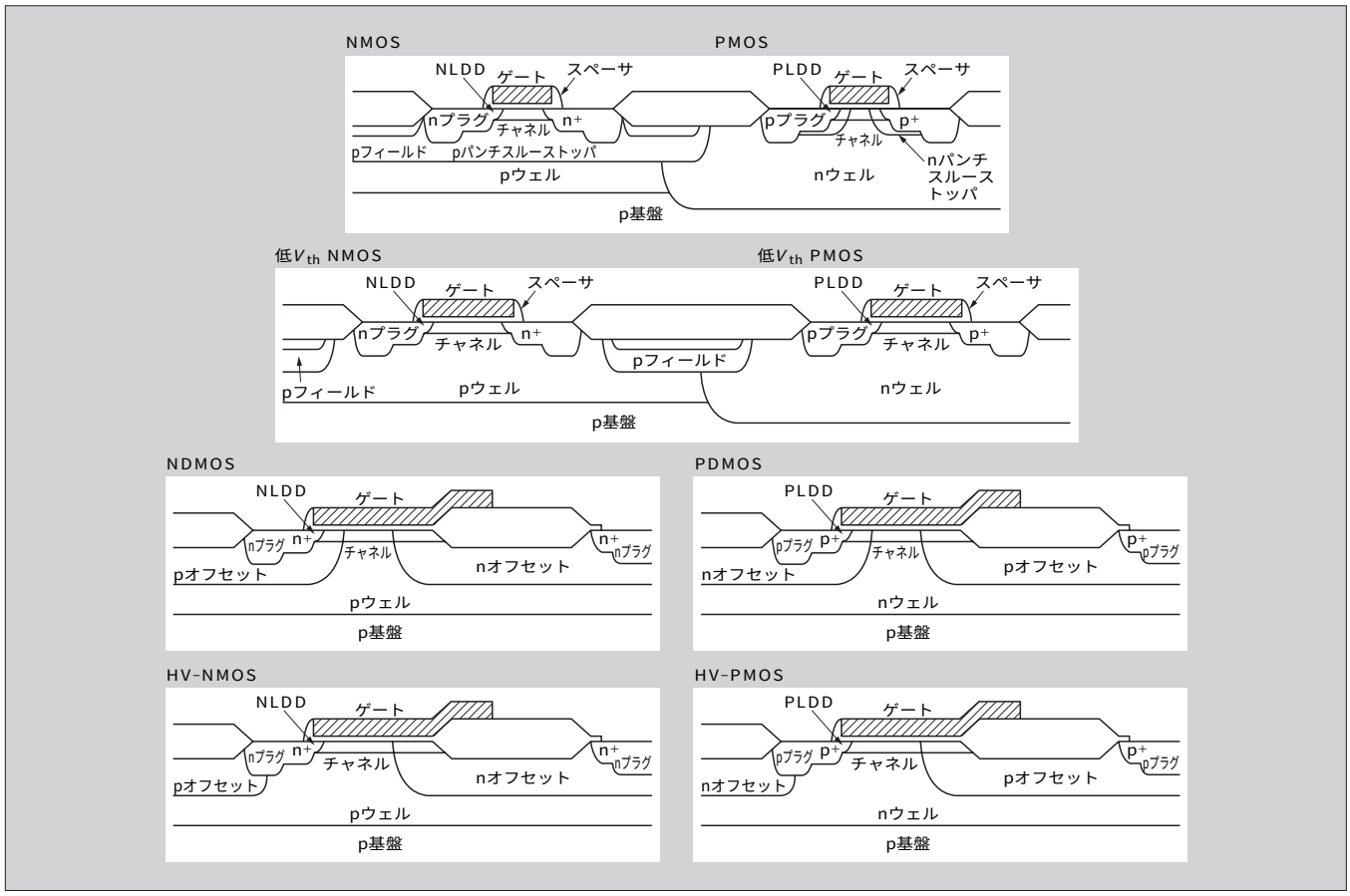


表１　デバイスリスト

能動素子	受動素子
NMOS	高抵抗ポリシリコン抵抗
PMOS	低温度係数ポリシリコン抵抗
低 V_{th} NMOS	拡散抵抗
低 V_{th} PMOS	ポリシリコン容量
デプレションNMOS	MOS容量
低オン抵抗　30 V　NDMOS	
低オン抵抗　30 V　PDMOS	
低 V_{th}　30 V　NMOS	
低 V_{th}　30 V　PMOS	
NPN	
PNP	
ツェナーダイオード	

ジェント化を図りたいという要求もある。これらを踏まえ，0.6 μm ディジタル CMOS との混載化に着手してきた。

ディジタル CMOS はゲート長の縮小のために，通常の LDD（Lightly Doped Drain）スペーサ構造に加えて，ウェル濃度の高濃度化，パンチスルーストッパ層の追加が必須となる。しかし，高耐圧 MOS にとっては上記追加が RESURF（Reduced Surface Field）構造のバランスを乱すことになる。

表２　プロセスフロー

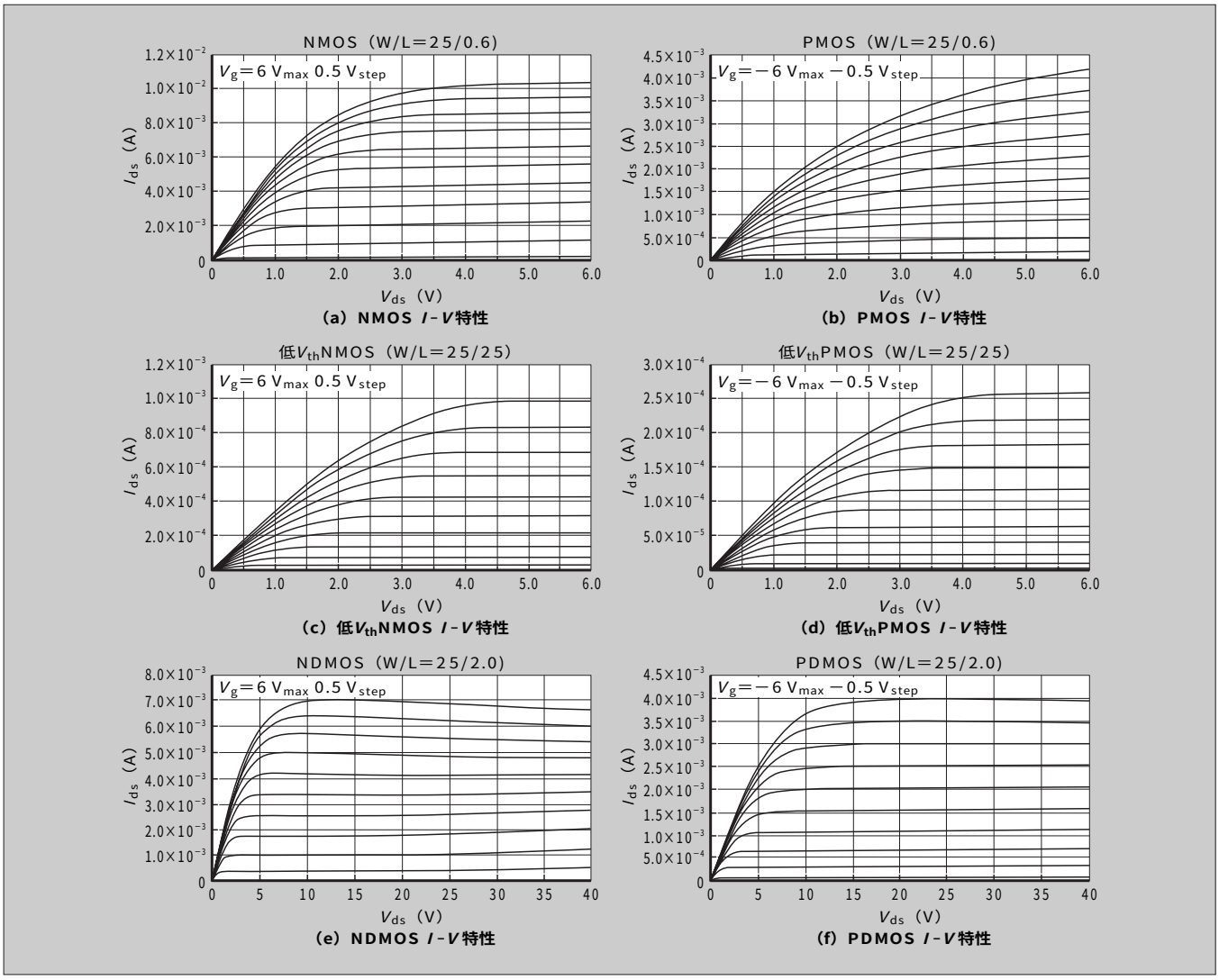
プロセスフロー	標準プロセス	オプションプロセス
nウェル拡散	○	
pウェル拡散	○	
pオフセット拡散		○
nオフセット拡散		○
nツェナー拡散		○
フィールド酸化膜形成	○	
チャネル拡散	○	
デプレション拡散		○
ゲート電極形成	○	
LDD拡散	○	
スペーサ形成	○	
ソース・ドレイン拡散	○	
パンチスルーストッパ拡散	○	
高抵抗・低温度係数ポリシリコン形成		○
コンタクト形成	○	
第1金属形成	○	
第2金属形成		○
パッシベーション形成	○	

本プロセスでは，高耐圧 MOS 部へはパンチスルーストッパ層の形成を遮へいし，かつウェル高濃度化に対してはオフセットドレインの RESURF 条件の最適化を図るこ

表３　デバイス特性一覧

電気特性	CMOS（W/L＝25/0.6）		低 V_{th} CMOS（W/L＝25/25）		30 V DMOS（W/L＝25/2.0）		低 V_{th} 30 V MOS（W/L＝25/25）	
	NMOS	PMOS	低 V_{th} NMOS	低 V_{th} PMOS	低オン抵抗 30 V NDMOS	低オン抵抗 30 V PDMOS	低 V_{th} 30 V NMOS	低 V_{th} 30 V PMOS
V_{th}	0.6 V	0.7 V	0.7 V	0.9 V	0.8 V	1.1 V	0.7 V	0.8 V
BV_{dss}	10 V	10 V	11 V	10 V	40 V	35 V	65 V	55 V
$R_{on}A$	—	—	—	—	0.05 Ωmm²	0.17 Ωmm²	—	—

図３　デバイス I-V 特性



とにより，ディジタル CMOS と高耐圧 MOS との混載化を可能とした。

3.2　低しきい値電圧化技術

ディジタル LSI の動作電圧の低下や，携帯機器に使用される電池電圧の低下により，低電圧駆動が要求されている。

そこで，アナログ回路を構成する CMOS，高耐圧 MOS の低しきい値電圧化を図った。具体的には上記のパンチスルーストッパ層の遮へいとチャネルイオン注入の打ち分けを行い，**表３**のデバイス特性に示すように低しきい値化を実現し，IC として 2 V 以下の低電圧駆動が可能となった。

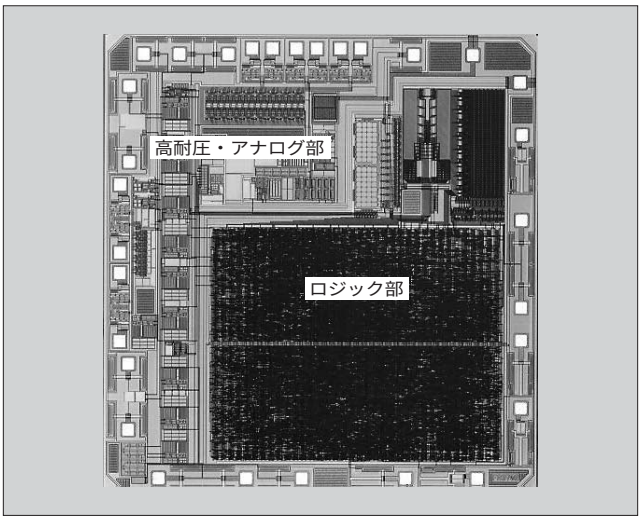
4　機種適用例

図４に今回この 0.6 μm C/DMOS プロセスを適用した機種例を示す。本 IC はリチウムイオン電池の充電機能を制御する IC で，電源電圧定格は 18 V である。

5　あとがき

パワー IC の分野では，高性能な高耐圧アナログ回路技術とディジタル回路技術との融合のニーズが高まっており，デバイス・プロセスとしてもこの要求に応え，かつその先

図４　リチウムバッテリー充電制御 IC



を見据えた開発が必要である。富士電機は高耐圧・低オン抵抗技術をベースとし，さらに特徴あるデバイス・プロセス技術を開発し，社会に貢献していく所存である。

参考文献

(1)　北村明夫ほか．Surrounding-Body 領域を有する自己分離型高性能横型 DMOSFET 構造．電子情報通信学会総合大会．C-561，1995，p.154.

(2)　Kitamura, A. et al. Self-Isolated and High Performance Complementary Lateral DMOSFETs with Surrounding-Body Regions. Proceedings of ISPSD '95. 1995，p.42-47.

(3)　北村明夫ほか．Surrounding-Body 領域を有する DMOS FET の電気的特性．電気学会研究会．EDD-95-93，1995，p.75-80.

(4)　多田元，北村明夫．高耐圧 IC プロセス技術．富士時報．vol.69，no.8，1996，p.410-416.

(5)　北村明夫，佐々木修．アナログ C/DMOS デバイス・プロセス技術．富士時報．vol.73，no.8，2000，p.456-459.

解　説　パワー IC

パワー IC は高耐圧パワー素子と駆動回路，制御回路，保護回路などをワンチップ化したもので，システムの小型・軽量化，部品点数の削減要求に応える手段として近年ますます注目されてきている。

パワー素子は至るところで使用されているが，特に携帯用電子機器などでは小型・軽量化の点からパワー IC 化が望まれている。

パワー IC の難しいところは，従来の CMOS（Complementary Metal Oxide Semiconductor），あるいは Bi-CMOS（Bipolar CMOS）プロセスをベースに，いかに追加プロセスなく，駆動能力の高いパワー素子を作れるかにかかっており，各社独自の技術でしのぎを削っている。

最近の動向としては，上述のような回路だけではなく，CPU，マイクロプロセッサ，不揮発性メモリ，アナログ回路，A-D コンバータなどをワンチップ化したものが開発されており，ベースプロセスである CMOS も本特集号 178 ページの**図 1** のように微細化が進んできている。

e-Front runners

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。