アナログ IC 設計技術

尾上　久（おのうえ　ひさし）　藤澤　旭（ふじさわ　あきら）　菅原　敬人（すがわら　たかと）

1　まえがき

近年の携帯機器に代表される電子機器の発達により，搭載される IC の小型化・低価格化が進んでいる。またプロセス技術と回路設計技術の進展により，IC の高集積化と高機能化が進んでいる。一方，製品サイクルは短くなり，短期間での効率的な開発が強く求められている。

富士電機では，これらの状況に対応するため，設計段階から製品品質を作り込むことが可能な設計技術の開発，さらに設計資産の再利用や設計の自動化システムの構築を推進している。

本稿では，富士電機の主力製品である電源 IC をターゲットとしたアナログ回路設計検証技術，自動マスクレイアウト設計技術などのアナログ IC 設計技術を紹介する。

2　アナログ IC 設計フロー

本章では，アナログ IC の設計フローの概要を述べる。**図 1** に設計フローを示す。

(1)　回路設計

仕様に基づいて行われる回路設計は，回路図入力システムにより行う。ここでは開発実績があり回路動作が保証されたアナログマクロセルライブラリを利用した設計が可能である。さらにアナログ記述言語を用いて，IC 周辺回路を含めたシステム構成を確認しながら設計を行える環境が構築されている。

(2)　回路検証

回路ブロックごとに，アナログシミュレーションやディジタル・アナログ混在シミュレーションで，設計された回路の検証を行う。さらに，コーナーシミュレーションやモンテカルロシュミレーションなどの統計解析によるプロセス変動や温度変化に対するシステム全体特性の検証も行っている。

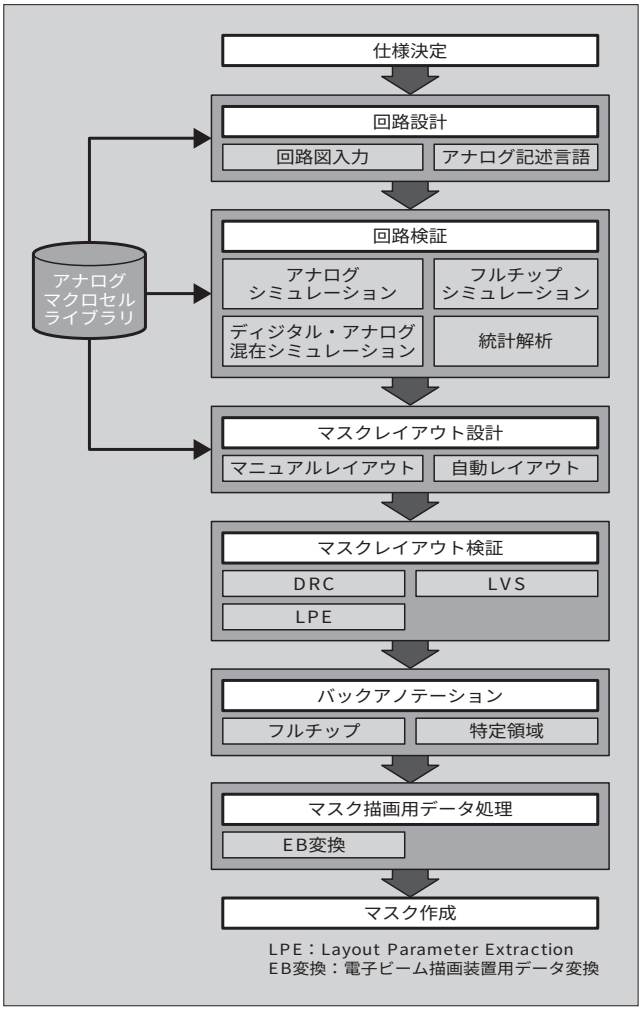
(3)　マスクレイアウト設計

従来行ってきた手作業でのマスクレイアウト設計と，自動で自由な素子形状の作成が可能なシンボリックレイアウトやブロック間配線などを行える自動マスクレイアウト設計を行う。

(4)　マスクレイアウト検証

規則どおりの幅や間隔でマスクレイアウト設計が行われているかの検証として，DRC（Design Rule Check）や，回路図と設計したマスクレイアウトが完全に一致していることを確認するため LVS（Layout Versus Schematic）な

図 1　アナログ IC 設計フロー



尾上　久

CAD 技術の開発に従事。現在，松本工場 IC 第二開発部。

藤澤　旭

CAD 技術の開発に従事。現在，松本工場 IC 第二開発部。

菅原　敬人

CAD 技術の開発に従事。現在，松本工場 IC 第二開発部。

どを実施している。

(5)　バックアノテーション

マスクレイアウトデータから，配線抵抗や配線容量などの寄生素子を抽出し，それらを考慮したシミュレーションを行う。シミュレーションの実行にあたっては，チップ全体の寄生素子を考慮するのか，あるいは特定配線（クリティカルパスやグラウンドなど）や特定回路ブロックの寄生素子のみを考慮するのかを指定することが可能である。

3　アナログ IC 設計技術

本章では，前章アナログ IC 設計フローの各設計段階における技術のうち，アナログ回路設計・検証にかかわる技術と，マスクレイアウト設計技術の概要を述べる。

3.1　アナログマクロセルライブラリ

設計効率の向上と短納期に対応するため，設計資産の再利用を推進しており，アナログマクロセルライブラリを構築している。アナログマクロセルライブラリには，これまでに使用実績があり，再利用可能な機能を有する演算増幅器回路などの基本回路を中心に登録されている。アナログマクロセルライブラリの主な構成は次のような内容である。

(1)　回路図入力用シンボル

(2)　トランジスタレベルで記述した回路図データ

(3)　自動マスクレイアウト設計でも使用可能なレイアウトデータ

(4)　効率よくシミュレーションするために回路機能をアナログ記述言語などで特性化したマクロモデル

また，**表 1** に現在登録しているアナログマクロセルライブラリの登録セル数を示す。ライブラリは電源 IC の各分野ごとに構築されており，富士電機の主要プロセス 1 μm ルール 2 層金属配線 CMOS（Complementary Metal Oxide Semiconductor）プロセスに対応している。

3.2　アナログ回路検証技術

3.2.1　アナログ記述言語を使ったフルチップシミュレーション

富士電機では，多数の素子からなるアナログ回路をアナログ動作記述言語でマクロモデル化し，高機能 IC 単体や周辺素子を含めたシステム全体の機能の検証が短時間で行える環境を構築している。

この環境を利用して行った機能検証の結果を**図 2** に示す。マクロモデルを使った波形はトランジスタレベル回路の波形とよく一致しており，シミュレーション時間はトランジスタレベルのシミュレーションと比較し，約 1/20 まで短縮することが可能である。

3.2.2　モンテカルロシミュレーション

高精度が要求されるアナログ IC では，製造ばらつきを考慮した回路動作の検証が必要であり，素子のパラメータを統計分布に基づいてばらつかせるモンテカルロシミュレーションは有効な手法の一つである。

富士電機では，**図 3** に示すモンテカルロシミュレーション用ユーザーインタフェースを開発し，ばらつき範囲やシミュレーション回数から各デバイスばらつきの最大・最小値を設定することができる。また，シミュレーション結果の分析のため，度数分布グラフの作成などを行える環境を整えており，設計検証段階での品質の作り込みを十分行うことが可能である。

表 1　アナログマクロセルライブラリ内の登録セル数

適用IC	ライブラリ名	登録セル数
DC-DC電源IC	AFCY1000	5
	AFDW1000	34
	AFDW4000	18
AC-DC電源IC	AFCW1500_AD	19
	AFPW2000_AD	44
DC-DC電源IC周辺回路	FMACRO	24
AC-DC電源IC周辺回路	FMACRO_AD	4

図 2　アナログ記述言語を使ったフルチップシミュレーション適用例

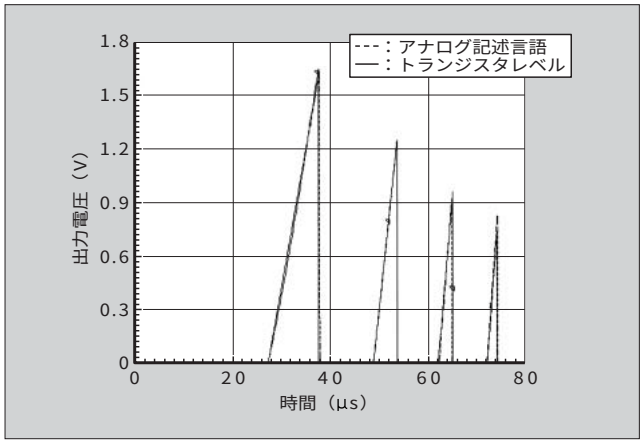


図 3　モンテカルロシミュレーション用ユーザーインタフェース

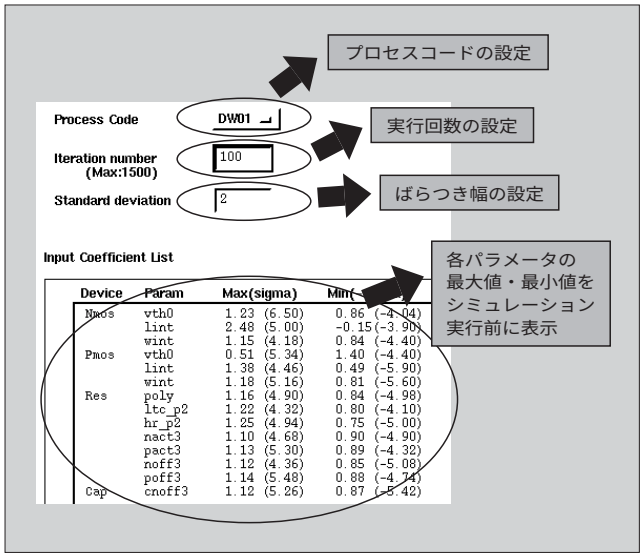
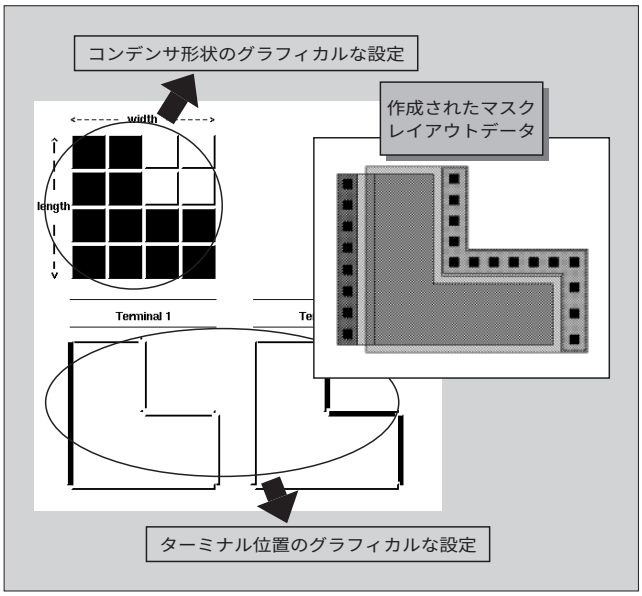


図４　コンデンサ作成用ユーザーインタフェース



3.3　自動マスクレイアウト設計技術

IC 設計において，多くの時間を費やすのがマスクレイアウト設計である。

富士電機では，このマスクレイアウト設計期間を短縮するため，シンボリックレイアウトを使用した自動マスクレイアウト技術と，自動配線技術を確立している。

3.3.1　シンボリックレイアウト

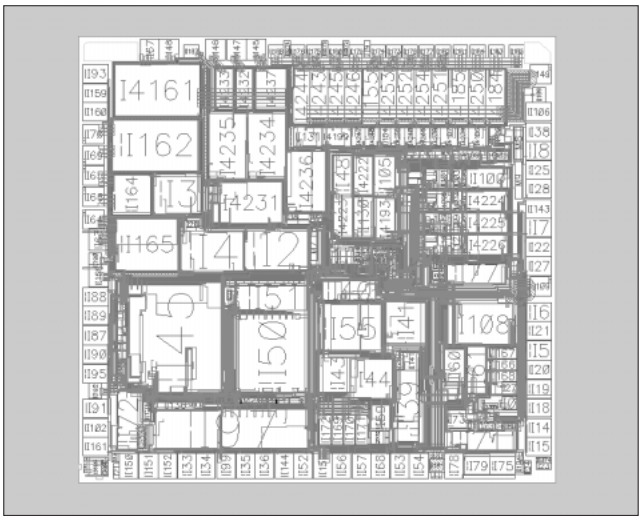
シンボリックレイアウトは，レイアウトブロック内の各デバイスのマスクレイアウト設計において，抵抗値，抵抗幅など，デバイス作成に必要なパラメータを基に目的のマスクレイアウトを自動生成するマスクレイアウト設計方法である。シンボリックレイアウトを使用することにより，従来の人手による抵抗やトランジスタなどのマスクレイアウト設計を自動化することはもとより，回路図内のパラメータを基に，回路図からマスクレイアウトを自動生成することが可能となる。

このシンボリックレイアウトセルは，アナログ IC 特有のデザインに対応している。例えば，コンデンサのサイズを縮小，最適化するために，矩形（くけい）以外の形状が必要となる場合がある。富士電機では，このような複雑なマスクレイアウト設計の自動化を可能にするため，独自のアルゴリズムによるシンボリックレイアウトを開発している。

さらに，パラメータ設定の複雑化を緩和するためのユーザーインタフェースも開発している。**図４**に示すコンデンサ作成用のユーザーインタフェースは，コンデンサの形状とターミナル作成位置をマウスにより簡単に設定できる。

このように複雑なデザインのマスクレイアウトデータを簡単に自動作成するシステムが構築されている。

図５　自動配線技術の適用例



3.3.2　アナログ自動配線

富士電機では，先に述べた，アナログマクロセルライブラリに登録しているレイアウトやシンボリックレイアウト，もしくは手作業により新規設計されたマスクレイアウトブロックの，ブロック間自動配線を実現している。

アナログ IC の配線は，配線幅，インピーダンスや電流密度など，アナログ IC 特有の制約条件を考慮する必要がある。富士電機ではこのようなアナログ IC 特有の制約条件を考慮した自動配線が可能な技術を確立している。

さらに，このような自動配線に必要な制約条件を回路図上で簡単に付加できるようなユーザーインタフェースを開発し設計効率の向上を実現している。

図５は，自動配線技術を使用して配線したマスクレイアウトであり，マスクレイアウト設計における配線期間を約１週間まで短縮することが可能である。

4　あとがき

以上，富士電機でのアナログ回路設計検証技術，自動マスクレイアウト設計技術の概要について述べた。

今後も IC に対する高機能化はもとより，IC 開発期間の短縮がますます強く求められるものと考えられる。

富士電機では，これらの要求に応えるため，アナログマクロセルライブラリのさらなる充実と回路定数最適化技術であるアナログ合成技術による設計資産の再利用，およびマスクレイアウトの自動配置技術の開発によるマスクレイアウト設計の自動化などの開発を進めていく所存である。

参考文献

(1)　藤本英俊，藤澤旭．CMOS アナログ IC 設計技術．富士時報．vol.73，no.8，2000，p.452-455.

(2)　鹿島雅人ほか．CAD システム技術．富士時報．vol.64，no.2，1991，p.139-141.

e-Front runners

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。