マスタスライス方式マルチチャネル DC-DC コンバータ制御 IC

三添　公義（みぞえ　きみよし）

1　まえがき

近年，携帯電話やディジタルスチルカメラ，ディジタルビデオカメラなどのディジタル携帯機器が急速に普及している。これらの携帯機器は，多機能化しつつより低消費電力とする傾向がある。そのため，搭載する電源はパワーマネジメントのために機能ごとに分散したマルチチャネル化が進んでいる。その中で，富士電機では携帯機器に搭載するマルチチャネル電源 IC の製品化を積極的に進めている。携帯機器の商品サイクルと同様に電源 IC の製品サイクルは短く，顧客仕様を満たすためには開発期間を短縮し 1 日でも早く顧客へサンプル提供して評価していただくことが命題となっている。

そこで，開発期間の短縮のため，DC-DC コンバータ電源制御 IC の開発にマスタスライスの手法を採り入れた。

本稿では，マスタスライス方式マルチチャネル DC-DC コンバータ電源制御 IC の機能と構成，CAD 利用による開発手法について解説をする。

2　マスタスライス方式の電源制御 IC

本章では，マスタスライス方式を採用した目的と，ターゲットとする DC-DC コンバータ電源制御 IC の基本機能などについて述べる。

2.1　マスタスライス方式とは

製品開発を行う場合は，仕様決定後に回路設計とレイアウト設計で約 2 か月，プロセス工程で約 2 か月の日数を要し，評価期間を含めると約 5 か月の開発期間であった。

マスタスライス方式を採り入れた場合，あらかじめ電源制御 IC に必要となる基本機能を決めて回路ブロックとそれに対応したチップレイアウトを準備しておき，設計時にブロック間配線でチャネル数や機能を変更していく。また，ウェーハプロセスではシリコン上にメタル工程前までの回路を造り込んでおき，ブロック間配線に対応したメタル配線のみでチャネル数や機能を変更するだけで済む。

マスタスライス方式には，次のような利点がある。

(1)　基本的な要素回路とそれにより構成されている回路ブロックの動作実績があるので，個々の回路ブロックの検証は必要なくなり設計の段階でブロック間の検証のみで済み，1 週間程度まで設計期間を短縮させることができる。

(2)　ウェーハプロセス工程ではメタル配線のみ変更のためメタル工程以降の期間だけであり，プロセス工程期間が従来に比べて 4 分の 1 程度まで短縮できる。

(3)　仕様決定からサンプル提供まで 5 週間という短期間開発が実現可能となる。

従来方式とマスタスライス方式を採り入れた開発期間の比較を**図 1** に示す。

以上のように，マスタスライス方式を採用することにより電源制御 IC の仕様決定からサンプル提出までの期間が大幅に短縮される。

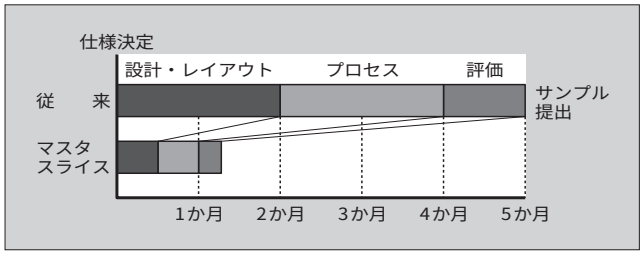
2.2　電源制御 IC の基本機能

2.2.1　ターゲット

基本的には昇圧・降圧の組合せで最大 4 チャネルの DC-DC コンバータ電源に対応する。

入力ソース電源 V_{in} が最低 1.5 V の低電圧のときでも動作するように起動回路をオプションで用意する。したがって，IC の入力電源仕様は，低電圧起動回路を用いるかによって違い，**表 1** のようになる。詳細な機能については次項で説明する。

図 1　IC 開発期間



三添　公義

リニア IC，主に CMOS アナログ回路の研究・開発に従事。現在，(株)富士電機総合研究所デバイス技術研究所。電気学会会員。

2.2.2　内蔵基本機能

電源制御 IC に次のような基本機能・回路を内蔵する。

(1)　内部制御回路電源レギュレータ（2.2 V 出力）
(2)　低電圧誤動作防止回路（UVLO）
(3)　基準電圧回路（1V 出力）
(4)　三角波発振回路（外付け素子により周波数変更可）
(5)　タイマ・ラッチ（外付け素子により時間設定可）
(6)　ソフトスタート（外付け素子により時間設定可）
(7)　PWM（Pulse Width Modulation）制御回路
(8)　出力トランジスタドライバ（昇圧・降圧の変更可）
(9)　電流制限（1 チャネルのみ利用可能）
(10)　同期整流
(11)　入力電源低電圧起動回路（$V_{in} \geqq 1.5$ V）

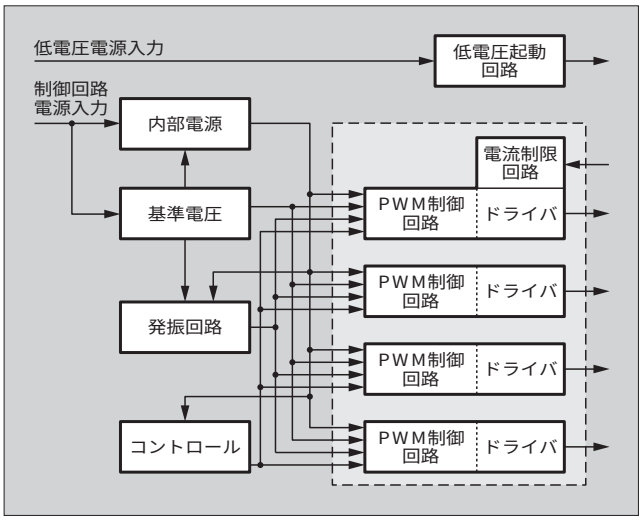
図 2 に電源制御 IC 全体のブロック図を示す。左側のブロックは共通ブロックであり，内部電源ブロックには(1)と(2)，基準電圧ブロックには(3)，発振回路ブロックには(4)，コントロールブロックには(5)の機能をそれぞれ内蔵する。また，右側のチャネルごとの PWM 制御回路・ドライバのブロックには(6)，(7)および(8)を内蔵し，1 チャネルのみ(9)の機能を入れる。また，(10)の機能を構成できるようにする。低電圧電源を利用するときに必要となる低電圧起動回路ブロックは(11)の機能となる。

入力ソース電源が低電圧である場合（$V_{in} \geqq 1.5$ V），低電圧起動回路で昇圧回路を動作させ，昇圧回路の出力を制御回路電源入力に接続して昇圧した電圧を制御回路に用いる。入力ソース電源が低電圧でない場合（$V_{in} \geqq 2.5$ V）は，低電圧起動回路を使用する必要がないので，そのまま入力ソース電源を制御回路電源入力に接続する。

表１　電源仕様

低電圧起動回路	入力ソース電源範囲（V_{in}）	単位
なし	2.5～20	V
あり	1.5～20	

図２　電源制御 IC のブロック図



2.3　実現可能な電源構成

1～4 チャネルで昇圧・降圧の DC-DC コンバータと，さらにシリーズレギュレータ，同期整流で**表 2** のような電源の組合せが実現できる。**図 3** には昇圧・降圧の回路構成例を示す。この昇圧・降圧の設定は，設定端子あるいは内部ブロック間配線で切換が可能である。シリーズレギュレータは内蔵エラーアンプを利用することにより構成でき，また，同期整流の制御回路は 2 チャネル分の PWM 制御回路を用いて構成することもできる。シリーズレギュレータの構成例を**図 4** に，同期整流用制御回路の構成を**図 5** に示す。

オプションとして，次の機能を選択できる。

(1)　PWM 制御回路の基準電圧を内蔵の基準電圧回路出力あるいは外部設定の選択（基準電圧の外部設定は，極性

表２　電源の組合せ

組合せNo.	昇圧・降圧	シリーズレギュレータ	同期整流
1	1チャネル	—	—
2		—	1チャネル
3		1チャネル	—
4		1チャネル	1チャネル
5		2チャネル	—
6	2チャネル	—	—
7		—	1チャネル
8		1チャネル	—
9		2チャネル	—
10	3チャネル	—	—
11		1チャネル	—
12	4チャネル	—	—
13	—	1チャネル	1チャネル
14		—	2チャネル

図３　昇圧・降圧回路構成例

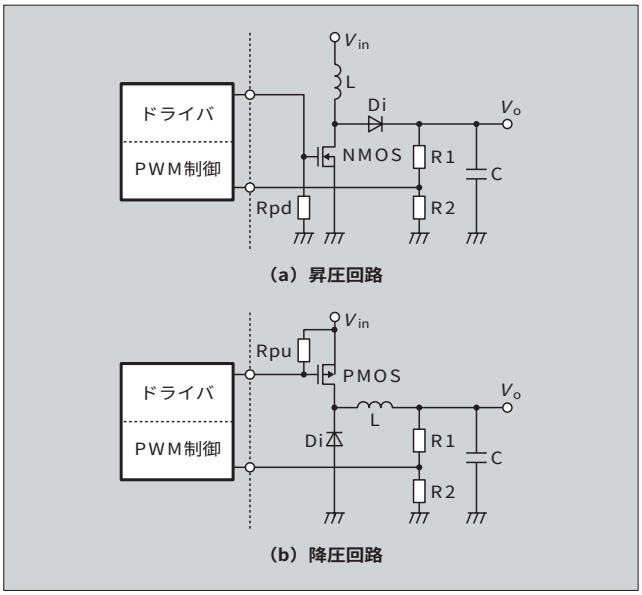


図４　シリーズレギュレータ構成例

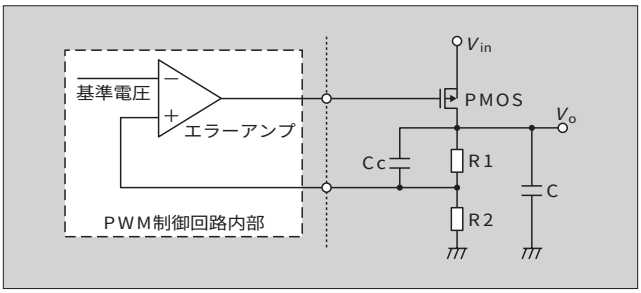
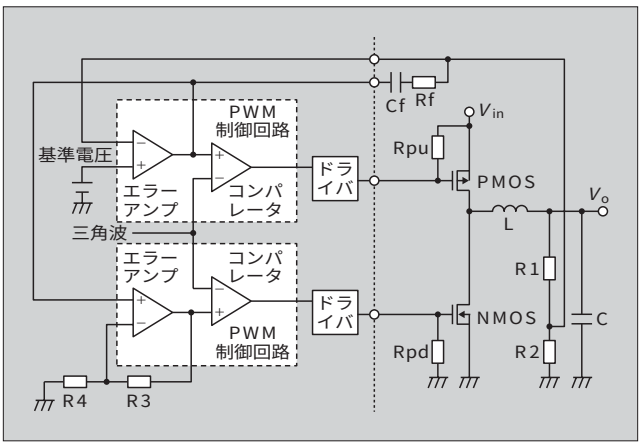


図５　同期整流回路の構成



反転などのアプリケーション構成時に用いる）。

(2)　低電圧起動回路（$V_{in} \geqq 1.5$）の使用

(3)　電流制限回路の使用

3　開発手法

本章では，マスタスライス方式を適用した電源制御 IC の具体的な開発手法について述べる。

3.1　回路ブロックの準備

前章の**2.2.2**項で述べた回路ブロックについて，実際の回路，レイアウトを準備する。回路ブロックは，要素回路（セル）を組み合わせて上位の大きなセルとして作成する。回路ブロックと使用したセルの対応を**表３**に示す。回路動作検証は回路ブロックごとに行っておく。また，レイアウトも回路ブロックごとに要素回路との接続配線まで行い，ブロック間の配線のための接続情報を設定しておく。なお，仕様によって回路ブロックの特性を調整できるように，抵抗やコンデンサの素子値をメタルで変更できるようにしてある。完成した回路ブロックレイアウトを配置し，入出力パッドを用意したブロック間メタル配線前のチップレイアウトを作成する。このレイアウトを**図６**に示す。

3.2　自動メタル配線レイアウト

3.2.1　電源構成例

設計事例として，**表４**のような電源構成にする。昇圧・降圧回路２チャネルと同期整流制御回路１チャネル，また低電圧起動回路を使用する。昇圧および降圧は外部設定端子で変更可能とする。昇圧・降圧回路の No.1 は，基準電圧に内部の基準電圧回路の出力を用いて，出力トランジスタドライバに電流制限回路を接続する。No.2 は，基準電圧を外部から設定するようにしておく。また，No.2 において，**図４**で示したシリーズレギュレータも構成可能である。同期整流制御回路は，**図５**で示したように２チャネル

表３　各回路ブロックの使用セル

回路ブロック	使用セル
内　部　電　源	内部電源シリーズレギュレータ
	バイアス電流回路
	低電圧誤動作防止回路
基　準　電　圧	1V 基準電圧回路
発　振　回　路	三角波発振回路
	デューティ制限パルス発生回路
コントロール	タイマ・ラッチ
PWM制御回路	エラーアンプ
	コンパレータ
	ソフトスタート
	デューティ制限回路
	ドライバ
	電流制限回路（オプション）
低電圧起動回路	低電圧起動回路（オプション）

図６　自動配線前のチップレイアウト

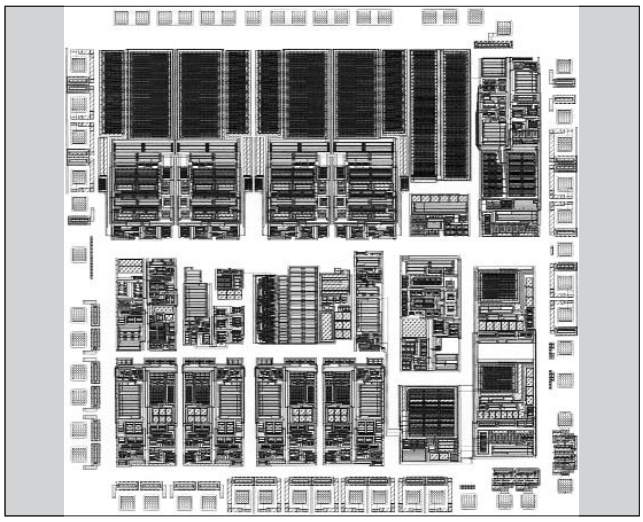


表４　電源構成例

電源構成	設　定	
昇圧・降圧2チャネル	No.1	内部基準電圧使用 電流制限機能付き
	No.2	基準電圧外部設定
同期整流1チャネル	内部基準電圧使用	
オプション	低電圧起動回路	

図７　電源制御 IC の全体回路図の作成例

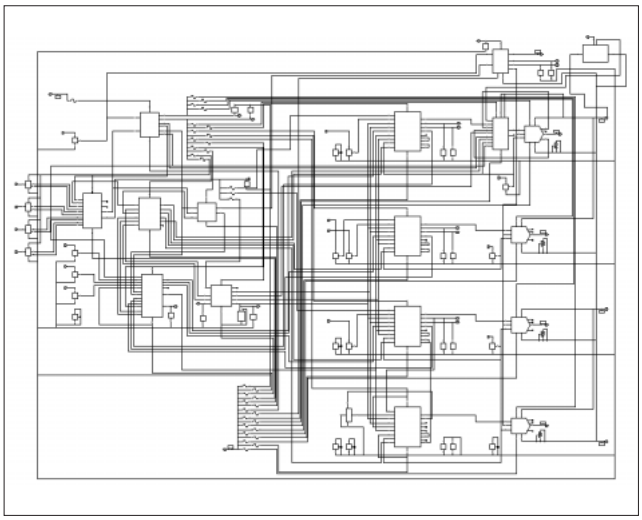
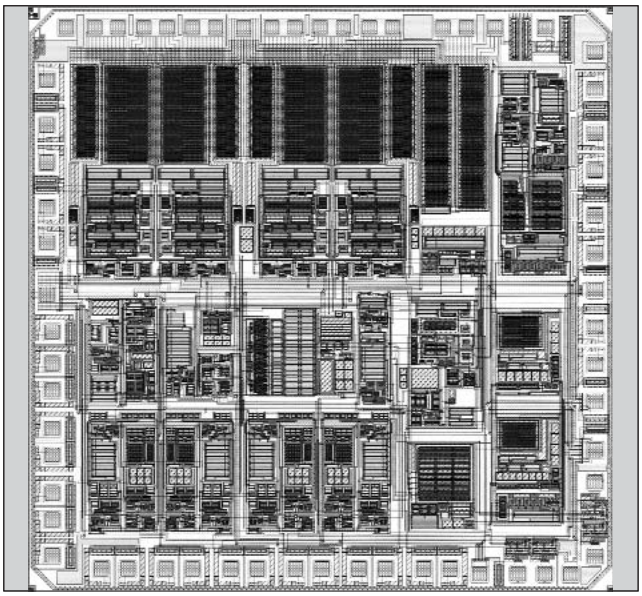


図８　完成したチップレイアウト



分の制御回路と抵抗 R3，R4 を用いて構成する。また，オプションとして低電圧起動回路を有効にしている。

3.2.2　CAD ツールの活用

CAD ツールを利用し，**表４**の電源構成となるように回路ブロック間を配線した回路図を作成する。次に，シミュレータにより全体回路図の動作を検証して配線が正しいかチェックする。また，回路図上のブロック間にはレイアウト時に配線するメタル配線幅などレイアウトに必要な情報を設定しておく。**図７**に作成した回路図を示す。なお，この回路図作成が設計時間の大半を占め１～２週間であり，従来の２か月の設計期間に比べ大幅な短縮となる。

検証が完了した全体回路図をもとに，自動メタル配線レイアウトツールを利用して回路ブロック間のメタル配線を行う。メタル配線後の最終的なチップレイアウトを**図８**に示す。レイアウトはメタル配線のみとなるので，作業は１日で完了する。

4　あとがき

以上のようなマスタスライス方式電源制御 IC の開発を積み重ね，マスタスライス方式を採用した電源制御 IC の開発手法を確立した。この手法は，いままで IC 設計・開発の効率化で取り組んできた CAD 技術がおおいに活用され，設計期間短縮だけでなく IC 自体の開発期間短縮の効果が発揮される。

今後，汎用品に近いマルチチャネル DC-DC コンバータ電源制御 IC のサンプル製作には，今回開発したマスタスライス方式の電源制御 IC を利用することにより，短期間にサンプル提供を行っていく。また，多チャネル化や機能拡張など，他機種にもマスタスライス方式を展開し，短期間に顧客の要望に迅速に応えたサンプルを提供できるように製品を開発していく予定である。

e-Front runners

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。