低オン抵抗トレンチ横型パワー MOSFET 集積化技術

澤田　睦美（さわだ　むつみ）　**岩谷　将伸**（いわや　まさのぶ）　**藤島　直人**（ふじしま　なおと）

1　まえがき

近年の電子機器の小型・軽量・薄型・低消費電力化の要求の中で，富士電機では電源 IC 分野を中心に，高耐圧パワー IC 技術の開発に取り組んできた。これまでにパワー IC に集積されるスイッチング素子として，高集積化と低オン抵抗化を実現するためにトレンチ（溝）構造を導入した横型パワー MOSFET（Trench Lateral Power Metal Oxide Semiconductor Field Effect Transistor：TLPM）を提案し，有効性を実証してきた。[(1)〜(5)]

本稿では，電源制御用パワー IC や DC-DC コンバータ用パワー IC などに要求される素子耐圧 30 V クラスの TLPM を，富士電機既存の 0.6 μm ルール Bi-C/DMOS（Bipolar-Complementary/Double Diffused MOSFET）プロセスに集積化する技術を開発したので紹介する。

2　デバイス構造と特徴

2.1　従来技術

プレーナ型のパワー素子 LDMOS（Lateral Double Diffused MOSFET）は，**図 1** に示すように，高耐圧に必要な拡張 n ドレイン領域をシリコン基板表面に形成するので，高集積化と低オン抵抗化には限界があった。

2.2　TLPM

図 2 にワンチップ上に集積した CMOS（Complementary MOSFET）と TLPM の断面図を示す。

図 2 に示すように，TLPM は，ソース領域を基板の表面に，ドレイン領域をトレンチ底面に，そして，トレンチ側壁に沿ってチャネル領域を形成している。30 V 耐圧を持たせるための n ドレイン領域は，トレンチ底面からトレンチ側壁にかけて形成してある。このようにチャネルとドレインの一部を縦に形成することで，デバイスピッチを従来の 50 %に縮小し，単位面積あたりのオン抵抗を大幅に改善することができた。

図 1　プレーナ型 LDMOS の断面構造

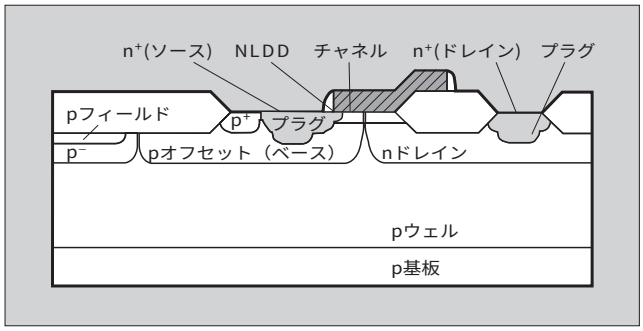
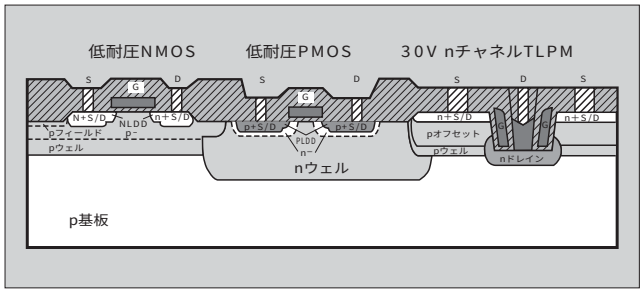


図 2　ワンチップ上に集積した CMOS と TLPM の断面図



3　プロセスフロー

プロセスフローについて説明する。最初に CMOS 部と共通に形成した p ウェル内部に深さ 2 μm のトレンチを形成する。トレンチマスク酸化膜をそのままマスクとして，トレンチ底面に n ドレイン領域を形成する〔**図 3**(a)〕。次に，p−領域を形成してから，素子分離のためのフィールド酸化膜を熱酸化で形成する。そして，しきい値電圧調整用のチャネルイオン注入を行い，TLPM 部には比較的厚いゲート酸化膜，低耐圧 CMOS 部には薄いゲート酸化膜を形成し，ゲート電極となるポリシリコンを堆積（たいせき）する。TLPM のトレンチ側壁のゲート電極は，ポリシリコンを異方性エッチングすることにより，トレンチ側壁酸化膜からポリシリコン膜厚分だけトレンチ内部に張り

澤田　睦美

低オン抵抗パワー IC のプロセス・デバイス研究開発に従事。現在，（株）富士電機総合研究所デバイス技術研究所。

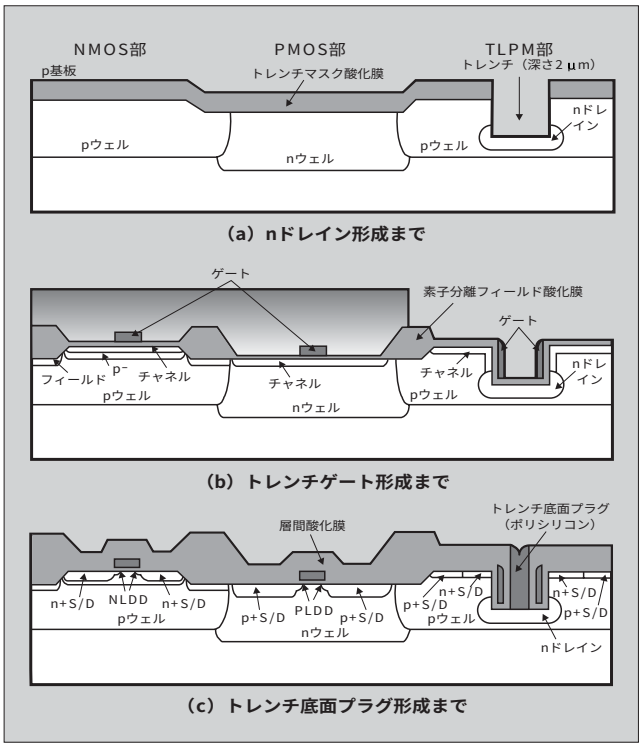
岩谷　将伸

IC・パワーデバイスのプロセス研究開発に従事。現在，（株）富士電機総合研究所デバイス技術研究所。

藤島　直人

低オン抵抗パワー IC のプロセス・デバイス研究開発に従事。現在，（株）富士電機総合研究所デバイス技術研究所グループマネージャー。電気学会会員。

図３　プロセスフロー



出した形に，セルフアラインで形成する〔**図３**(b)〕。CMOS 部と TLPM 部のソース/ドレイン領域を共通で形成してから，層間絶縁用の酸化膜を堆積し，トレンチ底面にコンタクトホールを開口する。トレンチが完全に埋まるようポリシリコンを堆積し，全面エッチバックをしてトレンチ底面プラグを形成する〔**図３**(c)〕。最後に，層間膜を堆積し，シリコン基板表面にコンタクトホールを開口し，メタル配線工程，パッシベーション工程をする。

従来の Bi-C/DMOS 工程からの追加は，トレンチ，ゲート電極，およびトレンチ底面コンタクトの３ホトリソグラフィー工程である。

4　シミュレーション結果

プロセスフロー条件とデバイス構造の最適化を行うために二次元プロセス・デバイスシミュレーション技術を活用した。**図４**(a)に，オフ状態でのポテンシャル分布を示す。n ドレインの接合からトレンチ底面の n＋ドレイン端まで空乏層が広がり，電界を緩和することで 30 V 耐圧が保持される。このときのブレークダウンポイントは，トレンチ底部のドレイン側ゲート端である。**図４**(b)に，オン状態での電流分布を示す。ドレイン電流は，トレンチ側壁に沿って，縦方向に流れている。

図５に，n ドレインドーズ量に対するブレークダウン電圧（BV_{ds}）と単位面積あたりのオン抵抗（$R_{on}A$）の依存性をそれぞれ示す。BV_{ds} と $R_{on}A$ はトレードオフの関係にあり，n ドレインドーズ量 2×10^{13} cm^{-2} のとき，BV_{ds} ＝ 30 V，$R_{on}A$ ＝ 23 mΩmm^2 の最適値を得た。

図４　シミュレーション結果

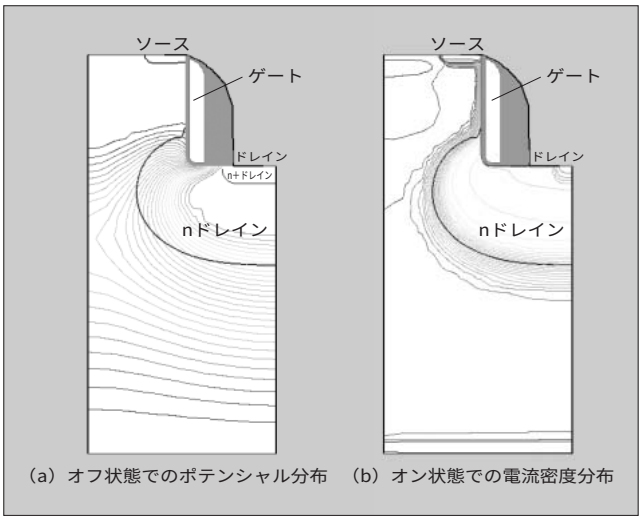
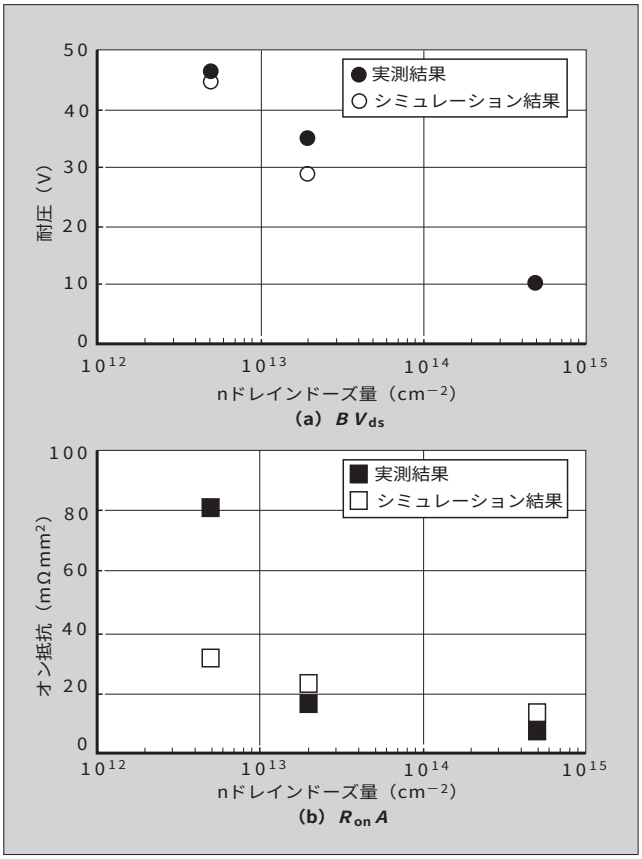


図５　耐圧とオン抵抗の n ドーズ量ドレイン依存性



5　実測結果

図６に，CMOS と一体化して作製した TLPM 部分の断面 SEM（Scanning Electron Microscope）写真を示す。

図７に試作した TLPM の電気的特性測定結果を示す。BV_{ds} は 35 V で，V_{gs}＝18 V（E_{ox}=2.9 MV/cm，T_{ox}＝62 nm）のとき，$R_{on}A$＝16 mΩmm^2 が得られた。これは，耐圧 30 V クラスで現在までに報告されている論文の中で最も低い $R_{on}A$ である。

図６　TLPM の断面 SEM 写真

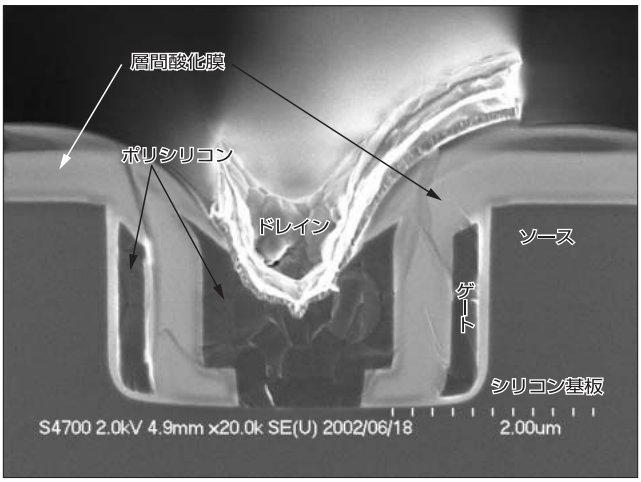
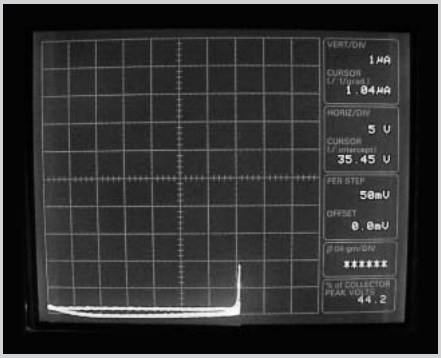
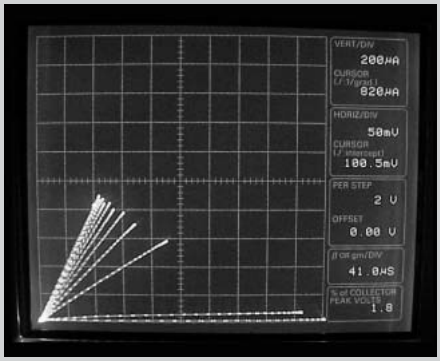


図７　TLPM の電気的特性測定結果

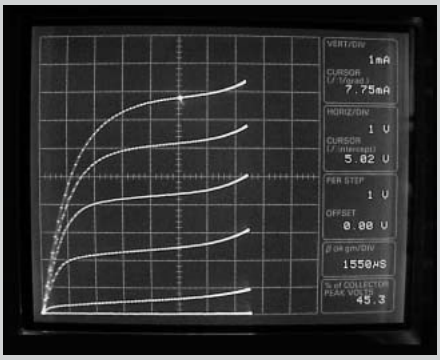


（a）オフ状態

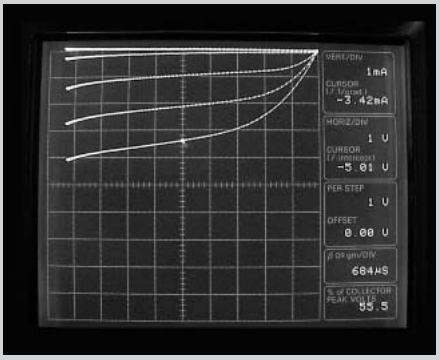


（b）オン状態

図８　低耐圧 CMOS の電気的特性



（a）NMOS（L＝0.6 μm）



（b）PMOS（L＝0.6 μm）

図９　耐圧とオン抵抗のトレンド

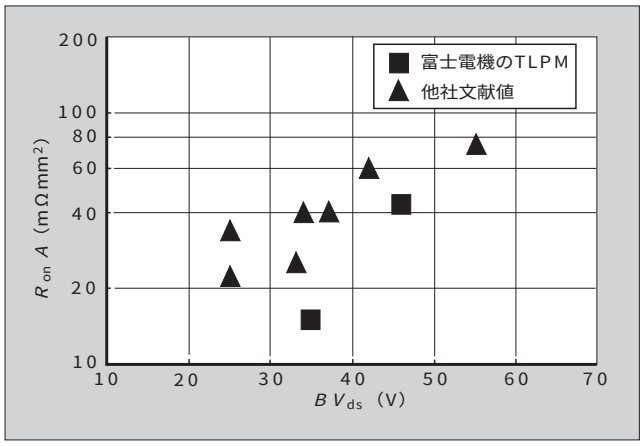


図５に，n ドレインドーズ量に対する実測での BV_{ds} と $R_{on}A$ の依存性をシミュレーションと比較して示す。シミュレーション結果は，実測結果とほぼ一致している。n ドレインドーズ量 5×10^{12} cm^{-2} でのシミュレーションの $R_{on}A$ が大きい理由として，二次元プロセスシミュレーションで，n ドレイン領域のトレンチ底面コーナー部での酸化・拡散モデルが不十分であることが考えられる。

図８に低耐圧 CMOS の電気的特性を示す。これら CMOS デバイスにより，ディジタル・アナログ混在制御回路の集積化が可能となる。

⑥　あとがき

低オン抵抗トレンチ横型パワー MOSFET の既存 0.6 μm ルール Bi-C/DMOS プロセス集積化技術について紹介した。**図９**に示す，耐圧とオン抵抗のトレンド[(6)～(10)]から分かるように，TLPM は，耐圧 30 V クラスで現在までに報告されている論文の中で最も低い $R_{on}A$ を示している。

今後は，この技術を製品に適用していくとともに，p チャネル TLPM の開発，高耐圧化を進め，電源用パワー IC や PDP（Plasma Display Panel）ドライバ IC に適用していく所存である。

参考文献

(1) Fujishima, N. ; Salama, C.A.T. A trench lateral power MOSFET using self-aligned trench bottom contact holes. IEDM Technical Digest. 1997, p.359-362.

(2) Sugi, A. et al. A 30 V Class Extremely Low On-resistance Meshed Trench Lateral Power MOSFET. ISPSD Proceedings. 2002, p.297-300.

(3) Fujishima, N. et al. A Low On-resistance Trench Lateral Power MOSFET in a 0.6 μm Smart Power Technology for 20-30 V Applications. IEDM Technical Digest. 2002, p.455-458.

(4) 杉祥夫ほか. 低オン抵抗トレンチ横型パワー MOS デバイス技術. 富士時報. vol.74, no.10, 2001, p.588-592.

(5) Fujishima, N. et al. US patent applied for. 2001.

(6) Parthasarathy, V. et al. A 33 V, 0.25 mΩ-cm^2 n-channel LDMOS in a 0.65 μm smart power technology for 20 V-30 V applications. ISPSD Proceedings. 1998, p.61-64.

(7) Tsai, C. Y. et al. Optimized 25 V, 0.34 mΩ-cm^2 Very-Thin-RESURF (VTR), Drain Extended IGFETs in a Compressed BiCMOS Process. IEDM Technical Digest. 1996, p.469-472.

(8) Contiero, C. et al. LDMOS IMPLEMENTATION BY LARGE TILT IMPLANT IN 0.6 μm BCD5 PROCESS, FLASH MEMORY COMPATIBLE. ISPSD Proceedings. 1996, p.75-78.

(9) Parthasarathy, V. et al. A 0.35 μm CMOS based smart power technology for 7 V-50 V applications. ISPSD Proceedings. 2000, p.317-320.

e-Front runners

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。