半導体デバイスの微視解析技術

大井　明彦（おおい　あきひこ）

1　まえがき

近年の半導体デバイスの高性能化・多機能化に伴い，デバイスの製造プロセスでは高精度で高信頼性の制御が要求されている。また，デバイス縮小化のための微細化技術も急速に進展している。このようなデバイス・プロセス技術の革新に伴い，評価解析技術もまたよりミクロで高精度なものが求められている。中でも，ウェーハあるいはチップからデバイスの特性を支配し不良原因となる微視的領域を特定し，そのような微視的領域における局所物性を評価解析する技術の確立は新しいデバイスやプロセスの開発には必要不可欠である。

本稿では，このような評価解析技術として最近開発を行っている光誘起電流（OBIC）法を用いたゲート故障解析法と走査型容量顕微鏡（SCM）による拡散構造評価法について測定原理を含めて紹介する。OBIC 法については，数 mm サイズのトレンチ型 MOS（Metal Oxide Semiconductor）デバイスからサブミクロンのゲート不良箇所を見いだし解析を行った結果を報告する。SCM は走査型プローブ顕微鏡の一種であり，ナノスケール領域の微小静電容量を測定し二次元キャリヤ濃度を評価する新しい道具として活発に研究開発されている[(1)]。ここでは，次世代のパワー IC の中核デバイスと期待されているトレンチ横型パワー MOSFET（Trench Lateral Power MOSFET：TLPM）[(2)(3)]の断面の拡散構造について評価解析を行った。

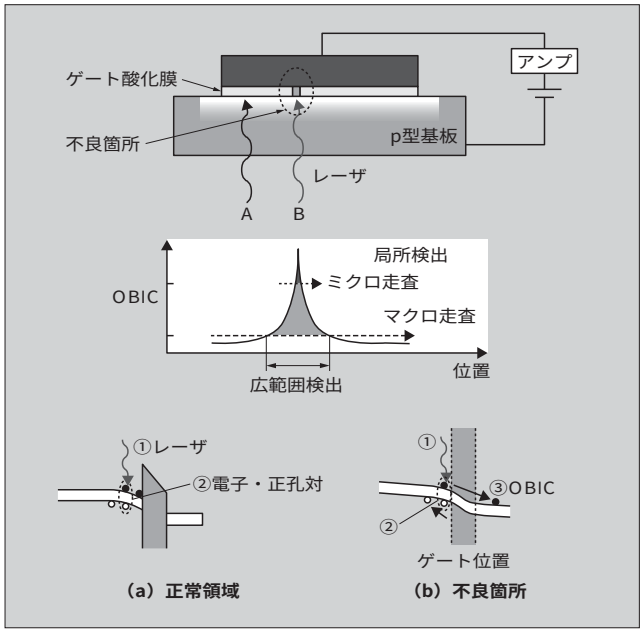
2　ゲート故障解析

半導体にバンドギャップ以上のエネルギーを持つ光を照射すると電子・正孔対が形成される。試料内部に pn 接合などの局所電界が存在するとこれらキャリヤはドリフトするので，外部へと電流を取り出すことができる。この電流を OBIC と呼ぶ。OBIC を用いた素子解析としては，pn 接合不良，配線不良，結晶欠陥，ゲート故障箇所の特定などが挙げられる[(4)]。OBIC 法の最大の特徴はミリメートル（mm）のマクロなスケールから，マイクロメートル（μm）以下のミクロなスケールの不良箇所を特定できることである。以下で，OBIC 法によるゲート故障解析方法とその結果について説明する。

OBIC 法によるゲート故障箇所特定の原理を**図 1** の p 型 MOS キャパシタを用いて説明する。MOS キャパシタのゲート電極に正電圧を印加すると，ゲート酸化膜直下の基板部は空乏化し反転層が形成される。波長 1,083 nm のレーザ光をデバイスの裏面から入射すると，シリコン基板内に電子と正孔が生成される。空乏層領域で生成された電子はゲート酸化膜界面へ，ホールは基板内部へとドリフトする。ゲート酸化膜が正常であれば，電子はゲート酸化膜の高いポテンシャル障壁によってせき止められる。一方，ゲート酸化膜に異常がある場合，例えばゲート酸化膜が破壊されている場合など，電子は基板からゲート電極へと流れ込み，基板とゲート電極間に電流が流れる。この様子を**図 1** のバンドダイヤグラムに示す。

通常，素子は数 mm から十数 mm までのサイズであり，

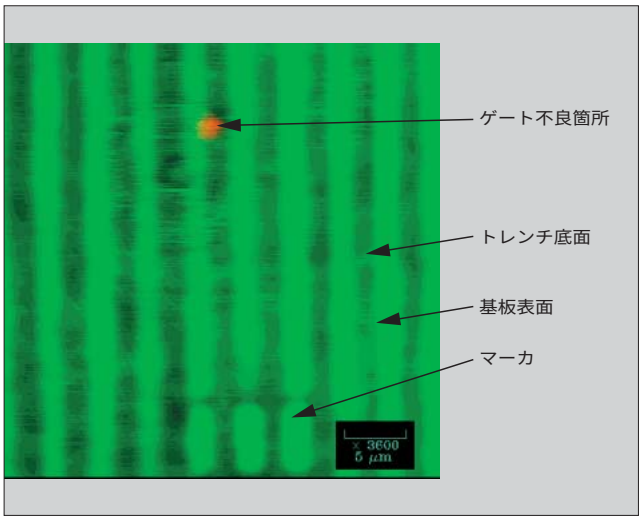
図 1　OBIC 法によるゲート故障箇所特定の原理



大井　明彦

パワー半導体デバイスのプロセス・評価解析の研究開発に従事。現在，(株)富士電機総合研究所デバイス技術研究所。工学博士。応用物理学会会員。

図２　トレンチ MOS の裏面 OBIC 像

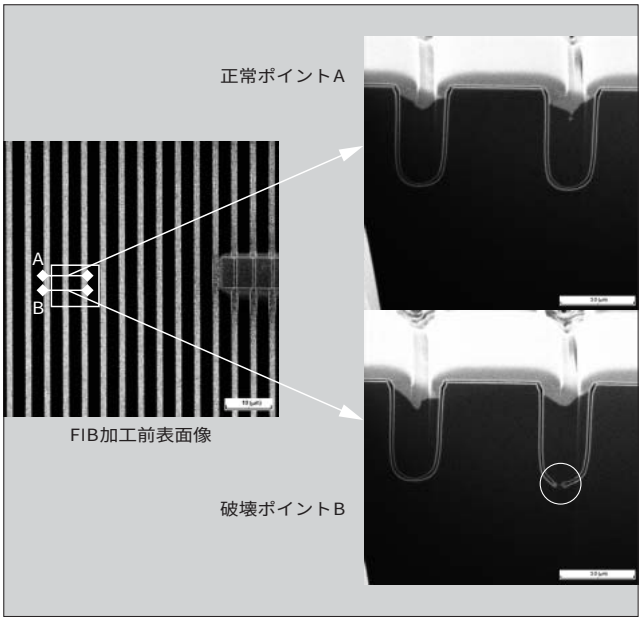


そこから 1 μm 以下の不良箇所を特定するのは難しい。たとえるならば，山手線内にあるすべての建物から犬小屋１軒を探し出すようなものである。実際に OBIC 法を用いた特定方法は以下のように行う。最初にレーザ光の反射像（光学像）を最大視野（5 mm 角程度）で観察する。次に，ゲート電極に電圧を印加し MOS ゲートに電流を流す。典型的な電流値は数十 μA である。そして，OBIC アンプのゲインと検出電流の下限（オフセット電流）を調整し，素子の一部に OBIC が流れるところを観測する。本装置の電流アンプの検出電流は 40 pA と高感度であるため不良箇所近傍の広い範囲の OBIC を検出することができる。さらに，アンプのゲインとオフセットを調整して，OBIC の検出領域を絞り込む。この様子を**図１**に示す。次に，対物レンズの倍率を高くし，再びアンプを調整して OBIC の検出領域を小さくしていく。これを繰り返すことで約 1 μm 以下の不良箇所を特定する。

トレンチ構造の MOS キャパシタを例にゲートの故障解析について紹介する。一般に，トレンチ構造上に作製された MOS のゲート酸化膜はプレーナ型のものと比較して，酸化膜の破壊電界強度が低く，破壊耐圧分布はブロードである。この要因としては，トレンチ底部や終端の R 部の曲率などの形状やその分布，エッチングプロセス時に発生する微小欠陥やシリコン面のマイクロラフネスなどが挙げられる。トレンチ内のどの部分で破壊されたかを知ることはゲート破壊原因を明らかにし，トレンチ MOS 形成プロセスの改善のためには重要である。

最初に，レーザ顕微鏡を用いてデバイス全体の裏面光学像をとる。ここで，注意しなければならないのは裏面が鏡面であることと基板抵抗が低い場合は薄片化することである。今回の素子はサイズ 6.0 mm × 4.5 mm で，厚さを 120 μm に裏面研磨した。良好な裏面光学像が得られた後に，OBIC 法を用いて 1 μm 程度の不良箇所を特定する。**図２**に，裏面光学像と OBIC 像の合成像を示す。次に，集束イオン顕微鏡（FIB）を用いて破壊ポイントの断面観察を行うために，OBIC で特定した不良箇所をマーキングする。マーキングしたサンプルを FIB 装置に導入し，OBIC で特定した不良箇所近傍を断面加工しその断面観察を行う。そして，不良箇所が出現するまでスライス加工と観察を繰り返す。その一例を**図３**に示す。このサンプルでは，トレンチ底部に 0.1 ～ 0.2 μm サイズの破壊箇所が見いだされた。このような微小サイズの破壊の原因としてはトレンチエッチング時に生成された微小欠陥がゲート酸化膜に取り込まれ，欠陥トラップを形成しゲート劣化をもたらしたと考えられる。現在，以上のような方法を用いてトレンチ MOS 形成プロセスの評価を行っている。

図３　FIB によるトレンチ MOS の加工前表面像ならびに正常領域と不良箇所の断面観察像

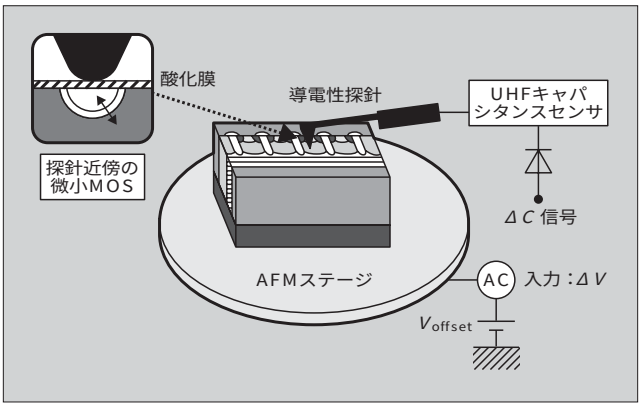


3　デバイス拡散構造評価

半導体デバイスの作製においてキャリヤ制御するための不純物ドーピングとそれによる pn 接合の形成がプロセスの根幹をなしている。ドーパントあるいはキャリヤ濃度を測定する方法は二次イオン質量分析法（SIMS）と拡（ひろ）がり抵抗測定（SR）が一般的である。しかしながら，これらの測定方法は一次元的な深さ分布を測定する手法であり，微視的スケールの二次元的な分布に関しては無力であった。数年前に走査型プローブ顕微鏡（SPM）を用いた高空間分解能の二次元的なキャリヤ分布を評価する方法が提案され，現在活発に研究開発されている。SPM によるキャリヤ濃度の評価法はケルビンフォース顕微鏡（KFM[4]），走査型容量顕微鏡（SCM[1]），走査型拡がり抵抗顕微鏡（SSRM[5]）がある。ここでは，SCM の原理と実デバイスを評価した事例について述べる。

図４に SCM 装置の構成を示す。装置の基本は原子間力顕微鏡（AFM）である。AFM は先端が非常に鋭い（曲率半径が数十 nm）探針で試料表面を走査し，表面の凹凸を観察する。空間分解能は原子レベルで，原子ステップや

図４　SCM 装置の構成



原子像を得ることも可能である。極薄酸化膜が形成されている試料表面に導電性の探針を接触させると，探針と試料間には**図４**で示したような微小な MOS キャパシタが形成される。SCM はこの微小キャパシタに交流電圧 ΔV を印加し，探針に接続されている UHF キャパシタンスセンサで静電容量変化 ΔC を検出する。したがって，SCM は導電性探針で表面をコンタクトモードで走査し，表面トポグラフィー像と dC/dV の SCM 像を同時に観察する。

微小 MOS キャパシタの静電容量変化は一次元モデルで近似すると，

$$\Delta C = C_{ox}^2/(C_{ox} + C_{dep}) \quad \cdots\cdots (1)$$

と表される。ここで，C_{ox} は酸化膜静電容量，C_{dep} は空乏層容量である。反転領域での空乏層容量はドーパント濃度 N_D と以下の関係がある。

$$C_{dep} = \sqrt{0.5\, q\varepsilon N_D / (V_{FB} - V - k_B T/q)} \quad \cdots\cdots (2)$$

ここで，q は素電荷，ε はシリコンの誘電率，V_{FB} はフラットバンド電位，V は外部電圧，$k_B T/q$ は温度補正項である。

以上から，ドーパント濃度は，

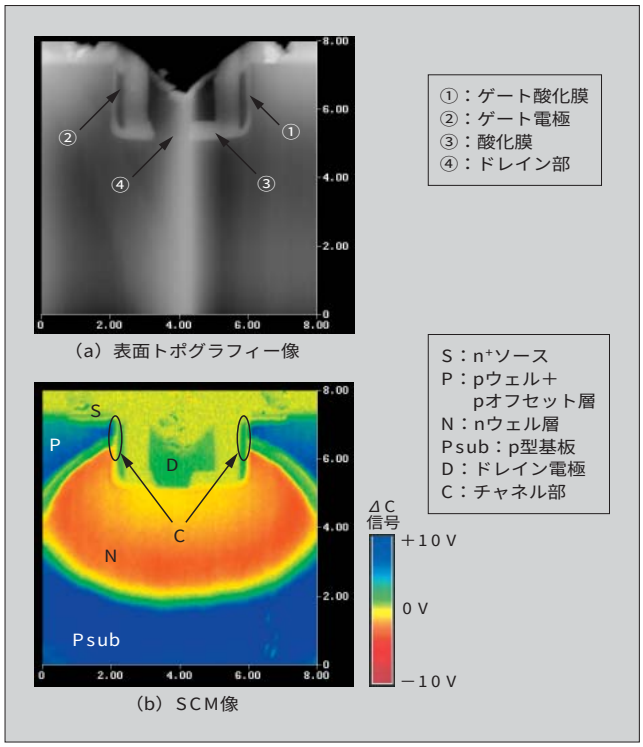
$$N_D = \left[\frac{C_{ox}(C_{ox} - \Delta C)}{\Delta C}\right]^2 \frac{2(V_{FB} - V - k_B T/q)}{\varepsilon q} \quad \cdots\cdots (3)$$

と表され，ΔC と関係づけられる。SCM の $\Delta C/\Delta V$ 信号から，ドーパント濃度の定量化が可能となる。現状の不純物濃度の精度はオーダーレベルである。

空間分解能に関しては，不純物濃度に依存する。ドーパントの濃度が $10^{15}\,cm^{-3}$ の場合，1 不純物原子の占有体積は $100\,nm^3$ である。したがって，SCM での空間分解能の限界は SN 比を考慮すれば 200 nm 程度である。他方，高濃度の $10^{21}\,cm^{-3}$ の場合の 1 原子占有体積は $1\,nm^3$ であるが，空間分解能は探針形状に依存し，数十 nm 程度と考えられる。

次に，SCM を用いた実デバイスの断面の拡散構造を評価した例を紹介する。サンプルは本特集号に掲載されている n チャネルのトレンチ横型パワー MOSFET（TLPM）の実験サンプルである。最初に，試料を切り出し，断面を研磨する。研磨後の表面は数 nm 程度以下の平たん度と欠陥のないことが必要である。今回，最終仕上がりの研磨は

図５　トレンチ横型パワー MOSFET の表面トポグラフィー像と SCM 像



コロイダルシリカを用いて行った。表面に安定した極薄酸化膜を形成するため，研磨後の試料は熱処理を行った。以上のように作製した試料断面の表面トポグラフィー像と dC/dV の SCM 像を**図５**に示す。

MOS キャパシタの高周波の C-V 特性は p 型基板で単調減少，n 型基板で単調増加するので，dC/dV 信号は p と n で位相が反転し符号が逆転する。この現象を利用して，SCM では p 型と n 型の判別を行っている。**図５**では青系色が＋符号で p 型，赤系色が－符号で n 型を表している。黄色が出力信号なし，すなわちキャリヤがない領域を表している。キャリヤが存在しないのは酸化膜などの絶縁体領域と pn 接合や MOS の空乏層領域である。n 型領域としてソース部（S）と n ドレイン領域（D）が，p 型領域として p ウェルとオフセット（P）と基板（Psub）が観察された。また，各接合の空乏層領域も観察され，チャネル長は 0.9 μm であった。ここで注意しなければならないのは，前述の式(1)，(2)から，ドーパント濃度 N_D が増加すると ΔC の絶対値が減少することである。すなわち，不純物濃度が高くなると信号強度はゼロに近づく。

4　あとがき

以上，半導体デバイスの評価解析技術の最近の進展を，マクロからミクロ評価という観点で OBIC/FIB によるゲート不良箇所の位置特定解析技術について，ミクロ領域の物性評価を可能にした SCM によるデバイスの拡散構造解析について紹介した。

今後とも，デバイスやプロセス技術の発展は著しいと予

想される。それに伴い評価解析技術も革新し続ける必要がある。そして，これまで測定できなかったものを観測することで，新たなデバイスやプロセスを開発する礎を築きたい。

参考文献

(1) 中村雅一．走査型キャパシタンス顕微鏡（SCM）によるナノスケール電気特性評価．第5回結晶工学セミナー．応用物理学会結晶工学分科会．1999，p.41–52.

(2) 杉祥夫ほか．低オン抵抗トレンチ横型パワーMOSデバイス技術．富士時報．vol.74，no.10，2001，p.588–592.

(3) Fujishima, N. et. al. A Low On-resistance Trench Lateral Power MOSFET in a 0.6 μm Smart Power Technology for 20–30 V Applications. IEDM Tech. Digest. 2002, p.455–458.

(4) Schroder, D. K. Semiconductor Material and Device Characterization. 2nd ed. New York. John Wiley & Sons. 1998，p.455.

(5) Henning, A. K. et. al. Two dimensional surface dopant profiling in Silicon using scanning Kelvin probe microscopy. J. Appl. Phys. vol.77，no.5，1995，p.1888–1896.

(6) Hantscel, T. et al. Highly Conductive diamond probes for scanning spreading resistance microscopy. Appl. Phys. Lett. vol.76，no.12，2000，p.1603–1605.

解　説　横型IGBTと縦型IGBT

図1に横型IGBT（Insulated Gate Bipolar Transistor），**図2**に縦型IGBTの断面構造を示す。両デバイスともエミッタ，ゲート，コレクタの3領域から構成され，基本的な動作は同じである。大きな違いは電流経路にある。横型IGBTでは三つの電極がすべて半導体基板の表面に形成され，電流はコレクタ電極（C）からエミッタ電極（E）に向かって基板内部を横方向に流れる。一方，縦型IGBTではエミッタ電極とゲート電極（G）が基板表面に形成され，コレクタ電極が裏面に形成される。そして，電流は基板の裏面から表面に向かって基板の縦方向に流れる。横型IGBTは同一基板上に他のデバイスと搭載することが可能であり，パワーICの出力用デバイスとして適用される。縦型IGBTは横型IGBTに比べて高耐圧・大電流化が容易であり，個別素子として適用される。

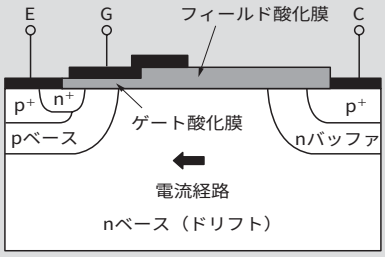


図1　横型IGBTの断面構造

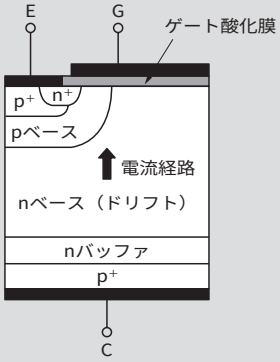


図2　縦型IGBTの断面構造

e-Front runners

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。