富士パワーMOSFET

PowerMOSFET

Application Note

’14-6
富士電機株式会社

ご 注 意

1.この資料の内容（製品の仕様、特性、データ、材料、構造など）は２０１４年６月現在のものです。この内容は製品の仕様変更のため、または他の理由により事前の予告なく変更されることがあります。この資料に記載されている製品を使用される場合には、その製品の最新版の仕様書を入手して、データを確認してください。

2.本資料に記載してある応用例は、富士電機製品を使用した代表的な応用例を説明するものであり、本資料によって工業所有権、その他権利の実施に対する保証または実施権の許諾を行うものではありません。

3.富士電機（株）は絶えず製品の品質と信頼性の向上に努めています。しかし、半導体製品はある確率で故障する可能性があります。
富士電機製半導体製品の故障が、結果として人身事故、火災等による財産に対する損害や、社会的な損害を起こさぬように冗長設計、延焼防止設計、誤動作防止設計など安全確保のための手段を講じてください。

4.本資料に記載している製品は、普通の信頼度が要求される下記のような電子機器や電気機器に使用されることを意図して造られています。
・コンピュータ　・OA 機器　・通信機器（端末）　・計測機器　・工作機械
・オーディオビジュアル機器　・家庭用電気製品　・パーソナル機器　・産業用ロボット
など

5.本資料に記載の製品を、下記のような特に高い信頼度を持つ必要がある機器に使用をご予定のお客様は、事前に富士電機（株）へ必ず連絡の上、了解を得てください。この資料の製品をこれらの機器に使用するには、そこに組み込まれた富士電機製半導体製品が故障しても、機器が誤動作しないように、バックアップ・システムなど、安全維持のための適切な手段を講じることが必要です。
・輸送機器（車載、舶用など）　・幹線用通信機器　・交通信号機器
・ガス漏れ検知及び遮断機　・防災／防犯装置　・安全確保のための各種装置

6.極めて高い信頼性を要求される下記のような機器には、本資料に記載の製品を使用しないでください。
・宇宙機器　・航空機搭載用機器　・原子力制御機器　・海底中継機器　・医療機器

7.本資料の一部または全部の転載複製については、文書による当社の承諾が必要です。

8.本資料の内容にご不明の点がありましたら、製品を使用する前に富士電機（株）または、その販売店へ質問してください。本注意書きの指示に従わないために生じたいかなる損害も富士電機（株）とその販売店は責任を負うものではありません。

目次

		ページ
1.	素子の構造と特徴 ・・・・・・・・・・・・・・・・・	４
2.	用語と特性 ・・・・・・・・・・・・・・・・・	７
3.	回路設計とデバイス特性 ・・・・・・・・・・・・・・・・・	１１
4.	回路設計と破壊メカニズム ・・・・・・・・・・・・・・・・・	２０
5.	熱設計 ・・・・・・・・・・・・・・・・・	２６
7.	実装・取り扱い上の注意事項 ・・・・・・・・・・・・・・・・・	３２
6.	スイッチング電源への応用 ・・・・・・・・・・・・・・・・・	３７

注）

・本資料の内容は、改良などのために予告無く変更することがあります。
・本資料に記載されている応用例や部品定数は、設計の補助を目的とするものであり、部品バラツキや使用条件を充分に考慮したものではありません。ご使用にあたっては、これら部品バラツキや使用条件等を考慮した設計をお願いします

１．素子の構造と特徴

１－１．素子の構造と特徴

パワーMOSFET は、その名前からわかるように、MOS 構造（金属-酸化膜-半導体）となっており、電界効果により動作する半導体素子です。その構造から、縦型と横型がありますが、縦型がチップ全体に電流を流すことができ、単位チップ面積あたりの抵抗（MOSFET で最も重要な特性であるオン抵抗）を小さくできる特徴があります。従来のバイポーラトランジスタと比較すると、

1)電圧制御素子で、駆動電力が少ない
2)ユニポーラ素子のため、高速スイッチングが可能
3)電流の温度係数が負のため、２次降伏現象がなく、並列動作が容易

等の特徴があります。

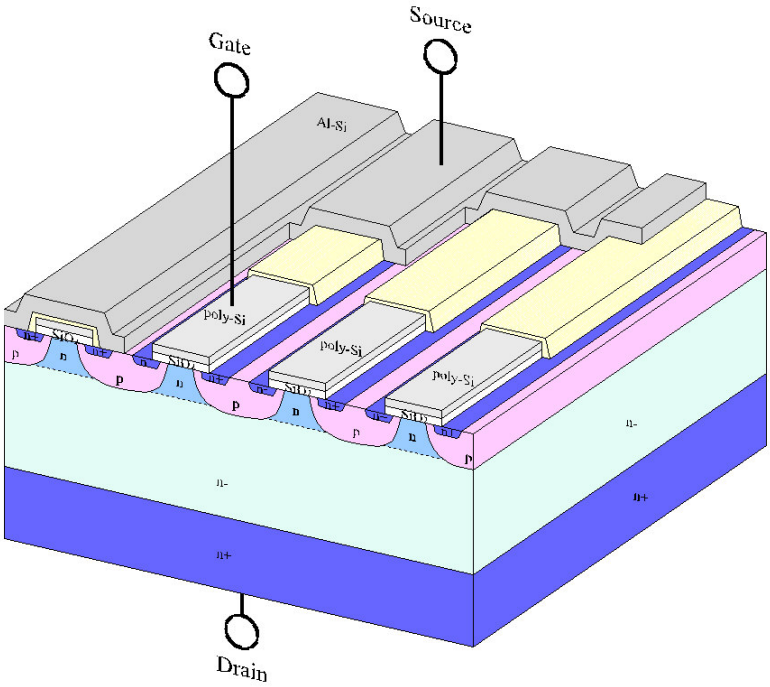


図１－１．パワーMOSFET の基本構造

当社 SuperFAP シリーズのチップ断面構造を従来品と比較して示します。SuperFAP シリーズの特徴は、

1)ターンオフ損失の低減
2)ゲートチャージの低減
3)低 RonA

があります。SuperFAP シリーズを使用することにより、電源の損失低減、効率アップ、小型化に寄与できる特性を有しております。

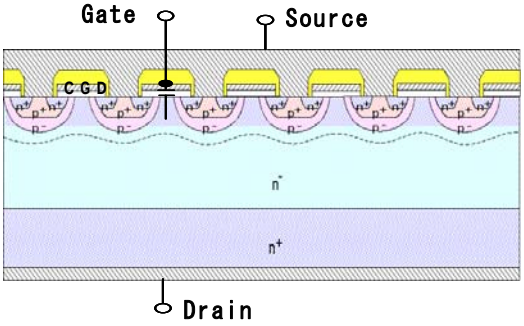


図１－２. SuperFAP シリーズ断面図

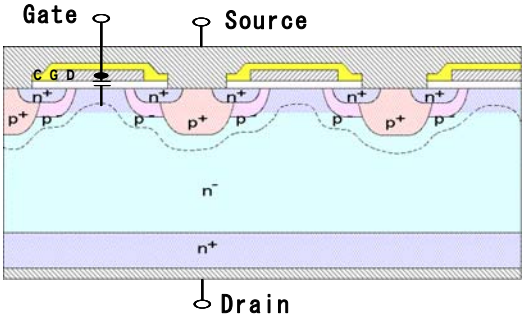


図１－３．従来品断面図追加

１－２．富士電機のパワーMOSFET

富士電機は 1982 年よりドイツ連邦共和国のシーメンス社よりパワーMOSFET エレメントを輸入して国内でアッセンブリを行い、市場に供給してきました。又 1986 年シーメンス社との技術提携によりウェハープロセスからアッセブリまでの一貫生産体制を確立し量産開始いたしました。その後高耐圧系を中心に低オン抵抗化、超高速スイッチング及び高アバランシェ耐量を達成すべく特性改善を進め、スイッチング電源分野を中心に製品を供給しています。図１－４にこれまで開発した当社パワーMOSFET の系列を示します。

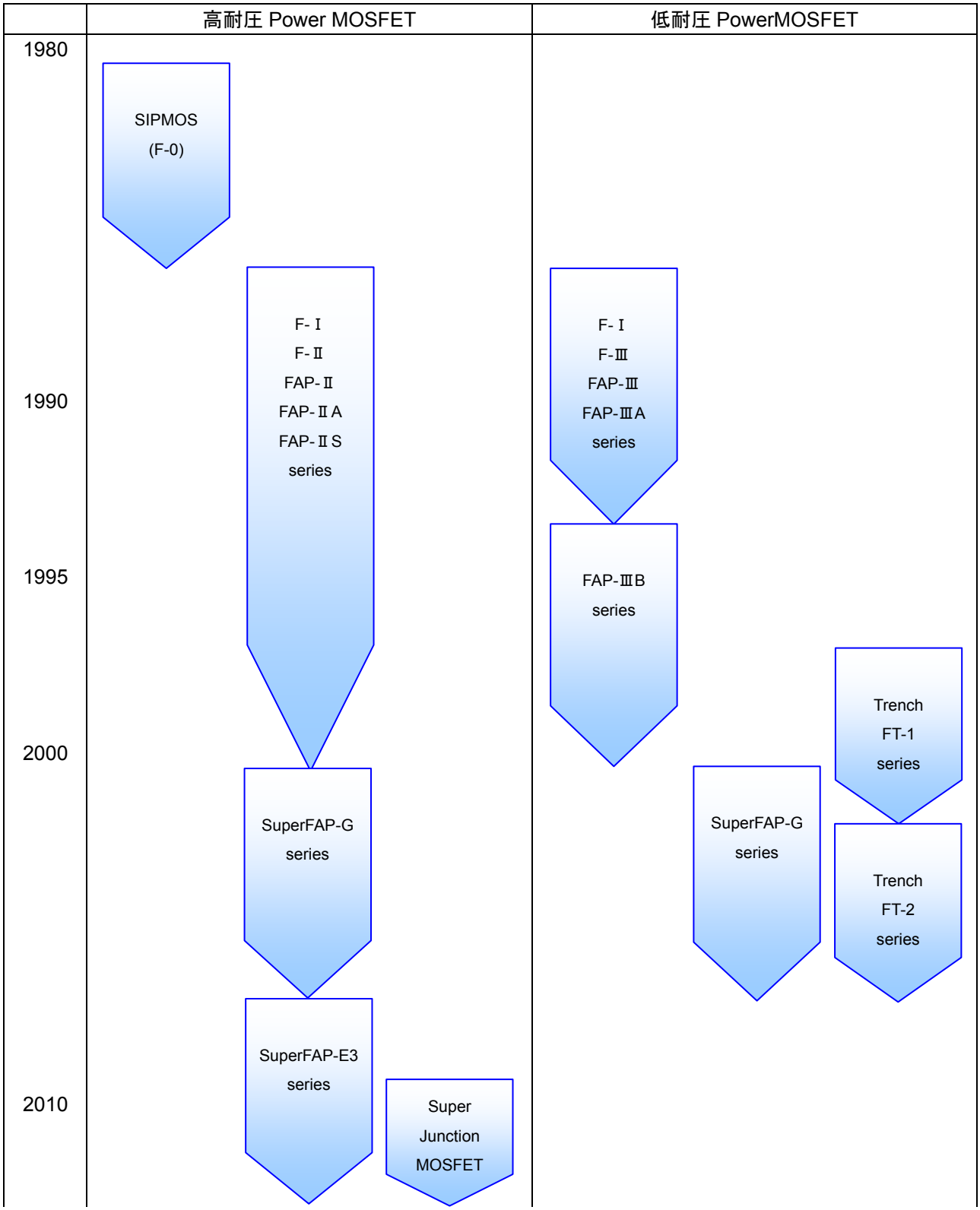


図１－４．富士パワーMOSFET 系列表

１－３．富士パワーMOSFET の名称体系

ＦＭ	Ｖ	０６	Ｎ	６０	ＥＳ
①	②	③	④	⑤	⑥

①会社名・機種群
Code of Device type
Ｆ：Fuji Electric
Ｍ：MOSFET

②パッケージコード
Code of Package Outline

Code	Package
A	TO-220F
B	D2-Pack
C	T-Pack(S)
D	K-Pack(S)
H	TO-3P(Q)
I	T-Pack(L)
K	TO-3PL
L	TFP
P	TO-220AB
R	TO-3PF
U	K-Pack(L)
V	TO-220F(SLS)
W	TO-247

③定格電流
Current rating range
ドレイン電流ID[A]

④極性表示
Code of Polarity
Ｎ：N-Channnel MOSFET
Ｐ：P-Channnel MOSFET

⑤定格耐圧
Drain-Source Voltage rating range
D-S間耐圧VDSS[V]の1/10

⑥シリーズ分類コード
Code of Series category

Code	Series
空欄	従来シリーズ品
G	SuperFAP-G
GF	SuperFAP-G (FRED)
T2	Trench MOSFET (2G)
E	SuperFAP-E3
ES	SuperFAP-E3S
S1	SJ-MOSFET (1G)

２ＳＫ	３６８６	－０１
①	②	③

①基本型式
Code of Device type
２ＳＫ：N-Channnel MOSFET
２ＳＪ：P-Channnel MOSFET

②JEITA登録番号
JEITA registration number
追い番号

③アバランシェ保証
Avalanche Proof
－０１：アバランシェ保証品

２．用語と特性

２－１．用語説明（絶対最大定格、電気的特性）

２－１－１．絶対最大定格

（参考例）FMV06N60ES の仕様書より抜粋

5.Absolute Maximum Ratings at Tc=25°C (unless otherwise specified)

Description	Symbol	Characteristics	Unit	Remarks
Drain-Source Voltage	V_{DS}	600	V	
	V_{DSX}	600	V	V_{GS}=-30V
Continuous Drain Current	I_D	± 6	A	
Pulsed Drain Current	I_{DP}	± 24	A	
Gate-Source Voltage	V_{GS}	± 30	V	
Repetitive and Non-Repetitive Maximum Avalanche Current	I_{AR}	6	A	Note *1
Non-Repetitive Maximum Avalanche Energy	E_{AS}	313.7	mJ	Note *2
Repetitive Maximum Avalanche Energy	E_{AR}	3.7	mJ	Note *3
Peak Diode Recovery dV/dt	dV/dt	3.8	kV/μs	Note *4
Peak Diode Recovery -di/dt	-di/dt	100	A/μs	Note *5
Maximum Power Dissipation	P_D	2.16	W	Ta=25℃
		37		Tc=25℃
Operating and Storage	T_{ch}	150	℃	
Temperature range	T_{stg}	-55 to +150	℃	
Isolation Voltage	V_{ISO}	2	kVrms	t=60sec,f=60Hz

Note *1 : Tch≦150℃, See Fig.1 and Fig.2
Note *2 : Stating Tch=25℃, I_{AS}=2.4A, L=99.8mH, Vcc=60V, R_G=50Ω, See Fig.1 and Fig.2
E_{AS} limited by maximum channel temperature and avalanche current.
See to 'Avalanche Energy' graph of page 9/15.
Note *3 : Repetitive rating : Pulse width limited by maximum channel temperature.
See to the 'Transient Themal impeadance' graph of page 9/15.
Note *4 : I_F≦-I_D, -di/dt=100A/μs, Vcc≦BV_{DSS}, Tch≦150℃.
Note *5 : I_F≦-I_D, dv/dt=3.8kV/μs, Vcc≦BV_{DSS}, Tch≦150℃.

用語	記号	定義 及び 説明
ドレインーソース間電圧	V_{DSS}	ゲートーソース間を短絡した状態で、ドレインーソース間に許容される電圧の最大値。
ドレイン電流	I_D	ドレイン端子に許容される直流電流の最大値。最大許容損失と最大オン抵抗（Tch=150℃）から決定。（寄生ダイオードの順電流定格も含む）
パルスドレイン電流	$I_{D\ pulse}$	特性曲線「安全動作領域」に指定されたパルス幅およびデューティ比において、パルス動作時に許容されるドレイン電流の最大ピーク値。定格ドレイン電流の４倍で規定。
ゲートーソース間電圧	V_{GS}	ゲートーソース間で許容される電圧の最大値。ゲート酸化膜の最大許容電圧値。
アバランシェ耐量	I_{AR}	アバランシェ降伏時の最大許容電流。アバランシェ寄生ダイオードの順電流値。
最大許容アバランシェエネルギー 非繰り返し 繰り返し	 E_{AS} E_{AR}	アバランシェ降伏時の最大許容電力。
最大許容リカバリー電圧変化率	dv/dt	寄生ダイオードの逆回復動作中における最大許容ドレイン-ソース間電圧変化率。
最大許容リカバリー電流変化率	-di/dt	寄生ダイオードの逆回復動作中における最大許容ドレイン-ソース間電流変化率
最大許容損失 自立使用状態（Ta=25℃） 無限大放熱状態（Tc=25℃）	P_D	MOSFET に許容される損失の最大値。
チャネル温度	T_{ch}	MOSFET の動作が許容されるチップ温度の範囲。
保存温度	T_{stg}	MOSFET に電気的負荷をかけずに貯蔵または輸送できる温度範囲。
絶縁耐圧	V_{ISO}	フルモールドパッケージのみ適用

※いくつかの絶対最大定格の項目は、ケース温度などの条件によりディレーティングを行う必要があります。

２－１－２．電気的特性（静特性）

（参考例）FMV06N60ES の仕様書より抜粋

6.Electrical Characteristics at Tc=25°C (unless otherwise specified)

Static Ratings

Description	Symbol	Conditions		min.	typ.	max.	Unit
Drain-Source Breakdown Voltage	BV_{DSS}	I_D=250 μA V_{GS}=0V		600	-	-	V
Gate Threshold Voltage	$V_{GS}(th)$	I_D=250 μA V_{DS}=V_{GS}		3.2	3.7	4.2	V
Zero Gate Voltage Drain Current	I_{DSS}	V_{DS}=600V V_{GS}=0V	T_{ch}=25℃	-	-	25	μA
		V_{DS}=480V V_{GS}=0V	T_{ch}=125℃	-	-	250	
Gate-Source Leakage Current	I_{GSS}	V_{GS}= ±30V V_{DS}=0V		-	10	100	nA
Drain-Source On-State Resistance	$R_{DS}(on)$	I_D=3A V_{GS}=10V		-	1.03	1.20	Ω

用語	記号	定義 及び 説明
ドレインーソース間降伏電圧	BV_{DSS}	ドレインーソース間降伏電圧（＝寄生ダイオードの逆電圧）。ゲートーソース間を短絡した状態で、指定のドレイン電流を与えて測定したドレインーソース間の電圧値。
ゲートしきい値電圧	$V_{GS(th)}$	ドレイン電流が流れ始めることのできるゲートーソース間電圧値。指定のドレイン電流、指定のドレインーソース間電圧を与えて測定したゲートーソース間電圧値。
ドレイン遮断電流	I_{DSS}	ゲート電圧 0V 時のドレインーソース間電流（＝ドレイン漏れ電流）。 ゲートーソース間を短絡した状態で、指定のドレインーソース間電圧を与えて測定したドレイン電流値。
ゲート漏れ電流	I_{GSS}	指定のゲートーソース間電圧を与え、ドレインーソース間を短絡した状態で測定したゲート漏れ電流値。
オン抵抗	$R_{DS(on)}$	指定のゲートーソース電圧および指定のドレイン電流を与えて測定したドレインーソース間の抵抗値。

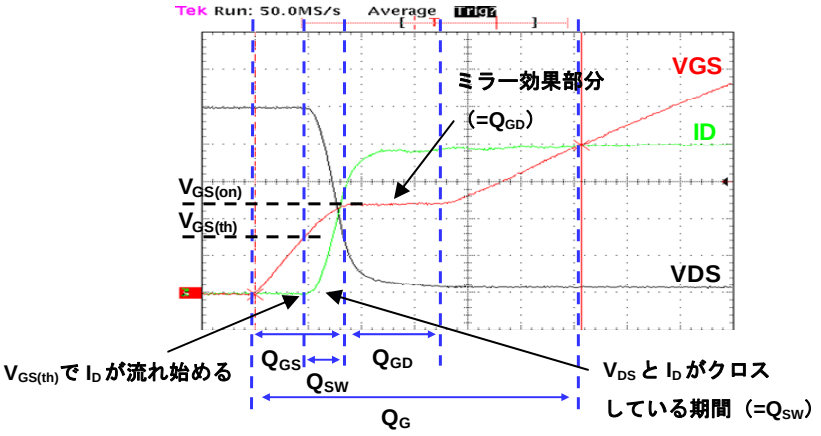
※特に指定の無い場合、Tc=25℃時における特性となります。

２－１－３．電気的特性（動特性）

（参考例）FMV06N60ES の仕様書より抜粋

Dynamic Ratings

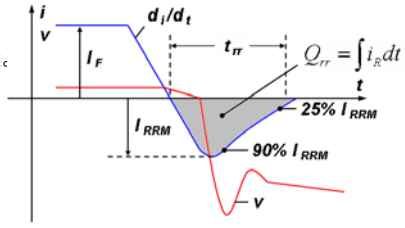
Description	Symbol	Conditions		min.	typ.	max.	Unit
Forward Transconductance	g_{fs}	I_D=3.0A V_{DS}=25V		2.5	5	-	S
Input Capacitance	Ciss	V_{DS}=25V		-	950	1425	pF
Output Capacitance	Coss	V_{GS}=0V		-	100	150	
Reverse Transfer Capacitance	Crss	f=1MHz		-	7.5	11	
Turn-On Time	td(on)	V_{cc}=300V	I_D=3.0A	-	29	43.5	ns
	tr	V_{GS}=10V	R_{GS}=27Ω	-	15	22.5	
Turn-Off Time	td(off)	See Fig.3 and Fig.4		-	75	113	
	tf			-	16	24	
Total Gate Charge	Q_G	V_{cc}=300V	I_D=6A	-	31	46.5	nC
Gate-Source Charge	Q_{GS}	V_{GS}=10V		-	10.5	15.8	
Gate-Drain Charge	Q_{GD}	See Fig.5		-	8	12	
Gate-Drain Crossover Charge	Q_{SW}			-	4.5	6.75	

用語	記号	定義 及び 説明
順伝達コンダクタンス	g_{fs}	指定のドレインーソース間電圧および指定のドレイン電流を与えて測定したゲートーソース間電圧の所定変化に対するドレイン電流変化率。電流の流しやすさを表し、バイポーラ Tr の hFE に相当。
入力容量	Ciss	指定のゲートーソースおよびドレインーソース間電圧と測定周波数において、ドレインーソース間を交流的に短絡状態にして、ゲート端子とソース端子の間で測定した寄生容量の特性値。
出力容量	Coss	指定のゲートーソースおよびドレインーソース間電圧と測定周波数において、ゲートーソース間を交流的に短絡状態にして、ドレイン端子とソース端子との間で測定した寄生容量の特性値。
帰還容量	Crss	指定のゲートーソース間電圧と測定周波数において、ソース端子を接地し、ドレインーゲート間で測定した寄生容量の特性値。スイッチング速度に大きく影響する。
ターンオン遅延時間	td(on)	ゲートーソース間電圧が設定電圧の 10%に達してから、ドレインーソース間電圧が設定電圧の 90%まで下降するまでの間を測定したゲートーソース間電圧に対するドレインーソース間電圧の遅れ時間。
ターンオン時間	tr	ドレインーソース間電圧が設定電圧の 90%から 10%まで下降する間を測定したドレインーソース間電圧の下降に必要な時間。
ターンオフ遅延時間	td(off)	ゲートーソース間電圧が設定電圧の 90%に達してから、ドレインーソース間電圧が設定電圧の 10%まで上昇するまでの間を測定したゲートーソース間電圧に対するドレインーソース間電圧の遅れ時間。
ターンオフ時間	tf	ドレインーソース間電圧が設定電圧の 10%値から 90%まで上昇する間を測定したドレインーソース間電圧の上昇に必要な時間。
トータルゲート電荷量	Q_G	MOSFET をオンさせるのに必要なゲート電荷量
ゲートーソース間電荷量	Q_{GS}	 Tek Run: 50.0MS/s Average VGS ミラー効果部分 (=QGD) ID VGS(on) VGS(th) VDS VGS(th)で ID が流れ始める QGS QGD QSW QG VDS と ID がクロスしている期間（=QSW）
ゲートードレイン間電荷量	Q_{GD}	
ゲートードレイン間クロス期間電荷量	Q_{SW}	

２－１－４．電気的特性（寄生ダイオード）
（参考例）FMV06N60ES の仕様書より抜粋

Reverse Diode

Description	Symbol	Conditions	min.	typ.	max.	Unit
Avalanche Capability	I_{AV}	L=6.39mH Tch=25℃ See Fig.1 and Fig.2	6	-	-	A
Diode Forward On-Voltage	V_{SD}	I_F=6A V_{GS}=0V T_{ch}=25℃	-	0.90	1.35	V
Reverse Recovery Time	trr	I_F=6A V_{GS}=0V -di/dt=100A/μs, Tch=25℃	-	0.4	-	μs
Reverse Recovery Charge	Qrr	See Fig.6	-	3.3	-	μC

用語	記号	定義 及び 説明
アバランシェ耐量	I_{AV}	クランプされないインダクタンスをスイッチングした時に耐えられるドレイン電流値。寄生の pn 接合部（寄生ダイオード構造部）に流れる電流であるため、寄生ダイオードの特性として表記。絶対最大定格におけるアバランシェ電流と同一。
ダイオード順電圧	V_{SD}	ゲート電圧 V_{GS}=0V、チップ温度 Tch=25℃時において、寄生ダイオードに順電流 I_F を流したときのソースードレイン間の順電圧。ゲート端子に順バイアス電圧を印加した時は、寄生ダイオードと MOSFET に電流が流れるため、この値は小さくなる。（同期整流）
逆回復時間	trr	指定の測定条件において、寄生ダイオードの逆回復電流が消滅するのに要する時間及び電荷量。入力ブリッヂ用ダイオードなどと同等のスイッチング特性であり、ファーストリカバリダイオードに比べ遅い。FRED タイプは、寄生ダイオードを高速化したもの。 
逆回復電荷量	Qrr	

２－１－５．電気的特性（熱的特性／熱抵抗）
（参考例）FMV06N60ES の仕様書より抜粋

7.Thermal Resistance

Description	Symbol	min.	typ.	max.	Unit
Channel to Case	Rth(ch-c)			3.38	℃/W
Channel to Ambient	Rth(ch-a)			58.0	℃/W

用語	記号	定義 及び 説明
熱抵抗(チャネルーケース間)	$R_{th(ch-c)}$	チャネルから素子のケース表面（ヒートシンク取り付け面）までの熱抵抗。パッケージとチップサイズにより決まる特性で、チップサイズが大きいほど熱抵抗は小さくなる。ヒートシンク取り付け時の熱抵抗計算を行う場合は、こちらの値を用いる。
熱抵抗(チャネルー周囲間)	$R_{th(ch-a)}$	チャネルから周囲までの熱抵抗。ヒートシンクなどを取り付けない自立状態における、チップから温度上昇の影響を受けない周囲までの熱抵抗。パッケージにより一意の値となる特性で、SMD パッケージなどでは、規定の基板へ実装した場合の熱抵抗としている場合もある。

３．回路設計とデバイス特性

３－１．ドレインーソース間降伏電圧 BV_{DSS}

定格電圧を保証するためのドレインーソース間降伏電圧 BV_{DSS} を min.値で規定しています。この保証値に対して、回路動作安全性を確保するために実力値はマージンを持たせてありますが、ドレインーソース間降伏電圧とオン抵抗はトレードオフの関係にあるため、可能な限りマージンを小さくすることでオン抵抗を低くする設計が取られています。
またドレインーソース間降伏電圧の温度依存性は、正の温度依存性を示し、一般的には、10%/100℃の割合で上昇します。

３－２．ゲートしきい値電圧 $V_{GS(th)}$

MOSFET が電流を流し始めるゲートーソース間電圧 V_{GS} です。
図３－１にゲートしきい値電圧 $V_{GS(th)}$の温度特性グラフを示します。ゲートしきい値電圧は、製品により異なる負の温度係数（-5mV～-7mV/℃）を持ち、実際の使用条件である高温下では低下するため、ドライブ回路を設計する際には、データシートに記載されているゲートしきい値電圧の温度特性グラフを確認し、外部ノイズ等により誤動作しないようドライブ回路を設計する必要があります。
図３－２にゲートーソース間電圧 V_{GS} とドレイン電流 I_D の伝達特性グラフを示します。MOSFET はゲートーソース間電圧により流すことができる電流が制御されるため、ドライブ回路を設計する際には、データシートに記載されているゲートーソース間電圧とドレイン電流の伝達特性グラフを確認し、ドレイン電流を十分に流す事のできるゲートーソース間電圧を設定する必要があります。ドライブ損失を低減するために、ゲートーソース間電圧を低く設定しすぎた場合、必要なドレイン電流を流すことができずに必要な出力が得られないだけでなく、オン損失の増大により破壊に至る可能性もありますので注意が必要です。

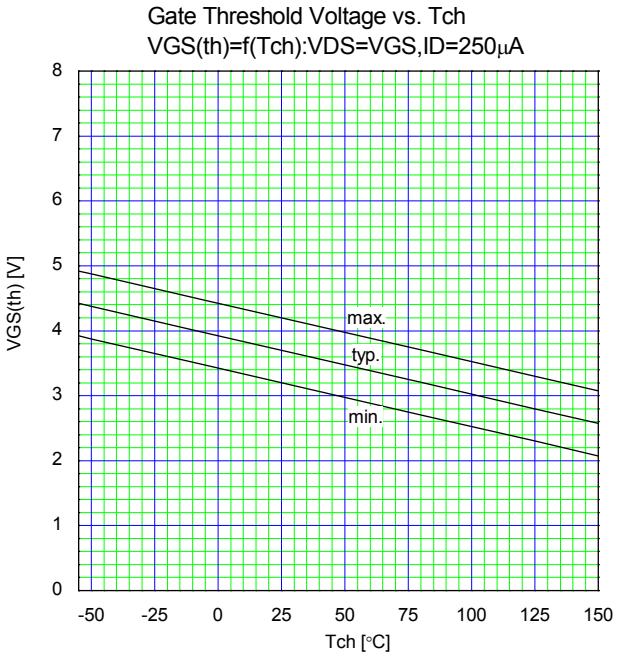


図３－１．$V_{GS(th)}$温度特性グラフ

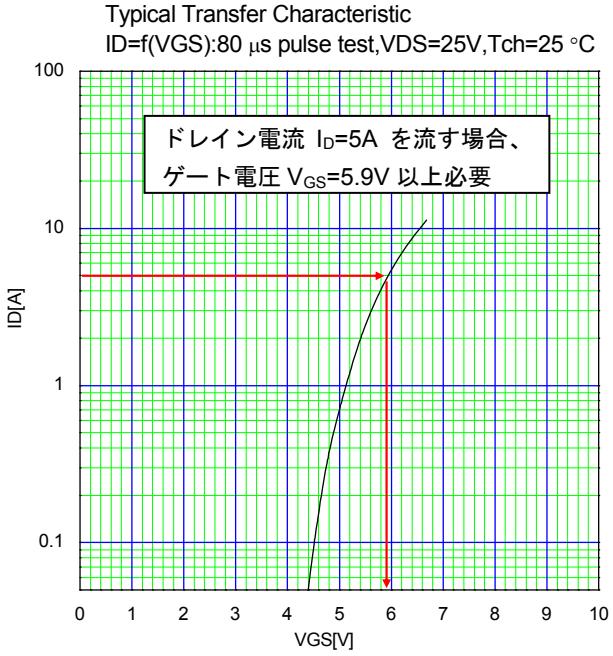


図３－２．V_{GS}-I_D 伝達特性グラフ

３－３．ドレイン遮断電流（リーク電流）I_{DSS}

ドレインーソース間の漏れ電流（リーク電流）です。この特性は温度に対し正の温度特性をもっています。但し、この I_{DSS} での損失は、MOSFET がオフ時、つまり $P(I_{DSS})=V_{DS}\times I_{DSS}$ で表されますが、通常の使用範囲内ではオン損失（$R_{DS(on)}$により発生する損失）に比べ非常に小さい値となりますので、無視できます。

３－４．最大許容損失 P_D

図３－３．は、チャネル温度の絶対最大定格 Tch=150℃条件下でのケース温度 Tc における最大許容損失 P_D の低減カーブを示します。

設計においては、想定される最大ケース温度 Tc にて許容損失 P_D を超えないようにすることが重要となります。

また、カタログ、データシートに記載されている許容損失 P_D は通常、素子が無限大放熱板に取り付けられた状態において、チャネル－ケース間熱抵抗 $R_{th(ch-c)}$ より算出された値となります。

実使用における許容損失は、実装するヒートシンクの熱抵抗、接触熱抵抗などを考慮した熱抵抗及び周囲温度から算出される値となります。

データシート表記上の許容損失：無限大放熱板取付状態

$$P_D = \frac{Tch(\max) - Tc}{Rth(ch-c)} \quad [W]$$

実使用状態の許容損失：(例)ヒートシンク実装状態

$$P_D = \frac{Tch(\max) - Ta}{Rth(ch-c) + Rth(c-f) + Rth(f-a)} \quad [W]$$

$R_{th(c-f)}$：ヒートシンクとの接触熱抵抗
$R_{th(f-a)}$：ヒートシンクの熱抵抗
Ta：周囲温度
Tc：ケース温度

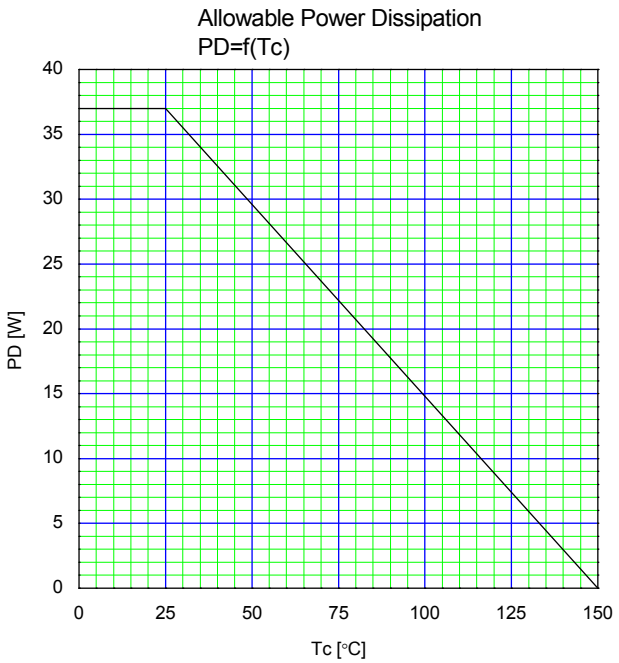


図３－３．許容損失 P_D の温度特性グラフ

３－５．熱抵抗（チャネル－ケース間） $R_{th(ch-c)}$

カタログ、データシートに記載されている熱抵抗値は定常熱抵抗値です。

スイッチング電源などパルス動作する機器の熱設計を行う場合、またパルスサージにおける温度上昇を算出する場合には、データシートに記載されている過渡熱抵抗特性グラフ（図３－４）から任意の時間における熱抵抗を読み取る、または計算した値を使用する必要があります。

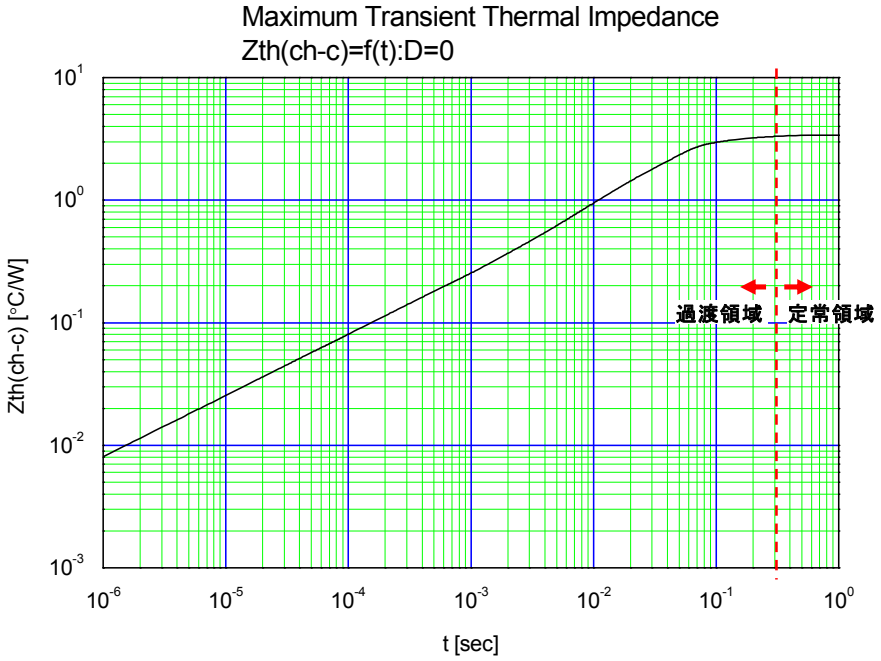


図３－４．過渡熱抵抗特性グラフ

３－６．安全動作領域 ASO

図３－５に FMV06N60ES の安全動作領域 ASO を示します。
パワーMOSFET の応用回路における使用可否を判断するのに用いられる安全動作領域 ASO は下記の４つの領域に区分され、それぞれ異なる条件により制限されます。

領域①：ドレイン電流 I_D、パルスドレイン電流 I_{DP} により制限される領域
領域②：最大許容損失 P_D により制限される領域（１）
領域③：最大許容損失 P_D により制限される領域（２）（t=1ms～DC においてのみ）
　通常、領域②における ASO 破壊耐量は損失及び熱抵抗により決まりますが、t=1ms 以上において高電圧領域では局部電流集中現象により破壊耐量が低下します。
　従って、バイポーラトランジスタにおける二次降伏のような現象が見られます。
領域④：ドレインーソース間電圧 V_{DSS}（耐圧）により制限される領域

なお、データシートに記載されている ASO グラフは通常、ケース温度 Tc=25℃、Duty=0（単発）という理想状態で表現されており、実際のスイッチング電源回路などの動作条件とは異なるため、使用可否の検討にグラフをそのまま適用することはできません。従って、実際に使用される動作条件（ケース温度 Tc、動作周波数 f、オン幅 t など）に合わせてグラフをディレーティングする必要があります。

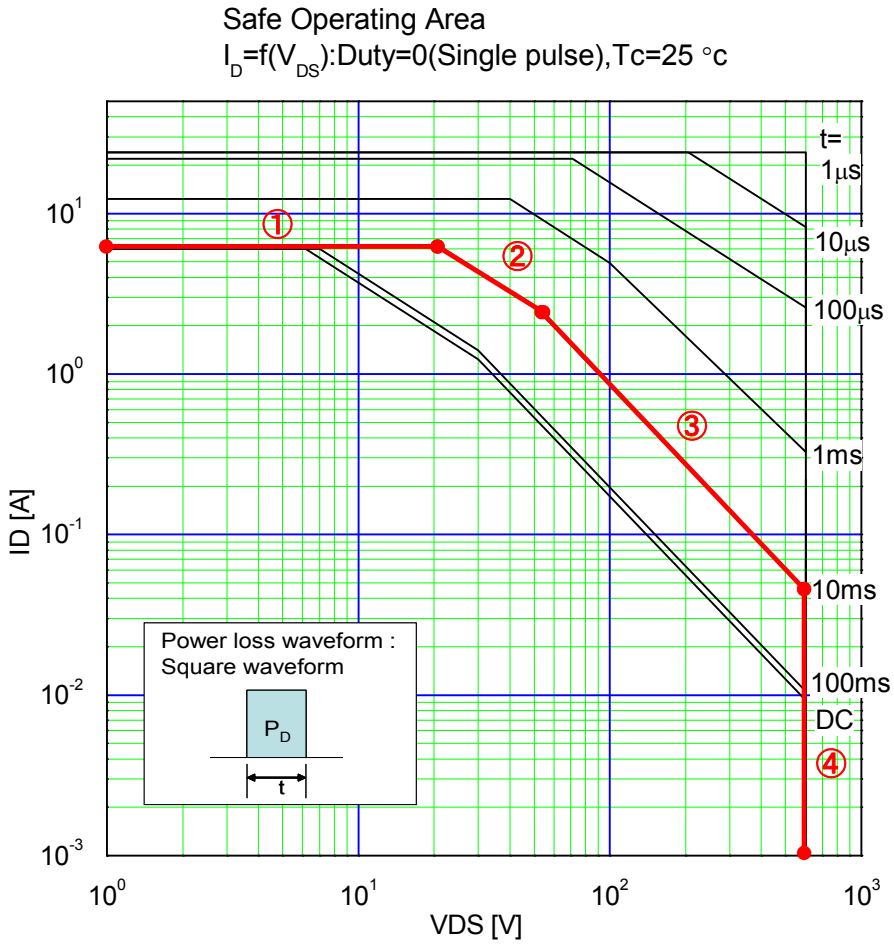


図３－５．FMV06N60ES の ASO グラフ（条件：Duty=0,Tc=25℃）

３－７．オン抵抗 $R_{DS(on)}$

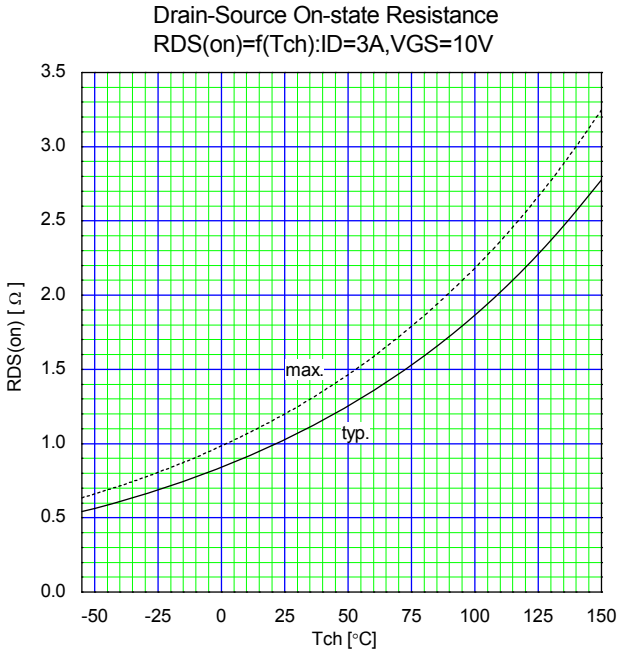


図３－６．オン抵抗－チャネル温度

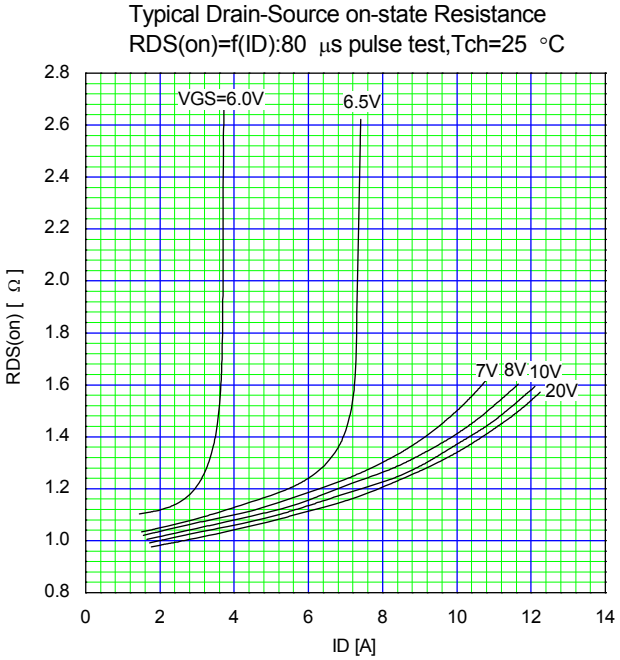


図３－７．オン抵抗－ドレイン電流（標準値）

図３－６に FMV06N60ES のオン抵抗 $R_{DS(on)}$の温度特性グラフを示します。
オン抵抗はオン損失を決める最も重要な特性であり、特性表ではケース温度 Tc=25℃でチャネル温度はケース温度と略同じ温度となるような微小パルスにおける typ.値及び max.値で規定されます。オン抵抗は正の温度特性をもっており、実際の動作での損失計算・設計においては、最悪条件としてチャネル温度 Tch=150℃における $R_{DS(on)}$の max.値を図３－６より読み取り使用します。
MOSFET は並列接続時における自己安定化作用を持ち、複数の素子を並列接続した際に、オン抵抗のバラツキによって抵抗値の低い素子に電流が集中して流れたとしても、損失により素子の温度が上昇し、オン抵抗の正の温度特性により加熱された素子の抵抗値が増加し電流が低減されるため、熱暴走に至ることなく、各素子に流れる電流のバランスが維持されます。
図３－７にオン抵抗 $R_{DS(on)}$-ドレイン電流 I_D の特性グラフを示します。オン抵抗はドレイン電流やゲートーソース間電圧に依存し、ゲートーソース間電圧が高くなれば小さくなる傾向にあるため、ゲートーソース間電圧 10V 以上での使用を推奨します。

３－８．容量特性 Ciss,Crss,Coss

図３－９に N チャネル MOSFET の簡略化した等価回路を示します。

スイッチング特性に大きく影響するのは、ゲートードレイン間容量すなわちミラー容量です。ミラー容量は、ドレインーソース間電圧がゲートーソース間電圧と等しいか小さくなると、図３－１０に示すように約 10 倍に急激に上昇します。

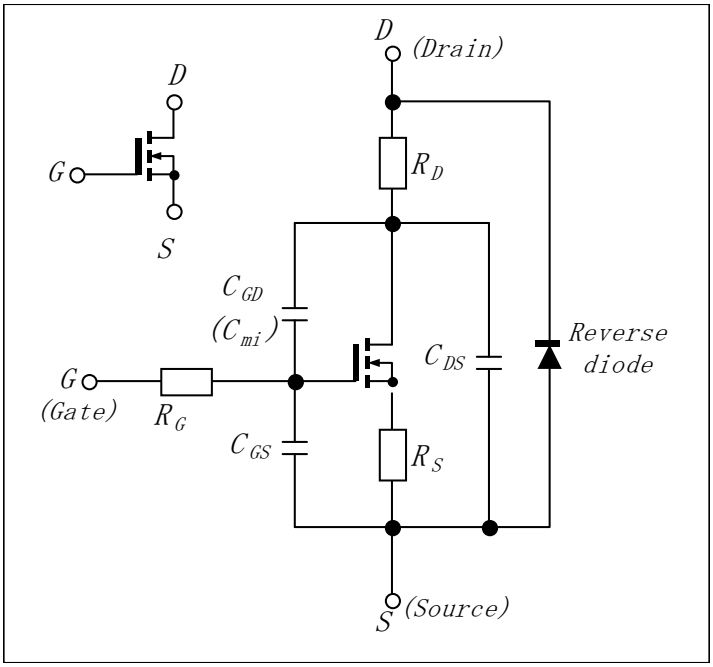


図３－９ N チャネル MOSFET の記号と等価回路

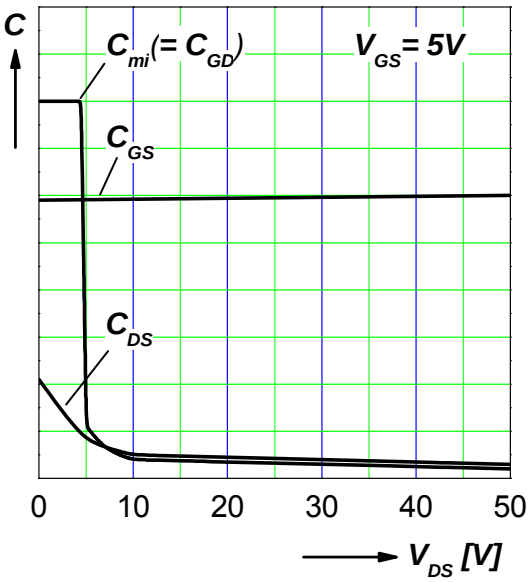


図３－１０．容量 ドレイン-ソース電圧

図３－１１に FMV06N60ES の容量特性を示します。パワーMOSFET の各容量は次のような関係式が成り立ちます。

入力容量： $Ciss \approx Cmi + C_{GS}$
帰還容量： $Crss \approx Cmi$
出力容量： $Coss \approx Cmi + C_{DS}$

SuperFAP シリーズは、帰還容量（Cmi）を小さくする設計を行なって、スイッチング特性を大幅に改善してあります。

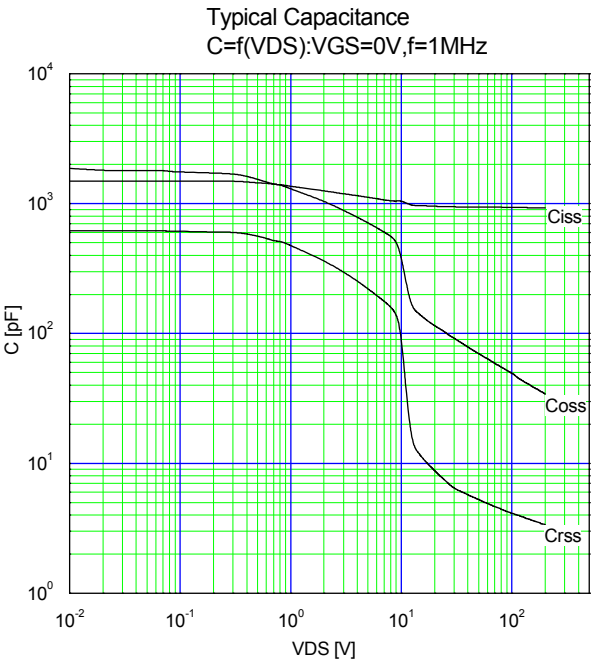


図３－１１．容量ードレインーソース間電圧（標準値）

３－９．ダイナミック入力ゲート電荷 Qg

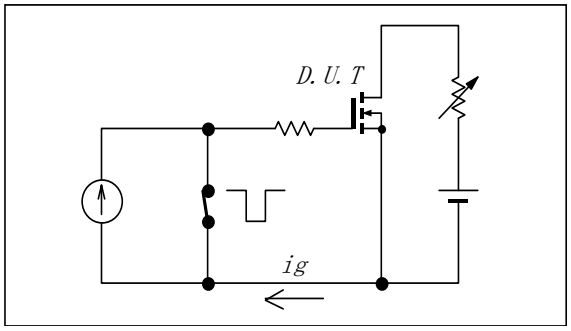


図３－１２．ゲート電荷量の測定回路

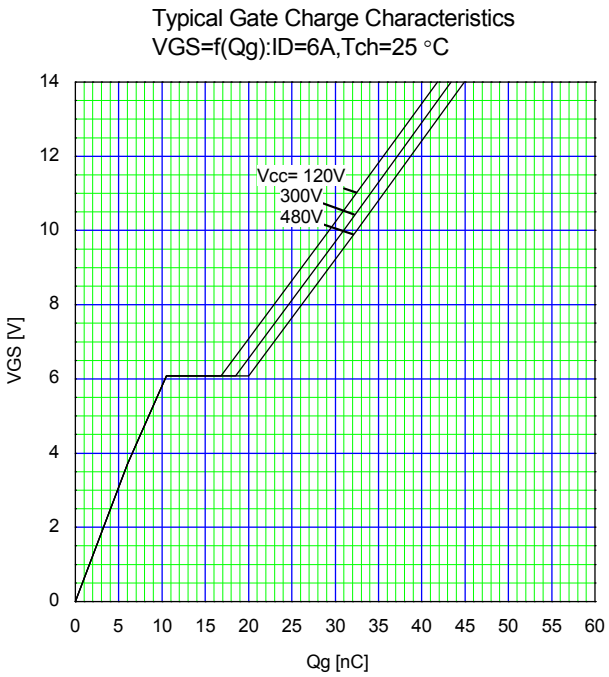


図３－１３．入力ゲート電荷（標準）

図３－１２にゲート電荷量 Qg の測定回路を、図３－１３に FMV06N60ES の入力ゲート電荷の特性を示します。この測定は、ゲートに定電流（ig）で充電を行い、その時のドレインーソース間(V_{DS})及びゲートーソース間電圧(V_{GS})の時間的変化を観察するものです。
ゲートに定電流(ig)で充電する事により、時間に ig を乗じるだけで時間軸を電荷量 Qg として読み取ることができます。

３－１０．スイッチング特性

MOSFET は電圧制御形素子である為、オンまたはオフ状態を保持する時は駆動電流を必要としませんが、スイッチング動作を行なう時は、そのたびに入力容量の充放電電流が流れます。

（１）抵抗負荷スイッチング特性

抵抗負荷に対するスイッチング動作波形を図３－１４に示します。

（１－１）ターンオン過程

t0-t1 期間：

時刻 t0 で、MOSFET が駆動されます。ゲートーソース間電圧は、駆動回路内部抵抗 Ri からの入力容量 Ciss に対する充電過程にともなって上昇します。ゲートパス抵抗 R_G は、Ri と比較して無視されます。

t1-t2 期間：

時刻 t1 でしきい値電圧に達すると、MOSFET は導通を始めます。ドレインーソース間電圧は、負荷抵抗電圧降下の増加にともなって低下していきます。期間 t1-t2 でドレイン電流が増加します。この時点でまだ小さなミラー容量は、ドレインーソース間電圧変化によって放電されます。ゲートーソース間電圧は伝達特性曲線に沿って上昇します。

t2-t3 期間：

時刻 t2 で、ドレインーソース間電圧 V_{DS} がゲートーソース間電圧 V_{GS} と等しくなります。ここで、非常に大きくなったミラー容量の効果が現われます。期間 t2-t3 で MOSFET はミラー積分器として動作します。すなわち、ゲートーソース間電圧は一定のままで、ゲート充電電流がミラー容量を介して流れドレインーソース間電圧をさらに低下させます。

t3-t4 期間：

時刻 t3 においてドレインーソース間電圧は、出力特性曲線のアナログ領域（ミラー効果部分）の終点に達します。
期間 t3-t4 で入力容量 Ciss は、くわえられた駆動電圧のレベルまで充電されます。チャネル抵抗はさらに低下します。時刻 t4 で MOSFET のオン抵抗 $R_{DS(on)}$（ドレインーソース間電圧をドレイン電流で割った値）は最低値に達します。

（１－２）ターンオフ過程

t5-t6 期間：

ターンオフ過程は、時刻 t5 で駆動電圧をゼロに切換えることにより開始されます。この時点で最高値をとっている入力容量 Ciss に貯められた電荷は、駆動回路内部抵抗 Ri を介して放電し、ゲートーソース間電圧は、ドレイン電流がまだ出力特性曲線の抵抗領域を通過できるような値にまで下がります。

t6-t7 期間：

時刻 t6 に達するとオン抵抗が僅かに上昇します。

期間 t6-t7 で MOSFET は再びミラー積分器として動作します。すなわち、ゲートーソース間電圧は一定のままで、ゲート駆動電流がまだ大きなミラー容量を介して流れ、ドレインーソース間電圧が上昇します。

t7-t8 期間：

時刻 t7 で、ゲートーソース間電圧とドレインーソース間電圧が等しくなります。ミラー容量は小さな値に下がります。期間 t7-t8 で小さくなったミラー容量が充電され、ドレインーソース間電圧が急激に上昇します。ドレイン電流が負荷抵抗の電圧降下に応じて低下し、ゲートーソース間電圧も下がります。

t8-t9 期間：

時刻 t8 でしきい値電圧に達し、MOSFET は完全にしゃ断されます。最後に期間 t8-t9 で、入力容量が駆動電圧のレベルまで放電します。

MOSFET には蓄積時間がないので、スイッチング時間は入力容量の充電及び放電によってのみ決まります。駆動回路の内部抵抗 Ri を自由に選べるなら、MOSFET のスイッチング時間を広範囲に調整できます。

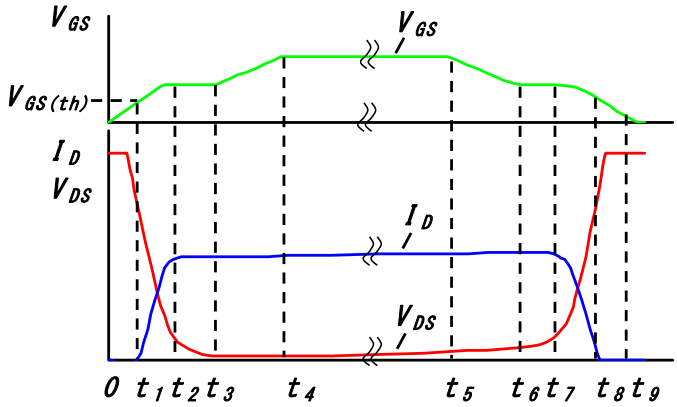


図３－１４　抵抗負荷に対するスイッチング特性

（２）フライホイールダイオード付き誘導負荷のスイッチング特性

初期状態として、MOSFET はしゃ断され、誘導負荷およびフライホイールダイオードに電流が流れているとします（図３－１５参照）。

（２－１）ターンオン過程

t0-t1 期間：

時刻 t0 で MOSFET は矩形波電圧によって駆動されます（図３－１６参照）。ゲートーソース間電圧は、駆動回路内部抵抗 Ri からの入力容量 Ciss に対する充電過程にともなって上昇します。

t1-t2 期間：

時間 t1 でしきい値電圧に達します。期間 t1-t2 でドレイン電流はゲートーソース間電圧に比例して上昇し、ドレインーソース間電圧の方はダイオード特性により動作電圧レベルを保ちます。

t2-t3 期間：

時刻 t2 においてトランジスタは、負荷電流を完全に引き受けます。

これに続く期間 t2-t3 では、負荷電流にダイオード逆回復電流が加算されるのでドレイン電流はさらに上昇します。

t3-t4 期間：

時刻 t3、すなわちダイオード逆回復電流の変極点において、ドレイン電流が最大値に達します。この時刻までドレインーソース間電圧は、動作電圧とほぼ同レベルのままです。ゲートーソース間電圧は、トランジスタに生じたピーク電流を導通できる値にまで達します。

期間 t3-t4 になるとドレインーソース間電圧は低下し、同じ分だけダイオード逆電圧が上昇します。通常の場合を考えると、ドレインーソース間電圧はミラー容量がゲート駆動電圧に応じて充放電されるのと同じ速度で低下し、この間のゲートーソース間電圧は後続期間 t4-t5 と同様に一定に保たれ保たれるはずです（ミラー積分器）。

しかし、期間 t3-t4 ではさらに、ダイオード逆回復電流の低下に起因するドレイン電流変化がスイッチング過程に影響します。ドレイン電流が低下すると、ゲートーソース間容量がミラー容量を介して放電します。ゲートーソース間電圧は、低下したドレイン電流を導通させるのに十分なだけの値にまで下がります。従ってこの期間に、非常に急峻なドレインーソース間電圧波形が生じます。

期間 t3-t4 でドレインーソース間に電圧変化をおこす過程には十分注意せねばなりません。MOSFET を低抵抗駆動する場合、ドレイン電流上昇率が高くなりフライホイールダイオードの転流電流変化も大きくなります。この結果、高いダイオード逆回復電流が生じ、これは最大値に達した後急激に降下します。消滅するダイオード逆回復電流の急激な電流変化は、回路中に過電圧上昇をおこし、過電圧破壊に至る可能性がありますので注意が必要です。

（２－２）ターンオフ過程

t8-t9 期間：

ターンオフ過程は時刻 t8 で開始されます。時刻 t9 でゲートーソース間電圧は、ドレイン電流がまだ出力特性曲線の抵抗領域を通過できるような値にまで下がります。

t9-t10 期間：

期間 t9-t10 でトランジスタは大きなミラー容量のミラー積分器として動作します。

t10-t11 期間：

時刻 t10 でドレインーソース間電圧がゲートーソース電圧を超えると小さなミラー容量のミラー積分器として動作します。

t11-t12 期間：

時刻 t11 でフライホイールダイオードが導通し、ドレインーソース間電圧は一定に保持されます。ドレイン電流はゲートーソース電圧に比例して減少します。

t12-t13 期間：

時刻 t12 でゲートーソース間電圧がしきい値電圧まで下がるとゼロになります。期間 t12-t13 で、入力容量がゼロまで放電します。

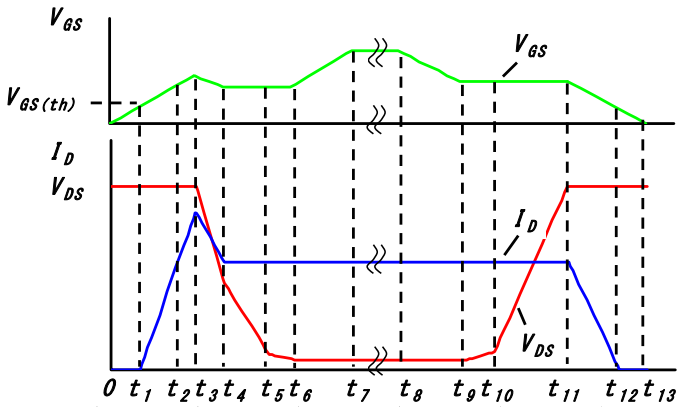


図３－１５．誘導負荷スイッチング時の電流特性

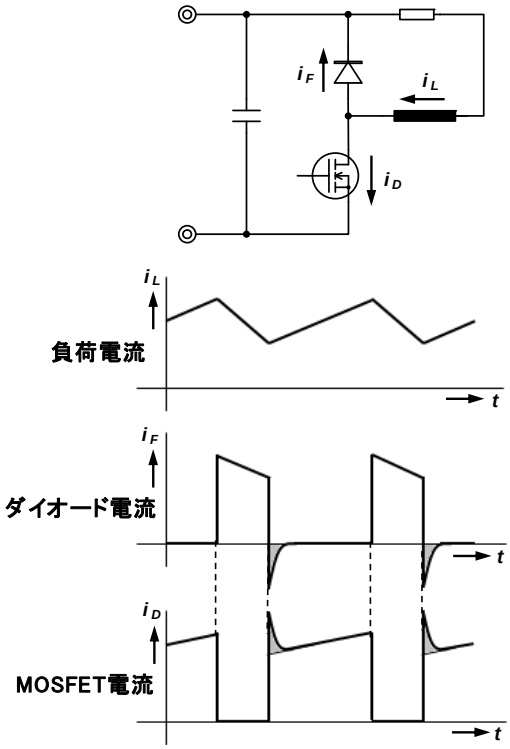


図３－１６．フライホイールダイオード付き
誘導負荷に対するスイッチング特性

３－１１．ディレーティング

絶対最大定格以下の条件でのご使用であっても、絶対最大定格付近の高負荷条件下での連続動作は、製品の信頼性を低下させます。連続使用時には、絶対最大定格に対して適切にディレーティングした条件でご使用下さい。

一般的な連続使用条件（１日に３時間の連続使用を１０年間継続する場合）での推奨ディレーティング条件を表３－１に示します。

表３－１．連続使用時のディレーティング条件（１日に３時間の連続使用を１０年間継続する場合）

項目	記号	ディレーティング条件
チャネル温度	Tch	Tch ×８０％
ドレイン - ソース間電圧	V_{DS}	V_{DS} ×８０％
ドレイン電流	I_D	I_D ×８０％
最大許容損失	P_D	P_D ×５０％

４．回路設計と破壊メカニズム

４－１．アバランシェ破壊

４－１－１．アバランシェ破壊とは

トランス等のインダクタンス負荷をパワーMOSFET により高速スイッチングする場合、過大なサージ電圧が加わることで、パワーMOSFET の耐圧を超え、ブレークダウン領域に入ることがあります。アバランシェ破壊とは、この時、アバランシェ動作によりチャネル温度 Tch や、アバランシェ電流 I_{AR} が絶対最大定格を超えることで破壊に至るモードです。

（１）アバランシェ破壊のメカニズム

MOSFET の断面構造を図４－１に示します。
MOSFET 内には、寄生的にバイポーラトランジスタが存在しています。MOSFET に過電圧がかかり素子の耐圧を超えた場合、アバランシェ電流が流れます。
主なアバランシェ電流の経路としては、

①ドレインーRzdーVzdーソース
②ドレインーRzbーVzbーRbーソース

があります。アバランシェ降伏が起こるとまず①の経路で電流が流れます。その電流による発熱でアバランシェ電圧が上がり、②の経路にもアバランシェ電流が流れ始めます。
この電流により Rb に電位差が生じ、又発熱します。
発熱により、Rb の抵抗値は上昇し、寄生バイポーラトランジスタの V_{BE} は下がります。Rb に生じた電位差が寄生バイポーラトランジスタの V_{BE} より高くなった時、Vzb を流れる電流が Rb と V_{BE} に分かれて流れ、寄生バイポーラトランジスタが誤動作します。このためアバランシェ降伏を起こした箇所で電流集中が起こり、MOSFET の破壊に至ります。

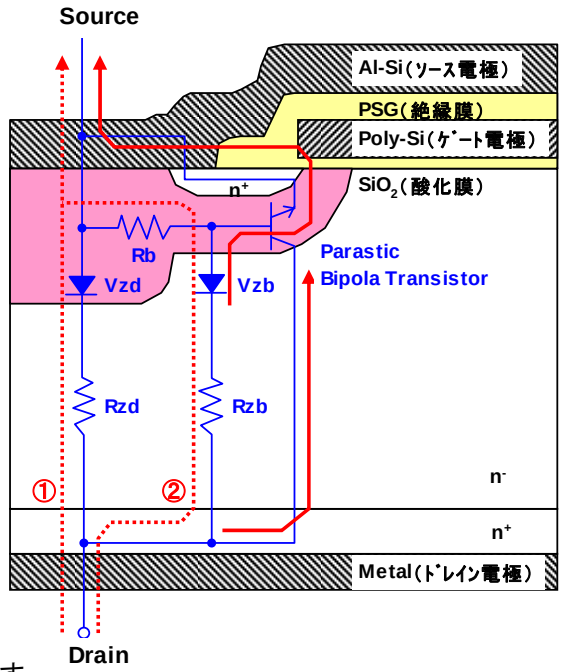


図４－１．MOSFET の断面構造図

（２）アバランシェ破壊耐量の向上技術

一般的に MOSFET としては、アバランシェ破壊耐量を向上するため、寄生バイポーラトランジスタのベース Rb の低減、電界集中のしにくいセル構造を採用しています。SuperFAP シリーズでは、以下の技術を適用する事によりアバランシェ耐量の向上を図っています。

①シンプルな球状の p 拡散層を稠密に配置することにより、電界集中を緩和しアバランシェ電流の局所集中を無くす構造を採用。
②シンプルな球状の p 拡散層を稠密に配置することにより、pn ダイオードの総面積を増やし、単位面積あたりのアバランシェ許容電流を高くする構造を採用。
③チャネル p 拡散層の中側に濃度の高い p+拡散層を形成することにより、寄生バイポーラトランジスタのベース抵抗 Rb を低減し、寄生バイポーラトランジスタの動作を抑制する構造を採用。

（３）アバランシェ耐量の測定

MOSFET のアバランシェ耐量の測定回路を図４－２に、測定波形を図４－３に示します。MOSFET のゲートに $V_{GS(th)}$以上の電圧をバイアスするとインダクタンス L を介して徐々に MOSFET にドレイン電流 I_D が流れ始めます。この時ドレイン電流 I_D はチャネル領域を流れています。MOSFET のゲート電圧が $V_{GS(th)}$以下になるとドレイン電流 I_D は減少し、ドレイン電圧 V_{DS} が急激に上昇します。ドレイン電圧 V_{DS} は素子耐圧まで上昇し、クランプします。インダクタンス L に蓄えられた残りのエネルギーはドレイン電流 I_D として流れつづけます。この時チャネル領域は遮断されているため、ドレイン電流はアバランシェ電流として流れる事になります。この時のインダクタンス L に蓄積されたエネルギーを MOSFET が熱として消費できる能力がアバランシェ耐量となります。

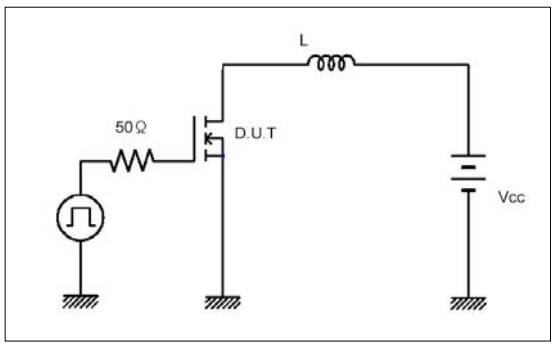


図４－２．アバランシェ耐量測定回路

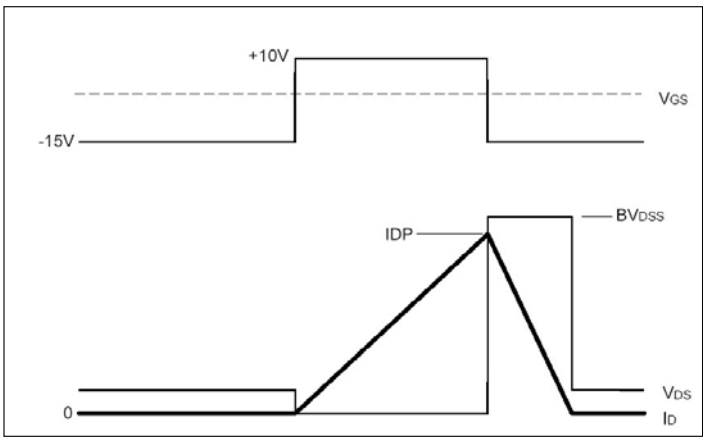


図４－３．アバランシェ測定波形

（４）アバランシェ耐量の保証方法

SuperFAP シリーズでは、アバランシェ耐量に関し、以下の項目で規定しています。

①アバランシェ電流 I_{AR}

アバランシェ動作時の許容電流値。

一般に許容できるアバランシェ電流は温度が高くなるに従って小さくなることから、温度ディレーティングを設けてある場合があります。SuperFAP シリーズではアバランシェ電流の温度ディレーティングを設けておらず、全温度範囲で同一の保証としています。

②アバランシェエネルギー E_{AS}

指定された電源電圧とインダクタンス条件での単発パルスにおける許容アバランシェエネルギー。

チャネル温度に制限されるため、使用温度条件によって、許容エネルギーが異なります。

（５）アバランシェ状態での使用可否

実際にアバランシェ動作にて MOSFET を使用する場合、以下の点を考慮する必要があります。

①アバランシェ動作時の電流値が保証のアバランシェ電流以下であること。

②チャネル温度が保証の範囲内であること。(通常の場合、Tch≦150℃)

②チャネル温度についてはアバランシェ動作をしない場合でも考慮する必要がありますが、アバランシェ動作時は損失が大きくなるため、より一層の配慮が必要となります。

実際のアバランシェ動作時のターンオフ波形を図４－４に示します。ターンオフ時の電圧が素子の最大定格上の耐圧 V_{DS} を越えているものの、素子の実力レベルでの耐圧が高い為、アバランシェ電流が流れていない場合があります。この場合、素子の最大定格上の耐圧 V_{DS} を越えている期間について、アバランシェ動作動作しているものとみなして、損失計算を行う必要があります。

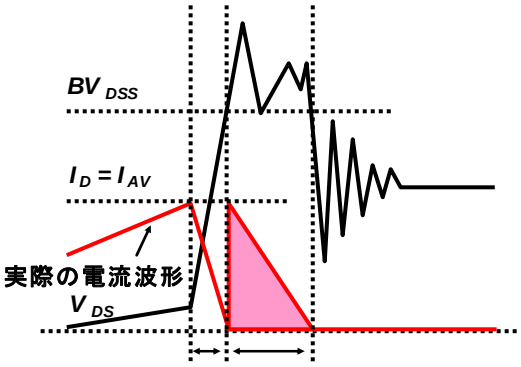


図４－４．アバランシェ動作時の波形例

４－２．ＡＳＯ破壊

ＡＳＯ破壊は、過電流・過電力・過電圧破壊の３つにわけられます。

４－２－１．過電流破壊

負荷短絡などにより、ＡＳＯにおけるドレイン電流 I_D、パルスドレイン電流 I_{DP} により制限される領域を超える過電流が流れることで素子が異常に発熱し破壊に至る、もしくはパッケージ内部配線のワイヤー溶断に至るモードです。

４－２－２．過電力破壊

ドレイン電流 I_D とドレインーソース間電圧 V_{DS} が同時印加されることにより、ＡＳＯにおける最大許容損失 P_D により制限される領域を超える損失が発生することで素子が異常に発熱し破壊に至るモードです。

４－２－３．過電圧破壊

トランス等のインダクタンス負荷を高速スイッチングするなどにより、ＡＳＯにおけるドレインーソース間電圧 V_{DSS}（耐圧）により制限される領域を超える過大なサージ電圧が印加されることでブレークダウン領域に入ることで、素子が異常に発熱し破壊に至る、もしくはアバランシェ破壊に至るモードです。

４－３．ダイオード破壊

４－３－１．ダイオード破壊とは

ダイオード破壊は、ドレインーソース間寄生ダイオードを使用するブリッジ回路などにおいて、寄生ダイオードの逆回復動作中の急峻な電圧（dv/dt）・電流変化（di/dt）により、MOSFET の寄生バイポーラトランジスタが誤点弧することで大電流が流れ、制御不能となり破壊に至るモードです。

４－３－２．ダイオード転流破壊のメカニズムについて

寄生ダイオードに電流を流している状態で、逆方向に電圧を反転（D-S 間に電圧を印加）させると、寄生ダイオードは逆回復動作を行います。このリカバリー電流の一部は、アバランシェ時と同様に図４－５の経路②より寄生バイポーラトランジスタの Rb を流れます。またこの時リカバリーdv/dt により寄生容量 Cds(Cvzd+Cvzb) への充電電流の一部も寄生バイポーラトランジスタの Rb に流れます。この２ つの電流の複合効果により、Rb に電位差が生じ寄生バイポーラトランジスタの B-E 間が順バイアスされます。逆回復動作による電流によって寄生バイポーラトランジスタの温度が上昇するため Rb の値が高くなります。又寄生バイポーラトランジスタの VBE は温度上昇による下がるため、寄生バイポーラトランジスタが誤点弧し易くなり、MOSFET の破壊に至ります。このため寄生ダイオードに電流を流している状態では、リカバリー電流に影響するリカバリー-di/dt、及び Cds への充電電流に影響するリカバリーdv/dt に規定を設けています。

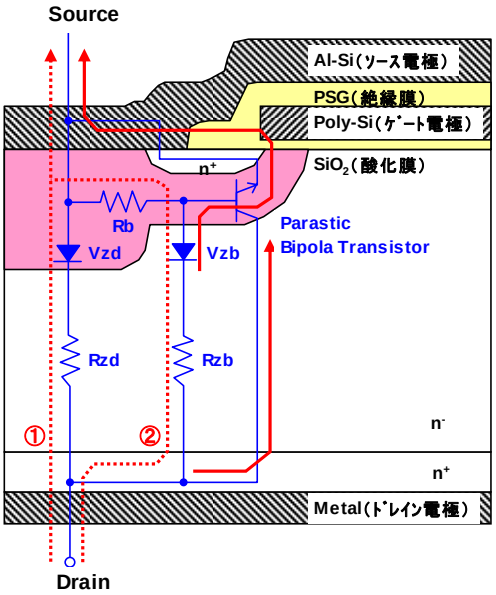


図４－５．アバランシェ破壊時の電流経路

４－４．寄生発振による破壊

寄生発振による破壊は、素子の並列接続時にゲート端子を直結（間にゲート抵抗 Rg を挿入しない）したり、ターンオン、ターンオフ時のドレインーソース間の急激な電圧、電流変化がゲート端子に正帰還（ゲート抵抗 Rg が小さい）されるなどにより、ゲートに寄生発振が発生することで、ゲートーソース間電圧 V_{GS} が寄生発振により定格電圧を越えたり、ゲートの寄生発振により、素子が誤動作し、熱破壊などに至るモードです。静電気や寄生発振により発生するゲート破壊は、①ゲートーソース間及びドレインーソース間がショートし完全に破壊に至るモードと、②ゲートーソース間のインピーダンスが低下し、ドレインーソース間の漏れ電流は増加するが中途半端に動作し続ける破壊モードがある。通常の使用条件においては、モード①では、ドレインーソース間ショートによる破壊痕の拡大、モード②では、V_{GS} が所定より低い電圧で動作することにより、誤動作やオン抵抗の増加、漏れ電流の増加などによりＡＳＯ破壊に進行してしまうため、ゲート破壊を破壊痕から判定するのは困難となります。

MOSFET のゲートを直接並列接続した時のゲート寄生振動波形を図４－６に示します。
この振動は、駆動電圧が MOSFET のしきい値電圧に達し、ドレイン電流が流れ始めた時に発生します。

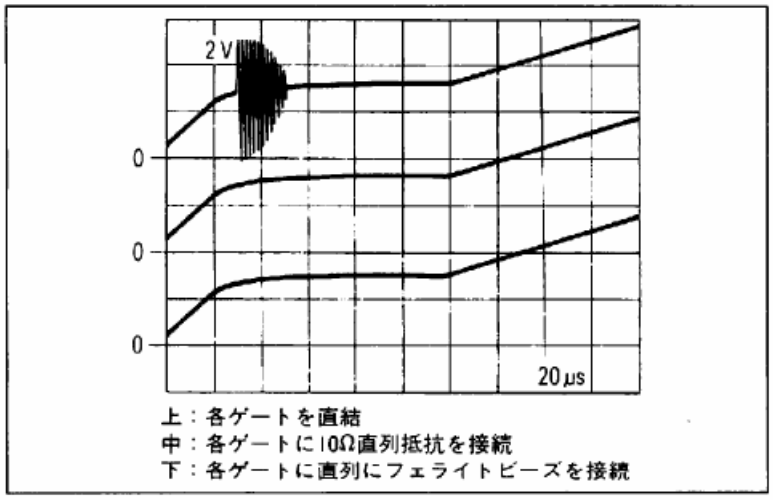


図４－６．並列スイッチング時のゲートーソース電圧変化

この振動は、MOSFET の順伝達コンダクタンスが非常に高いために起こります。共振回路を形成するのは外部回路と各 MOSFET 自体のインダクタンスと寄生容量です。この振動により生ずる電圧は往々にしてゲートーソース間電圧の最大値を越え、素子が破壊されることがありますので、並列 MOSFET の各ゲートに直列に 4.7Ω以上の抵抗を接続して下さい。

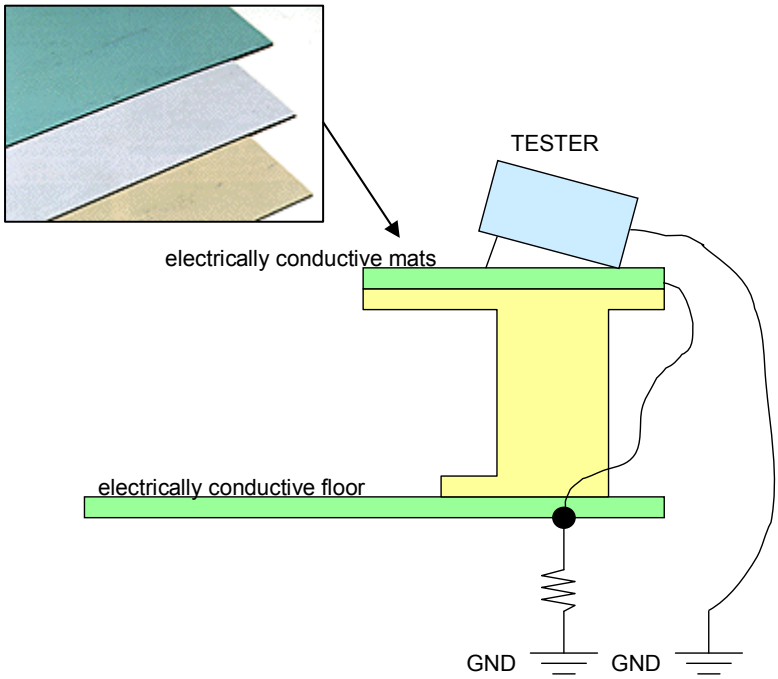
４－５．静電破壊

４－５－１．静電破壊とは

静電破壊とは、人体や実装装置により静電気やサージ電圧がMOSFETのゲート端子へ印加されることにより、ゲート端子の静電気耐量を超え、破壊に至るモードです。

４－５－２．パワーMOSFET の静電破壊防止（対策）

パワーMOSFET は、小信号 MOSFET や MOS 集積回路に比べはるかに大きな静電破壊耐量を持っておりますが、これらの MOS 製品と同様静電気によって破壊する恐れがありますので取り扱いには十分注意してください。



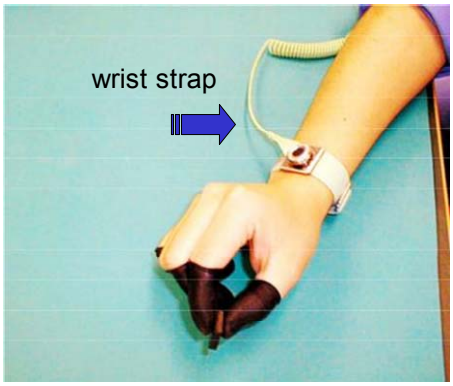


図４－７．静電気破壊防止対策例

（１）導電体から静電気を逃がす方法

静電気に安全な作業台を作る場合に、導電体に帯電した静電気は導電性のテーブルマット・リストストラップ・フロアマットを適切に使用することにより取り除くことができます。電荷を取り除くスピードは、帯電物体の容量経路の抵抗によって決定されます。図４－８に導電体の帯電物体が容量Ｃを持ち、径路抵抗がＲの場合の等価回路を示します。

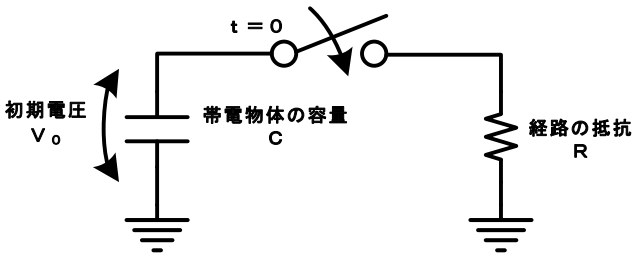


図４－８．静電気放電の等価回路

又、帯電物体の電圧は、時間 t の関数として次式のように与えられます。

$$V = V_{0\exp}\left(-\frac{t}{RC}\right)$$

V = 時間 t における帯電物体の電圧[V]
V_0 = 帯電物体の初期電圧[V]
t = 秒
C = 帯電物体の容量 [F]
R = 径路の抵抗[Ω]

＜例＞
EIAJ（現 JEITA）技術資料 TB57-1 より 1 秒以内に作業者の静電気レベルを 100V 以下にする様に考えますと、
V = 100V（安全電圧）
V_0 = 10kV（人体あるいは帯電物体の初期電圧）
t = 1sec（安全電圧 100V を達成するための最長許容時間）
C = 200pF（人体の容量 100pF～400pF の平均値）
R = 大地までの最大許容抵抗［Ω］
以上を代入して

$$100 = 1\times10^{4}\cdot\exp\left(-\frac{1}{200\times10^{-2}\cdot R}\right)$$

R≒1.09×10^{9}Ω = 1090MΩ
となり、この計算よりテーブルマット・フロアーあるいはリストストラップから大地までの抵抗が 10^{9}Ω 以下であれば安全電圧 100V までの放電が 1 秒以内に行われ、部品を静電気破壊より守ることができます。

・静電気放電によるデバイスの破壊値について
作業者からの静電気放電により各種のデバイスが破壊される恐れのある電圧範囲を表３－１に示します。

表４－１．デバイス毎の破壊電圧

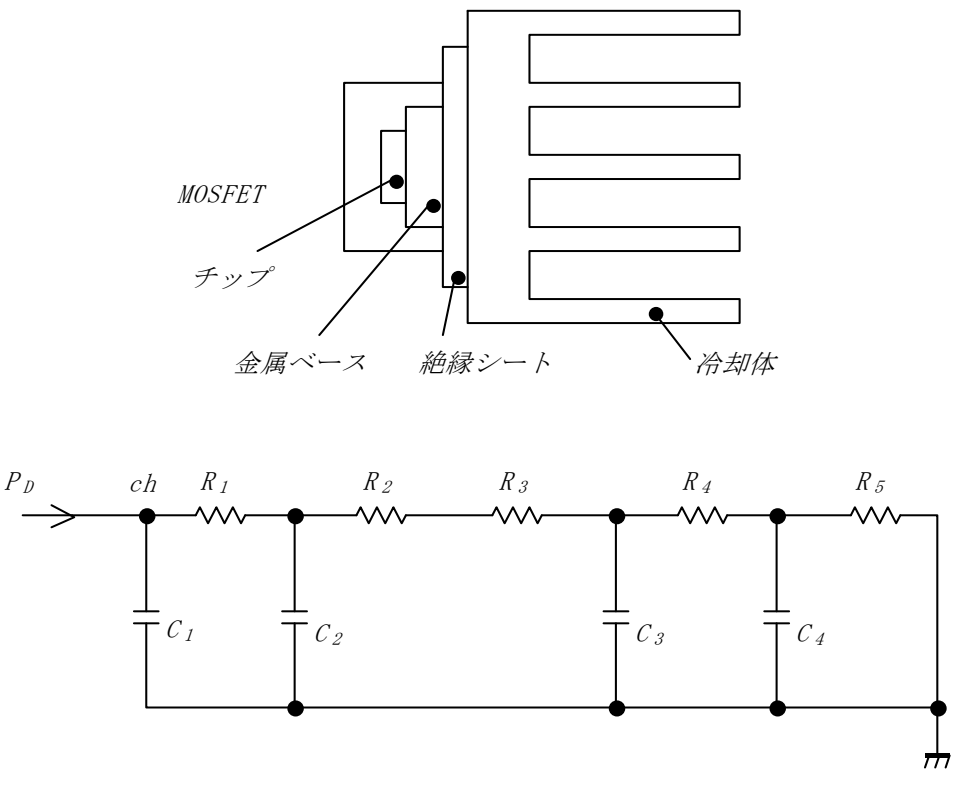
タイプ	電圧範囲 [V]
MOSFET	100～200
ジャンクション FET	140～10000
C MOS	250～2000

５．熱設計

５－１．放熱の考え方

（１）過渡熱抵抗と定常熱抵抗

パワーMOSFET チャネル部で発生する損失の放熱処理は、冷却体に取付ける方法と素子自身だけの場合の 2 通りがあります。図５－１は、前者の場合の放熱経路を便宜的に電気的等価回路で模擬したものです。



P_D　発生損失
C_1, R_1　MOSFETチップ、半田層
C_2, R_2　金属ベース
R_3　接触熱抵抗
C_3, R_4　絶縁シート（接触熱抵抗を一部含む）
C_4, R_5　冷却体

図５－１．熱挙動の電気的等価回路

過渡熱抵抗は図５－１の等価回路で、熱容量 C1～4 の影響がある時間範囲の熱抵抗であり、時間の関数です。各素子の過渡熱抵抗特性は、データシート上にその最大値が明記され、繰り返し率 D≒O がそれに当ります。また冷却体の過渡熱抵抗は次式で得られます。

$$Rf(t) = R_{f-a}\left(1-\varepsilon^{-\frac{t}{\tau f}}\right)$$

ただし、$\tau f = R_{f-a} \cdot V \cdot \gamma \cdot C$

Ｒｆ－ａ	：	冷却体定常熱抵抗 [℃/W]
ｔ	：	時間 [S]
τｆ	：	冷却体の熱時定数 [S]
Ｖ	：	冷却体積 [cm3]
γ	：	比重 [g/cm3]
Ｃ	：	比熱 [W・S/g・deg]

この計算に必要な材料の比重と比熱を表５－１に、アルミ冷却板（黒色塗装）の定常熱抵抗を図５－２に示します。

表５－１．各材料の比重と比熱

材料	比重 γ [g/cm3]	比熱 [W・S/g・deg]
アルミニウム	2.71	0.895
銅	8.96	0.383

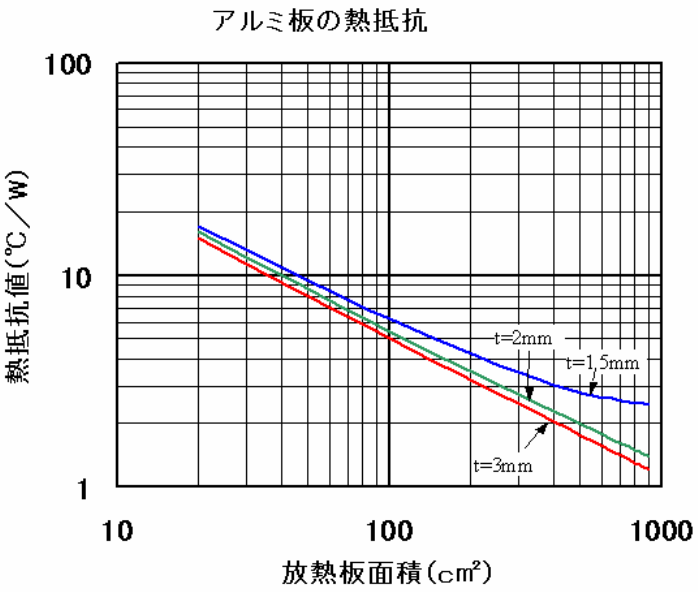


図５－２．アルミ冷却板の定常熱抵抗

一方、定常熱抵抗は、熱容量の影響が全くなくなった以降の熱抵抗であり、チャネル温度は簡単に求められます。

$$Tch = Ta + (Rch\text{-}c + Rc\text{-}i + Ri + Ri\text{-}f + Rf\text{-}a) \cdot P_D$$

Tch：チャネル温度
Ta：周囲温度
R_{ch-c}：チャネル－ケース間熱抵抗（MOSFET 熱抵抗）
R_i：絶縁シート熱抵抗
R_{c-i}，R_{i-f}：接触熱抵抗
R_{f-a}：冷却体熱抵抗
P_D：発生損失

５－２．素子の過渡熱抵抗特性

MOSFET の仕様書には、熱設計を補助するために素子の過渡熱抵抗特性が記載されています。図５－３に FMV06N60ES の過渡熱抵抗特性を示します。

例えば上図において、パルス幅 1ms の単発パルスとした場合、Ta=40℃の条件下で 5℃/W の冷却体に取り付けた場合の許容電力損失 P_D は、

$$P_D = \frac{Tch(\max) - Ta}{Rthf\text{-}a + Rth(1ms)}$$

$$= \frac{150℃ - 40℃}{5℃/W + 0.15℃/W}$$

$$\fallingdotseq 21.4\ [W]$$

となります。

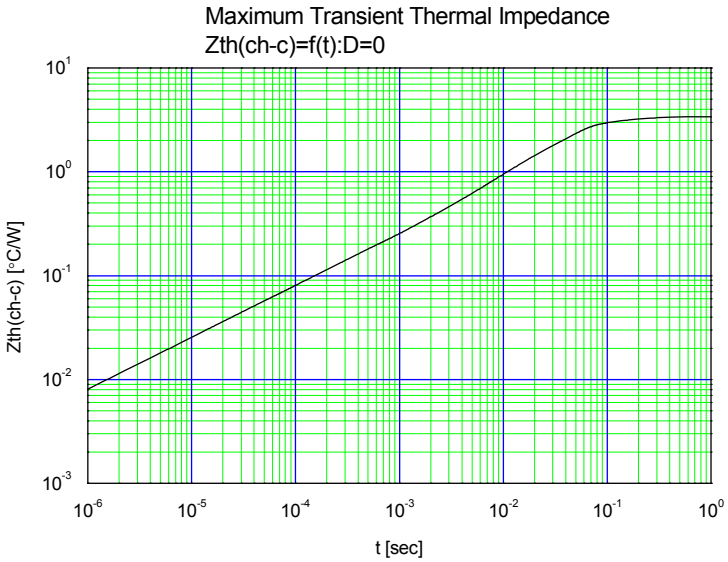


図５－３．FMV06N60ES の過渡熱抵抗特性

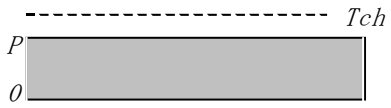
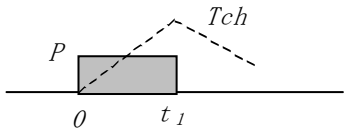
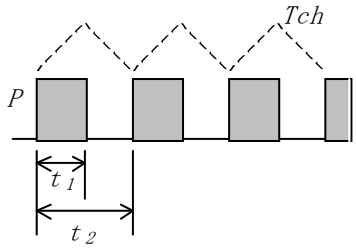
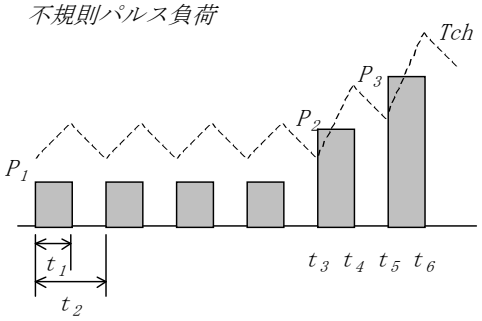
５－２．チャネル温度の計算

MOSFET を使用する場合、その使用状態でのチャネル温度が最大定格内にあるかが重要となります。そのために、動作波形からチャネル温度を検証して使用の可否を検証します。

（１）方形波電力損失に対するチャネル部温度の算出

連続負荷、単一パルス負荷、連続パルス負荷、連続パルス負荷に続く不規則パルス負荷に対するチャネル温度算出式を表５－２に示します。

表５－２．チャネル温度の算出式

負荷	チャネル温度の算出式
連続負荷 	$Tch = Ta + P \cdot Rthch\text{-}a$
単一パルス負荷 	$Tch = Ta + P \cdot Rth(t1)$
連続パルス負荷 	$Tch = Ta + P\left\{\frac{t_1}{t_2} \cdot Rthch\text{-}a + \left(1 - \frac{t_1}{t_2}\right) \cdot Rth(t_1 + t_2) - Rth(t_2) + Rth(t_1)\right\}$
連続パルス負荷に続く不規則パルス負荷 	$Tch = Ta + P_1 \cdot \left\{\frac{t_1}{t_2} \cdot Rthch\text{-}a + \left(1 - \frac{t_1}{t_2}\right) \cdot Rth(t_1 + t_2) - Rth(t_2)\right\} + P_2 \cdot \{Rth(t_6 - t_3) - Rth(t_6 - t_4)\} + P_3 \cdot Rth(t_6 - t_5)$

（２）複雑な電力損失波形に対するチャネル部温度の算出

複雑な電力損失波形が MOSFET に与えられた場合、図５－４の点線のように方形波変換し、重ね合わせの理によって求められます。

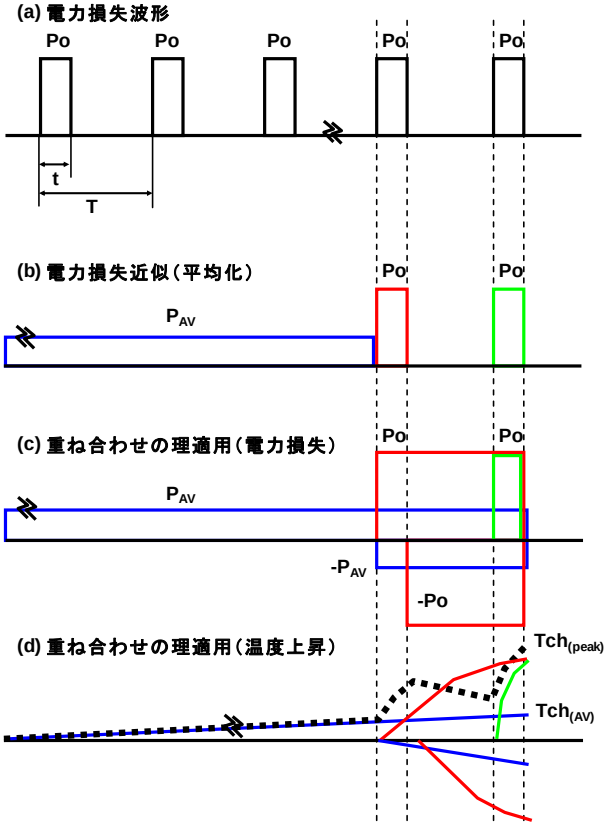


図５－４．複雑な電力損失波形でのチャネル部温度

（３）具体的なチャネル温度の算出

MOSFET のチャネル温度を計算するためには、

(a)1 周期の波形（VDS,ID,周期 T が判ること）

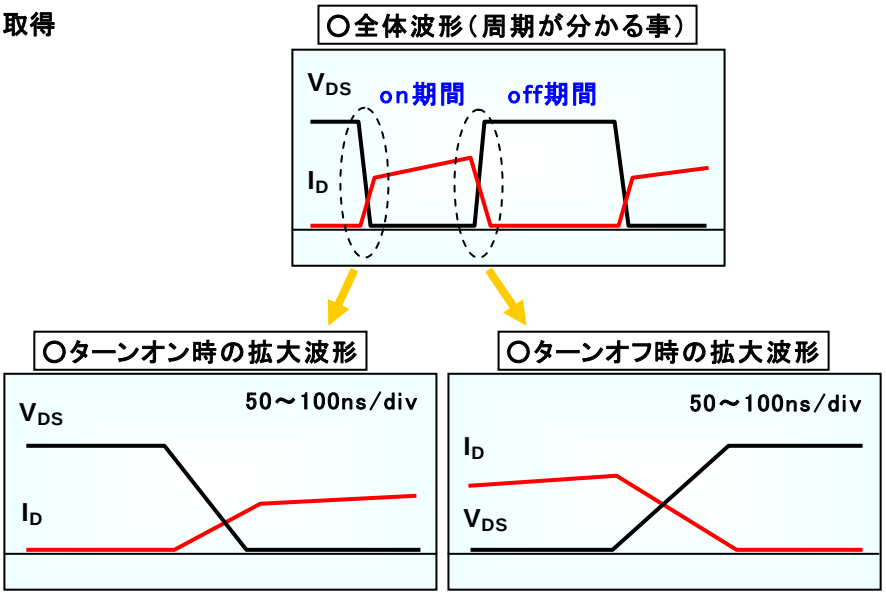
(b)ターンオン、ターンオフ波形の拡大

(c)動作条件（ケース温度 Tc, その他）

が必要となります。

以下にチャネル温度の算出のステップを示します。

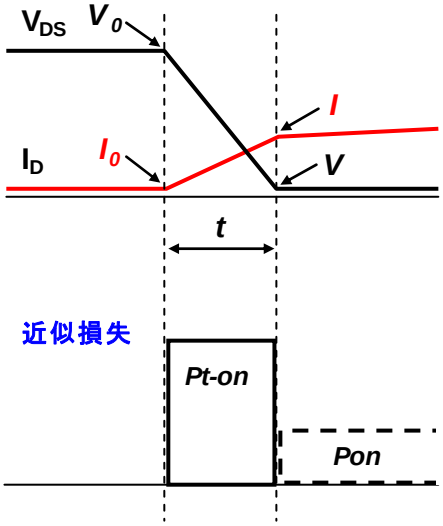
①動作波形の取得



※ターンオン損失、ターンオフ損失が無視できる場合は、その波形の取得は必要ありません。

②動作波形の近似

ターンオン時の動作波形



○下記の計算式より損失を求める。

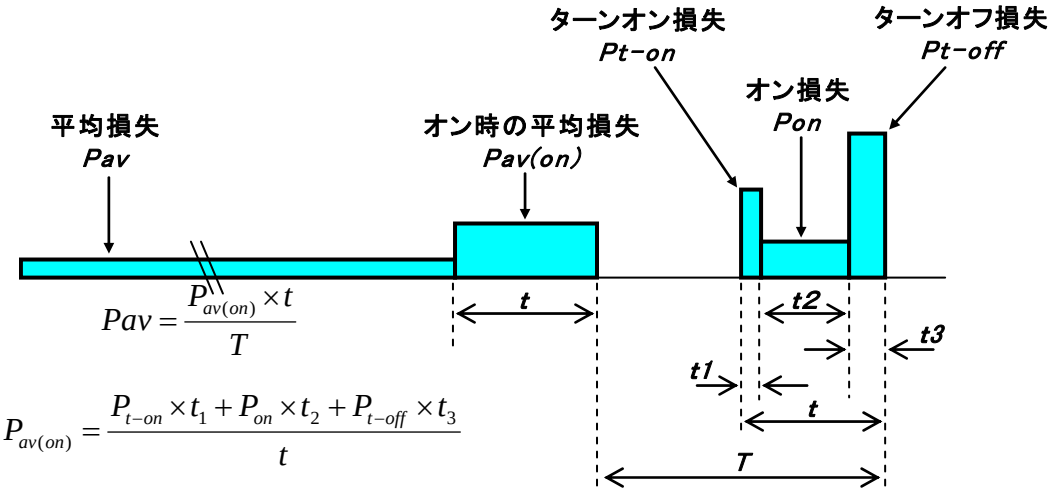
$$\alpha = -\frac{I_0 - I}{t}$$

$$\beta = -\frac{V_0 - V}{t}$$

$$P_S = \int_0^t (\alpha t + I_0)(\beta t + V_0)dt$$

$$P = \frac{P_S}{t}$$

ターンオンの期間を上記計算式で損失を求めた場合、
計算結果 "P" が "Pt-on" になります。



$$Pav = \frac{P_{av(on)} \times t}{T}$$

$$P_{av(on)} = \frac{P_{t-on} \times t_1 + P_{on} \times t_2 + P_{t-off} \times t_3}{t}$$

※ターンオン損失、ターンオフ損失が無視できる場合は、その損失を考える必要はありません。

③過渡熱抵抗の算出

過渡熱抵抗グラフ（図５－５参照）より、
各時間の過渡熱抵抗値を読み取る。
但し、パルス幅が 1ms 以下の場合、下記の
計算式にて求められます。

例）パルス幅（Ta）の場合

$$Rth_{(ch-c)(Ta)} = Rth_{(ch-c)(1ms)} \times \sqrt{\frac{Ta}{0.001}}$$

$Rth_{(ch-c)(1ms)}$は、Duty=0、t=1ms 時の過渡熱抵抗値

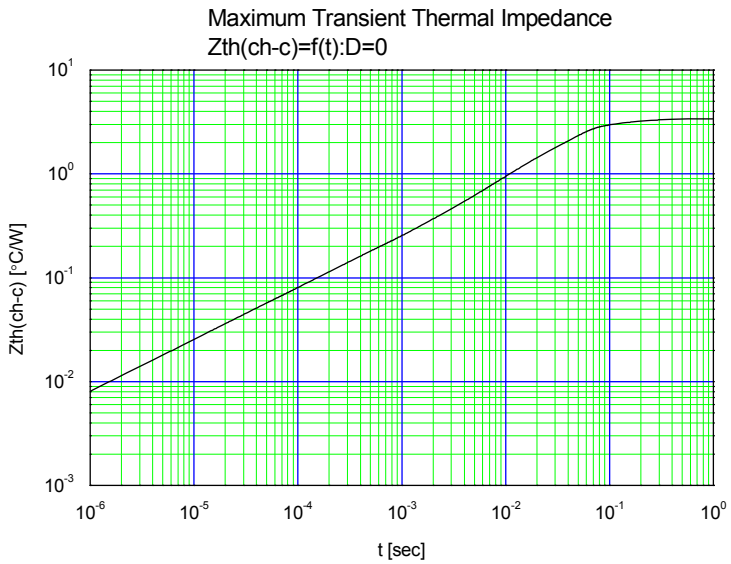
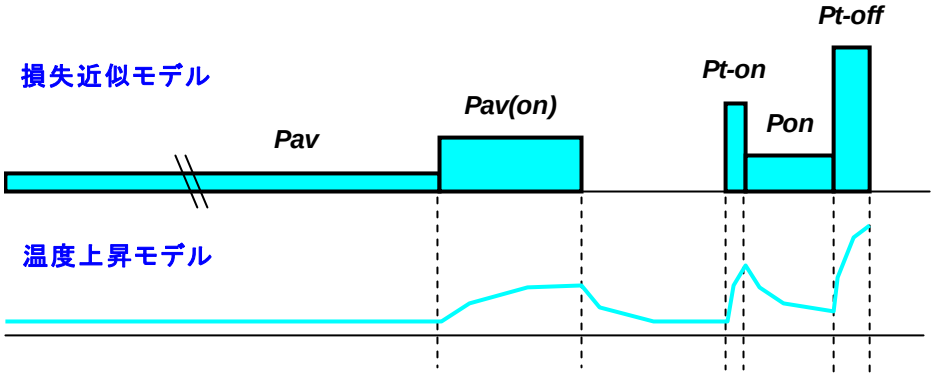


図５－５．過渡熱抵抗グラフ

④チャネル温度の計算



チャネル温度上昇計算式

$$\Delta T_{ch-c} = P_{av} \times Rth_{(ch-c)} + \left(P_{av(on)} - P_{av}\right) \times Rth_{(T+t)} - P_{av(on)} \times Rth_{(T)}$$
$$+ P_{t-on} \times Rth_{(t)} + \left(P_{on} - P_{t-on}\right) \times Rth_{(t2+t3)} + \left(P_{t-off} - P_{on}\right) \times Rth_{(t3)}$$

※ターンオン損失、ターンオフ損失が無視できる場合は、その損失を考える必要はありません。

６．実装・取り扱い上の注意事項

長期にわたる安定な動作を確保するために、特に注意すべき取扱い上の注意事項について説明します。

（１）はんだ付けについて

半導体素子のはんだ付け実装時には、通常最大定格の保存温度を上廻る熱（温度）が、リード部分に加わります。はんだ付け時の耐熱性に関する品質保証は下記のレベルで行われていますので、これを上廻らない範囲で作業を行ってください。

（ａ）推奨実装条件

分類 Categories	パッケージ Packages	実装方法 / Methods				
		はんだフロー（全浸漬）Wave Soldering (Full dipping)	はんだフロー（端子浸漬）Wave Soldering (Only terminal)	赤外線リフロー Infrared Reflow	温風リフロー Air Reflow	はんだこて Soldering iron (Re-work)
スルーホールパッケージ Through-Hole	TO-3PL	×	◎	×	×	○
	TO-3P	×	◎	×	×	○
	TO-247	×	◎	×	×	○
	TO-3PF	×	◎	×	×	○
	TO-220	×	◎	×	×	○
	TO-220F	×	◎	×	×	○
	T-Pack(L)	×	◎	×	×	○
	K-Pack(L)	×	◎	×	×	○
SMD パッケージ Surface Mount	T-Pack(S)	×	×	◎	◎	×
	T-Pack(SJ)	×	×	◎	◎	×
	K-Pack(S)	×	×	◎	◎	×
	TFP	×	×	◎	◎	×

◎：実装可能/Possible　○：一回のみ実装可能/Limited to 1time　×：実装不可能/Unable

■スルーホールパッケージ / Through-Hole Package

はんだ温度 / Soldering temp.	浸漬時間 / Immersion time
260±5℃	10±1 sec
350±10℃	3.5±0.5 sec

■ＳＭＤパッケージ / Surface Mount Package

リフロー回数 Number of times(Reflow)	２回 Twice
はんだ付け温度／時間 Soldering Temp. & Time	≧230℃, ≦50sec
パッケージ表面 ピーク温度／時間 Package surface Peak Temp. & Time	≦260℃, ≦10sec

（ｂ）リードの浸漬深さは、デバイス本体から 1～1.5mm 離れた位置までとする。

（ｃ）はんだフロー方式によるデバイスの取付けなどでは、デバイス本体をはんだ液に浸さないように注意する。

（ｄ）フラックスを使用する場合には、塩素系のものは避けロジン系のフラックスを使用することが望ましい。

（ｅ）推奨リフロー

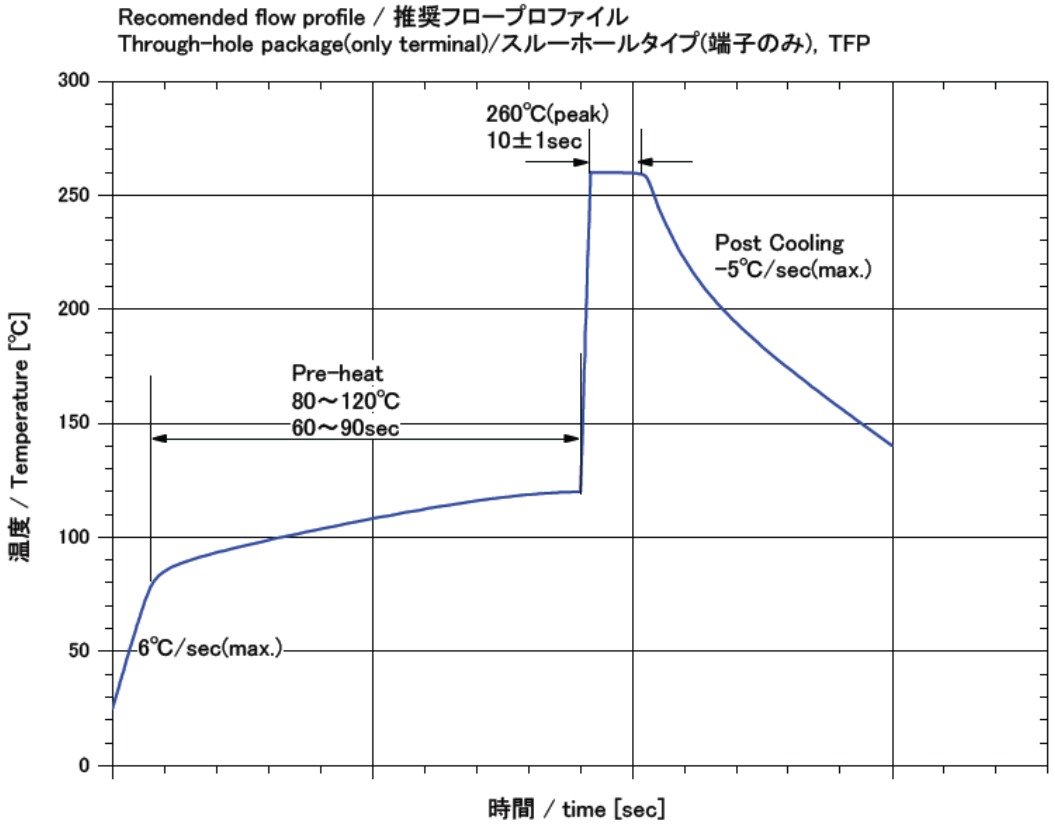


図６－１．推奨リフロープロファイル（スルーホール／Pb フリーはんだ仕様）

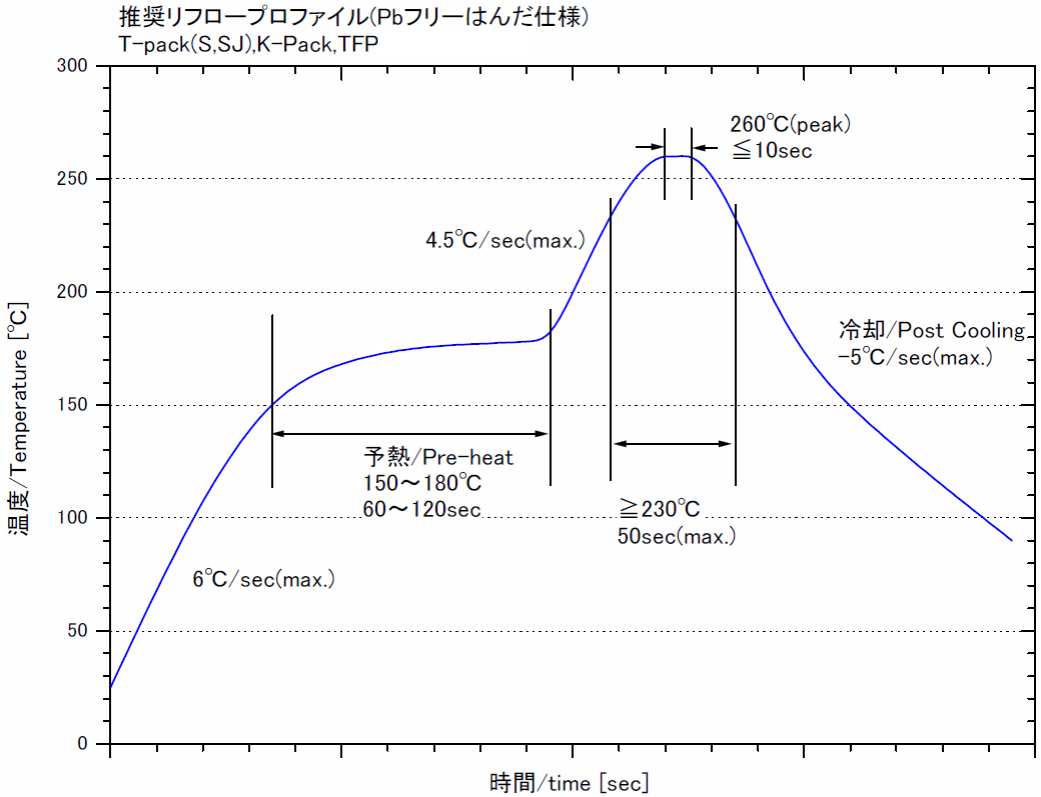


図６－２．推奨リフロープロファイル（ＳＭＤ／Pb フリーはんだ仕様）

（２）スルーホールの端子加工、取り付けについて

樹脂封止形パワートランジスタのリード線の取扱い方法

（ａ）リード線へのストレス

半導体素子の電極リードに必要以上のストレスを加えると、内部のチップおよび外部パッケージに損傷をあたえる事があるので、図６－３に示す方向に加わる荷重は 1kg 以下として下さい。

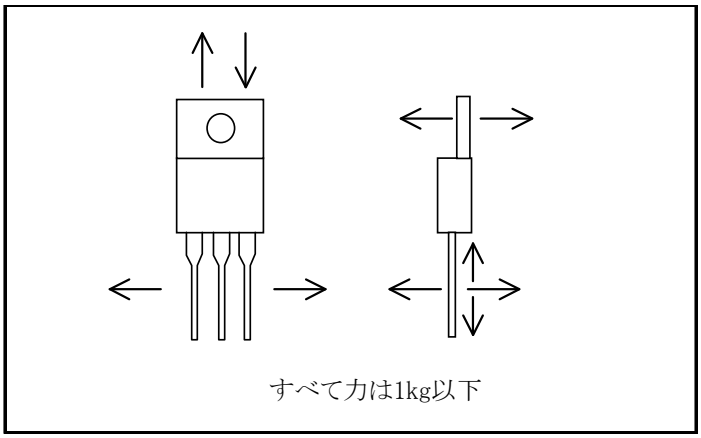


図６－３．リード線へのストレス

（ｂ）リード成形上の注意点

部品配置の都合上やむなくリードを成形する場合は、次の注意が必要です。

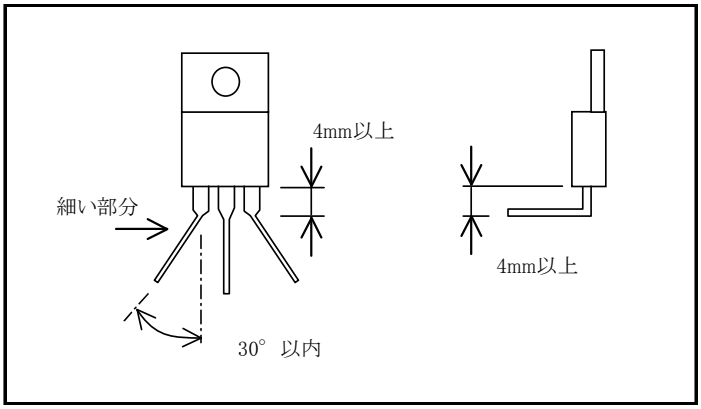


図６－４．リード成形上の注意点

・図６－４に示すストレスが加わらないような専用の治具の用意。
・リードを横方向に曲げる場合は、図６－３のようにリードの細い部分か、トランジスタ本体から 4mm 以上離れた部分で折り曲げ、その角度は 30° 以内とする事。
・リードを形名表示面に対し直角に曲げる時は、トランジスタ本体から 4mm 以上離れた点で折り曲げる事。
・同一の場所についての成形は１回のみとし、再成形や元の形に戻しての使用は行わない事。

（ｃ）プリント板への挿入

プリント板に差し込む時には、リードの根元部分に過大なストレスがかからない様にリード線の間隔と差し込む穴の間隔を一致させて下さい。

また、プリント板に半田付けをした後、放熱板などに付けるため無理に曲げることのない様に、あらかじめ取付作業をした上で半田付けを行うようにして下さい。

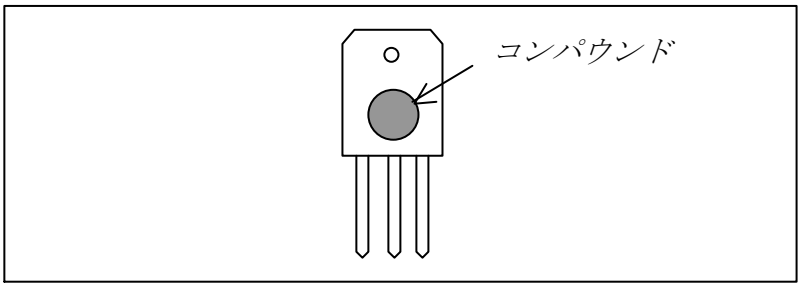
（３）洗浄について（スルーホール，ＳＭＤ共通）
フラックスを使用して半田付けをした場合、一般には溶剤で洗浄することが必要です。この場合、以下のことに注意してください。
（ａ）溶剤
・引火性・毒性および腐食性のない溶剤を使用すること。
・特にトリクレン系は塩素を含んでいるため使用を避けること。
（ｂ）洗浄方法
洗浄はなるべく浸漬で行うことが望ましい。超音波洗浄を行う場合、デバイス内部の共振点（数十 kHz）を避けるように周波数を設定し、素子やプリント板が振動源に直接触れないように注意する。

（４）放熱板への取付方法
（ａ）取付け用のネジの締付トルクが小さすぎると熱抵抗の増大をまねき、大きすぎると素子に歪みを与え、故障をまねく危険性があります。
したがって、表６－１の範囲内の数値を推奨します。

表６－１．半導体素子の締付トルク

パッケージ外形	取付穴径	使用ネジ	最適締付けトルク（N・cm）
TO-220AB	φ3.6	M3	30-50
TO-220F	φ3.2	M3	30-50
TO-3P	φ3.2	M3	40-60
TO-247	φ3.2	M3	40-60
TO-3PF	φ3.2	M3	40-60
TO-3PL	φ3.2	M3	60-80

（ｂ）半導体素子本体と放熱板の間の熱伝導を良くし、放熱効果をあげるためコンパウンドを均一に薄く塗布することを推奨します。
（ｃ）サーマルコンパウンドの塗布について
素子と冷却体間にサーマルコンパウンドを介在させる方法として一般に、素子側に均一にコンパウンドを塗布し、冷却体に取付けているようです。しかしながら TO220 パッケージのような小形品の場合においても、その塗布作業は大変です。簡単に、しかも素子と冷却体間の間隔をコンパウンドで満る方法として、半導体素子チップ搭載部直下のケース部に適量のコンパウンドを点状に塗り、適正締付けトルクで冷却体にネジにより締付けると、コンパウンドはその間隔を埋めるように広がり、気泡の少ない層が簡単に形成できます。



＜TO3P 等の小型パッケージ＞

（ｄ）放熱板の素子取付け面は、±50μm 以下の加工精度を推奨します。
（ｅ）１素子で２ヶ所のネジ締めを行う場合、ネジを片締めとならないように特に注意が必要です。
（ｆ）面平坦度 ≦ ±30μm
（ｇ）表面粗さ ±10μm
（ｈ）ねじ穴のテーパー加工はしない

（５）保管・運搬の注意事項

（ａ）保管

（ｉ）半導体素子を保管しておく場所の温度・湿度は、いわゆる常温・常湿中がのぞましく、これからあまりかけ離れた温湿中は避けるべきです。常温常湿の目安としては、5～35℃で 45～75%程度と考えられます。特にモールドタイプのパワートランジスタ等の場合、冬期などに非常に乾燥する地域では加湿器により加湿する必要があります。なお、その際水道水を使うと含まれている塩素によりデバイスのリードを錆びさせることが考えられますので、水は純水や沸騰水を用いるようにしてください。

（ii）腐食性ガスを発生する場所や塵埃の多いところは避けてください。

（iii）急激な温度変化のあるところでは、デバイスに水分の結露が起こるので、このような環境を避けて、できるだけ温度変化の少ない場所に保管する必要があります。

（iv）保管状態では、半導体デバイスに荷重がかからないように注意する必要があります。特に、積み重ねの状態では思わぬ荷重がかかることがあります。
また、重いものを上に載せることも避けてください。

（v）各部端子は未加工の状態で保管してください。これは錆などの発生によって加工時に半田付不良となることを避けるためです。

（vi）デバイスを入れておく容器は、静電気を帯びにくいもの、あるいは弊社出荷時の容器として下さい。

（vii）保管棚等は、すべて金属性であり接地しておいて下さい。

（ｂ）運搬

（ｉ）落下などの衝撃を与えないようにしてください。

（ii）多数の素子を箱等で運搬する時は接触電極面等を傷つけないように、やわらかいスペーサを介して素子をならべるようにしてください。

（iii）富士パワーMOSFET を運搬する際には、ゲートーソース間に静電気が発生しない様に導通性袋やアルミ箔等で静電気対策を行い運搬して下さい。

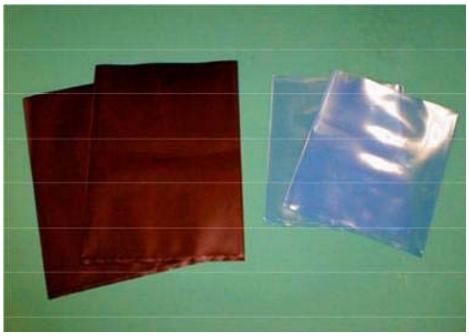


図６－５．導電性袋（左）と導電性フォーム（右）

（ｃ）作業環境

（ｉ）パワーMOSFET を取扱う人は、人体アースを取って下さい。人体アースは、リストストラップや銅の指輪等を付け、感電防止の為、1MΩぐらいの抵抗を取付けて、アースにおとして下さい。

（ii）パワーMOSFET を取扱う場所は、導通性のフロアマットや、テーブルマット等を敷き、アースを取って下さい。

（iii）カーブトレーサーなどの測定機を使用する場合は、測定機もアースして下さい。

（iv）はんだ付けを行う場合は、はんだゴテやはんだバスからのリーク電圧がパワーMOSFET に印加されるのを防ぐ為、はんだバス等をアースして下さい。

以上の点に留意し、素子が静電気破壊する事の無い様御使用下さい。

7．スイッチング電源への応用

7－1．パワーMOSFET の利点

特長	利点		不利な点	
		ユーザーにとって		ユーザーにとって
電源制御型デバイス	・ドライブ電力が小さい ・ドライブ回路が簡単	・省エネ、効率向上 ・小型化、コストダウン ・部品点数の削減	・ドライブ電圧が高い	・低電圧駆動への応用が困難
多数キャリアデバイス	・スイッチングスピードが速い ・高周波特性が優れる ・破壊に強い ・熱暴走しにくい	・機器の高性能化が可能（高精度制御、他） ・高周波化に伴い、周辺部品を小型化可能（トランス、容量） ・省エネ、効率向上 ・機器の信頼性向上 ・放熱設計が容易	・高耐圧素子では、オン抵抗がバイポーラトランジスタより大 ・温度上昇により、オン抵抗も上昇する	・低周波用途では損失大（大きな放熱板が必要） ・放熱設計に配慮が必要

MOSFET はスイッチング速度が速く、高周波特性に優れていると同時にスイッチング時間の温度依存性が無い事も大きな利点と言えるでしょう。こうした利点も利用してスイッチング周波数を高周波化する事により、高周波トランスや 2 次側 LC の小型化が実現できます。
また、動作周波数が高くなると、スイッチング損失（特にオフ損失）が支配的となり、オン抵抗が大きいという欠点の影響度が小さくなる事は素子選定上重要な事です。
その他の特長を要約します。

項目	特長	応用面での利点
安全動作領域（ＡＳＯ）	・ゲート逆バイアス電圧に依存しない	・逆バイアス ASO を考慮する必要がない。
電圧制御型	・ドライブ電力が小さくて済む ・ドライブ回路を簡単にすることができる	・モーター等パルス負荷のように電源に対し負荷電流範囲を広く要求される場合、ドライブ回路設計に対し、何ら配慮がいらない
オン抵抗の温度特性が正	・並列接続が容易	

7－2．ゲートドライブ回路設計の留意点

（１）駆動回路

(a)ドライブ損失は Ciss よりゲートチャージ電荷量 Qg で算出

一般にパワーMOSFET のドライブ回路の設計でドライブ損失を計算する場合､次式で求めることができます。

$$ドライブ損失Pd = f \cdot Ciss \cdot (V_{GS})^2$$

$$\left[\begin{array}{l} f：動作周波数 \\ V_{GS}：ゲート・ソース間電圧 \\ t：スイッチング時間 \end{array}\right]$$

この式の中で入力容量 Ciss は、データシートでは V_{DS} を固定したときの値であり、この値をそのまま入れて計算した場合実際の損失とは乖離が生じます。その理由は、Ciss の中にミラー容量であるゲートードレイン容量 C_{GD} の存在があり、C_{GD} はドレインーソース間電圧 V_{DS} の関数となっており、またゲートーソース容量 C_{GS} は、V_{GS} の関数となっているためです。実際にドライブ回路を設計する上で上記式の Ciss を V_{DS} および V_{GS} の関数として扱った場合、かなり複雑となり面倒な計算となります。
そこで V_{GS}、V_{DS} の関数としてゲートチャージ電荷量 Qg を規定する方法が最適です。

FMV06N60ES(600V/6A)の入力電荷を図７－１に示します。

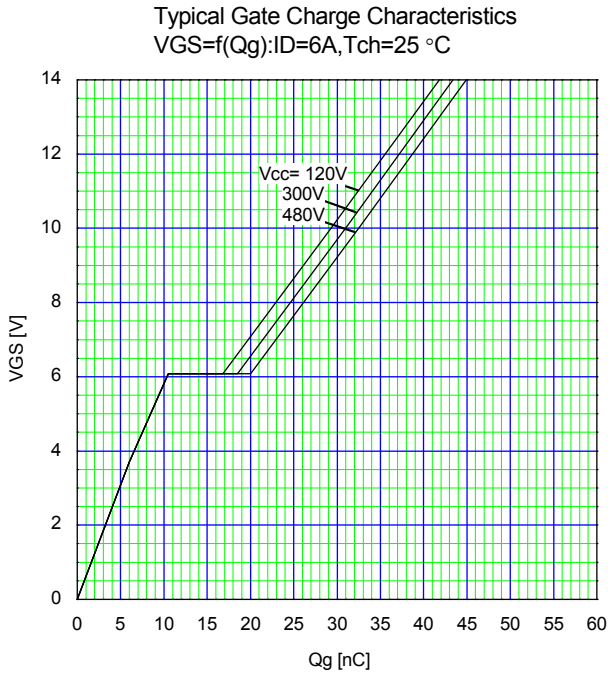


図７－１．入力電荷（標準）　Typical Input Charge

ゲートチャージ電荷量 Qg でドライブ回路のドライブ損失を計算する場合、次式により求めることができます。

ドライブ損失　$Pd = f \cdot Qg \cdot V_{GS}$

（例）V_{GS}=10V、f=200kHz でドライブしたとき

・仕様書記載の Ciss を用いてドライブ損失を計算した場合

Ciss=2280 pF、　Pd=0.05W

・ゲート・チャージ Qg を用いてドライブ損失を計算した場合

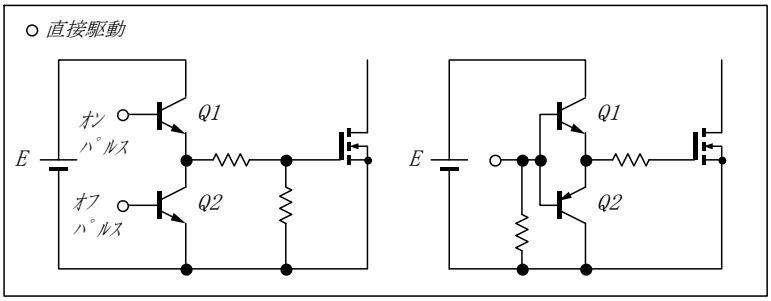
Qg=54nC、　Pd=0.11W

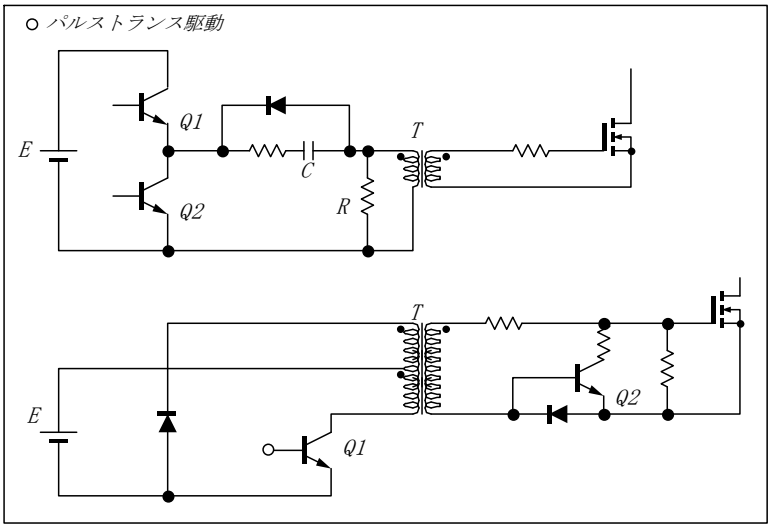
仕様書記載の Ciss を用いて計算した結果に対し、Qg を用いて計算した結果ではドライブ損失に 2 倍以上の違いが出ます。

(b)その他のポイント

項目	注意点
スイッチング損失	・スイッチング損失を減少させる為に、ゲートチャージ電荷量を短時間で放電できるように配慮が必要。
駆動回路の電圧	・最悪でも 8V 以上に維持する事が必要で、電圧低下時に V_{GS} が 8V 以下になる前に発振停止させる等の配慮が必要。 ・OFF 時に V_{GS} がゲートしきい値電圧 $V_{GS(th)}$ を越える事がない様に配慮が必要。

＜駆動回路例＞





（２）SuperFAP シリーズとゲート抵抗 Rg

SuperFAP シリーズは、ゲート電荷量を小さくしたことにより従来品と比較して高速スイッチングが可能な特性を有しています。従って、従来はゲート抵抗を小さくしてスピードアップを図り、スイッチング損失の低減をしていましたが、SuperFAP シリーズでは従来品よりも大きなゲート抵抗で高速スイッチングが可能となり、スイッチング損失を低減できます。90W ワールドワイド入力のノート PC 用 AC アダプターのメインスイッチ用 MOSFET に、従来品と SuperFAP シリーズを搭載し、ゲート抵抗を変化させたときのターンオフ損失、温度上昇、電源効率のグラフを図７－２，３，４に示します。

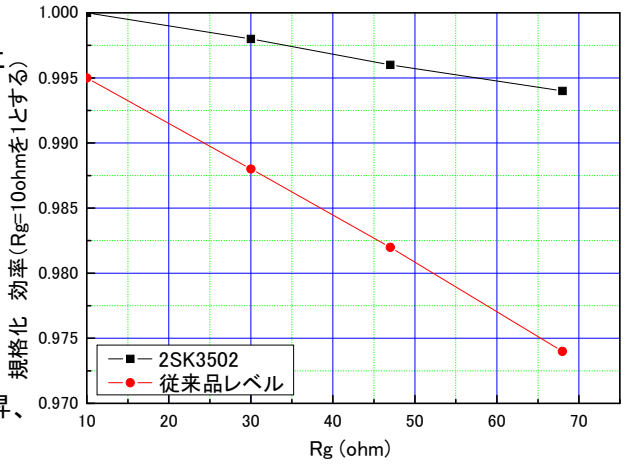


図７－２．ゲート抵抗と規格化電源効率

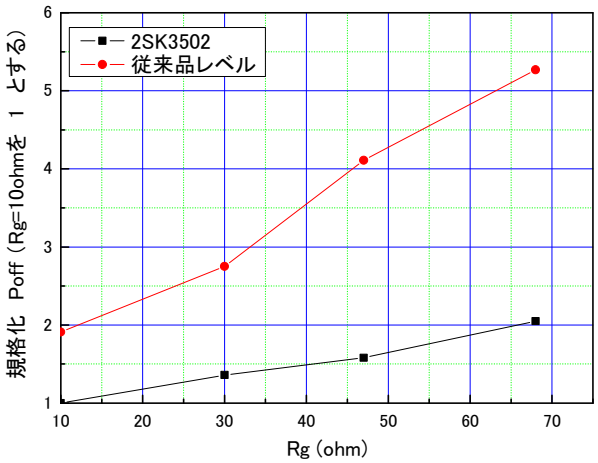


図７－３．ゲート抵抗と規格化したターンオフ損失

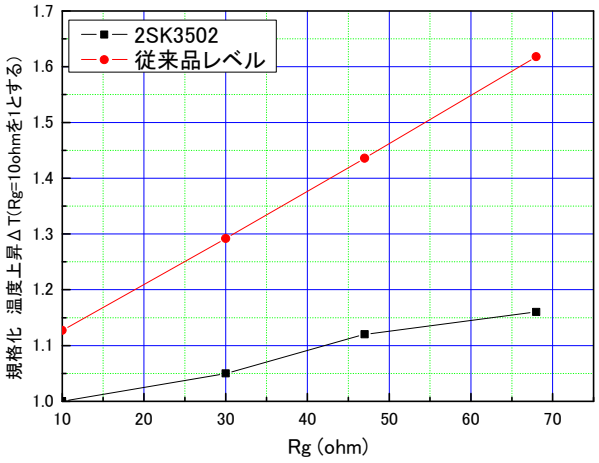


図７－４．ゲート抵抗と規格化した温度上昇

７－３．並列接続時の注意事項

電子機器の出力容量を高めようとする場合、その電子機器の主回路に使用されるパワー素子を並列接続する機会は少なくありません。一般にパワーMOSFET は、バイポーラトランジスタよりも並列接続が容易であると言われています。その理由は、パワーMOSFET の動作抵抗が正の温度係数を持ち、並列接続された各々の素子に流れる電流に不平衡が生じたとしても、この正の温度係数により電流不平衡を緩和させるからです。しかしながら、それぞれの MOSFET を並列接続する配線に不均一があると、「オン」、「オフ」のスイッチング動作過渡期において電流不均衡が生じ、しいてはチャネル部温度の不均一を招くことになります。
ここではパワーMOSFET の並列接続に関する幾つかの注意点を述致します。

（１）ゲート寄生振動

４－４章「寄生発振による破壊」で述べたように MOSFET のゲートを直接並列接続すると、ゲートに寄生振動が生じ、ゲート破壊に至る恐れがありますので、並列 MOSFET の各ゲートに直列に 4.7Ω以上の抵抗を接続して下さい。

（２）回路配線

複数の MOSFET を並列接続する場合、ゲート駆動及び主回路配線は、均等にすることが望まれます。特に主回路・ソース電極配線に含まれるインダクタンス *ls* により生ずる逆起電圧

Vls = ls・di/dt

は MOSFET ゲートーソース電極間直近の電圧に大きく作用し、MOSFET ターンオン時の電流バランスに大きな影響を与えます。

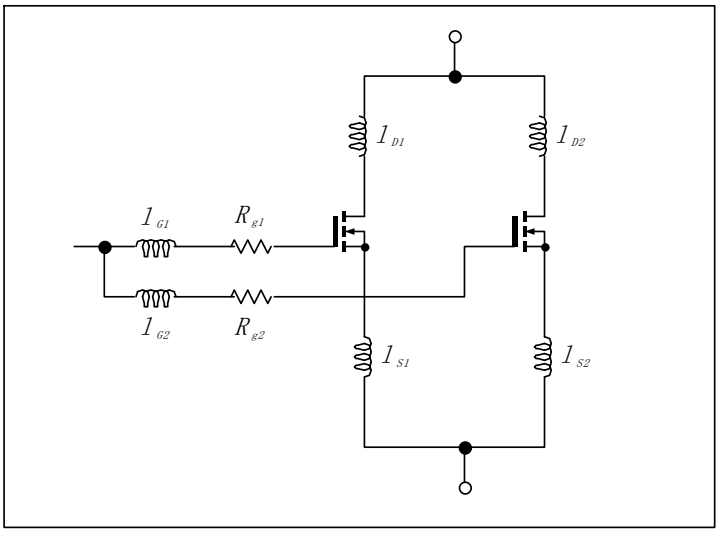


図７－６．配線インダクタンス　等価回路

500V/10A 定格の SuperFAP-G 2 個を用い、主回路のドレイン及びソース配線インダクタンス ID, IS の差により生ずるターンオンおよびターンオフ時の電流バランス波形を図７－７、７－８に示します。

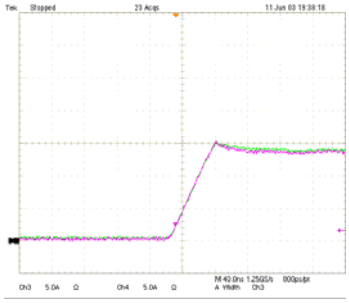
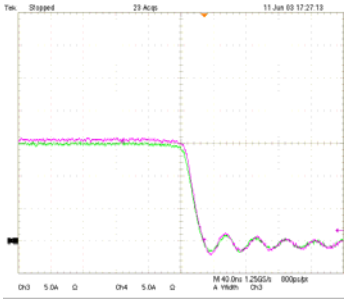
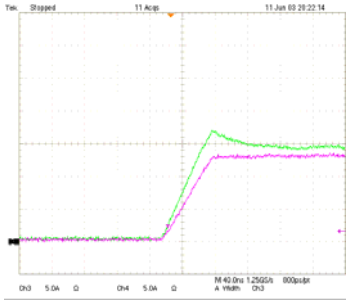
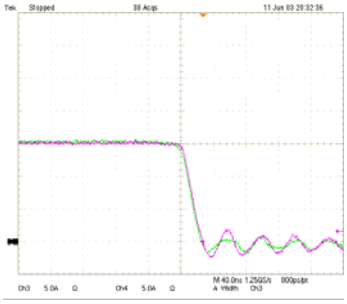
	ターンオン電流バランス	ターンオフ電流バランス
ΔLd=6nH		
ΔLd=45nH		

図７－７．主回路ドレイン電極配線インダクタンスに差が有る場合

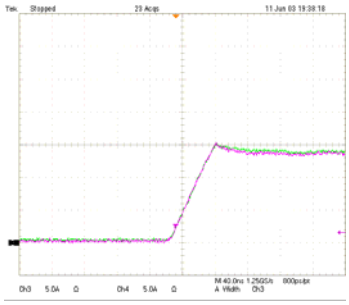
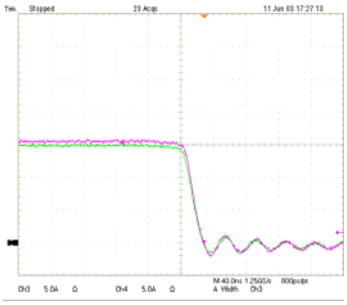
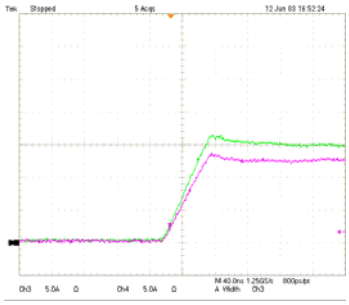
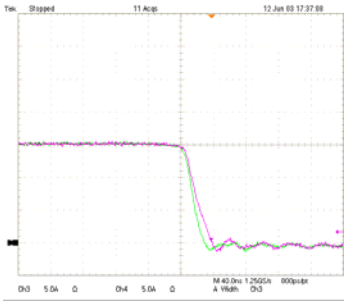
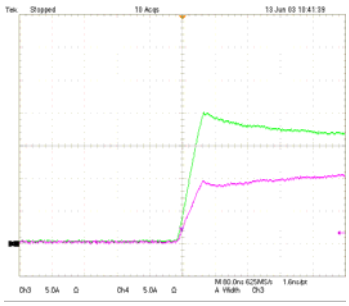
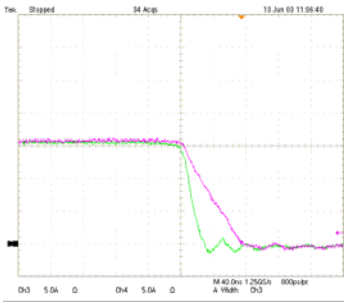
	ターンオン電流バランス	ターンオフ電流バランス
ΔLs=2nH		
ΔLs=6nH		
ΔLs=21nH		

図７－８．主回路ソース電極配線インダクタンスに差が有る場合

この様に、並列運転におけるターンオン時の電流バランスは、主回路ソース側配線に大きく左右されるので注意が必要です。従って、ソースーグランド間の配線を極力短く、太くしてインダクタンスを小さくする必要があります。

（３）電流アンバランスの改善

（ａ）MOSFET 特性と電流バランス

MOSFET の動作抵抗は正の温度係数を持つため、並列運転時に生ずる電流アンバランスを常に改善するように作用します。

しかしながら、スイッチング電源用途のように高周波で使用する場合、ターンオン・オフ時の過渡電流アンバランスにより生ずる損失アンバランスも無視できなくなります。この電流アンバランスを改善する方法として、富士パワーMOSFET はしきい値電圧 $V_{GS(th)}$の標準クラス分けで対応する用意があります。

表７－１．SuperFAP シリーズ $V_{GS(th)}$の標準クラス分け

系列 / ランク記号	SuperFAP シリーズ（ロジック系）	SuperFAP シリーズ（ノンロジック系）
	範　囲	範　囲
C	0.95V～1.30V	－
D	1.25V～1.60V	－
E	1.55V～1.90V	－
F	1.85V～2.20V	－
G	2.15V～2.50V	－
L	－	2.95V～3.35V
M	－	3.30V～3.70V
N	－	3.65V～4.05V
P	－	4.00V～4.40V
R	－	4.35V～4.75V
S		4.70V～5.00V

注）ランク指定はできません。

（ｂ）ドライブ条件と電流バランス

特にターンオフ電流アンバランスを改善する方法として、できるだけスイッチング時間を短くする工夫が必要です。図７－９は 500V/10A の MOSFET を用い、ゲート直列抵抗高低によるターンオンおよびターンオフ時の電流アンバランスの状況を示します。

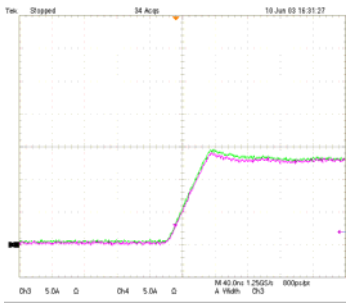
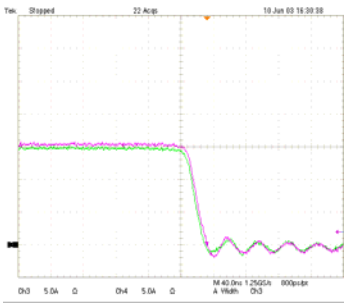
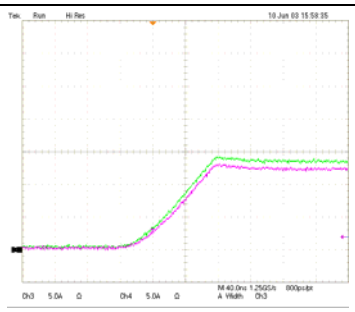
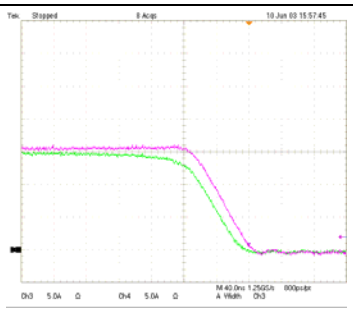
	ターンオン電流バランス	ターンオフ電流バランス
Rg=10Ω		
Rg=200Ω		

図７－９．直列ゲート抵抗の違いによる電流バランス波形

７－４．応用例

Application	Circuit type	MOSFET Breakdown Voltage BV_{DSS} [V]	○:Planer / ●:SJ-MOS MOSFET On-state Resistance $R_{DS(on)}$ [ohm] Power range [W] ~30	50	100	150	200	300	500	1k	2k	Recommended IC
Standard PowerSupply	CRM-PFC	600V		○ 0.85	○ 0.52	○ 0.52	○ 0.38	○ 0.27				FA5590series
	CCM-PFC	600V							● 0.19	● 0.19x2	● 0.11x2	FA5502 FA5610series
	Single Forward	900V		○ 2.5	○ 2.0	○ 1.4	○ 1.0	○ 1.4x2	○ 1.0x2			FA5504/10/14 FA5604
	Double Forward	500V							○ 0.27	● 0.19		-
	Phase-shift Full-Bridge	600V								● 0.38	● 0.19	-
LCD-TV PDP-TV	CRM-PFC CCM-PFC	500V / 600V			○ 0.52	○ 0.38	○ 0.31	● 0.19	● 0.19x2			FA5590series FA5610series
	Current Resonant	500V			○ 1.5	○ 0.85	○ 0.52	○ 0.38				M-Power
	QR	800V		○ 2.0	○ 1.5							FA5571series
Photovoltaics Power Conditioner	Boost-Chopper	600V									● 0.05x2	-
	Full-Bridge	500V									● 0.05x2	-
Adapter (Low Power)	Ringing choke 100V / 110V	600V	○ 2.3									-
	Ringing choke 200V / 220V	900V	○ 4.6									-
Desktop PC / PC server	CCM-PFC	600V				○ 0.4	○ 0.4	● 0.19	● 0.19x2	● 0.19x2		FA5502 FA5610series
	Single Forward	900V				○ 2.0	○ 1.4	○ 1.0				FA5504/10/14 FA5604
	Double Forward	500V						○ 0.52	○ 0.27	● 0.19		-
NotePC-Adapter / IJP / LBP	CRM-PFC	600V			○ 0.52	● 0.38						FA5590series
	Flyback-PWM	600V	○ 2.3	○ 1.2	○ 0.75	● 0.38						FA5528series FA5592series
	Flyback-QR	600V	○ 2.3	○ 1.2	○ 0.75	● 0.38						FA5571series
Bus converter	Single Forward	200V		○ 170m	○ 66m	○ 66m	○ 66mx2	○ 66mx2	○ 66mx2			-
	Phase-shift Full-Bridge	100V						○ 10mx8	○ 10mx8			-

※上記表はあくまでも選定の目安ですので、評価の上適用 MOSFET を決めてください。