

車載用第4世代 IPS 「F5100 シリーズ」

4th Generation IPS “F5100 Series” for Automobiles

鷹坂 浩志 TOBISAKA Hiroshi

中川 翔 NAKAGAWA Sho

豊田 善昭 TOYODA Yoshiaki

自動車電装システムに使用される半導体製品では、小型化、高信頼性化、低価格化の要求が高まっている。これを受けて、出力段パワー MOSFET をプレーナ型からトレンチ型にし、制御・保護回路の微細化や多層配線技術を適用した第4世代 IPS 「F5100 シリーズ」を開発した。製品のラインアップは、従来の SOP-8 パッケージに搭載した1チャンネル品ならびに同一サイズのパッケージの2チャンネル品がある。主な特徴は次の四つである。過電流や過熱検出機能による負荷短絡保護、低電源電圧動作、状態出力用ステータス端子の内蔵およびインダクタンス負荷時の高速ターンオフである。

There is an increased demand for small, highly reliable, low-cost semiconductor devices in the automotive application.

Accordingly, we have developed the 4th generation IPS “F5100 series” by changing the power metal-oxide-semiconductor field-effect transistor (MOSFET) in the output stage from a planar structure into a trench structure, as well as by employing minute circuits for control and protection circuits and applying multi metal layer technology. The product lineup contains 1-channel devices mounted in existing SOP-8 packages and 2-channel devices of the same package size. These devices have the following four main features: short-circuit protection by functions of detecting overcurrent and overtemperature, low power-supply voltage operation, status signed output and high speed turn-off function for inductive load.

1 まえがき

近年、“安全”“環境”“省エネルギー”をキーワードに自動車電装分野での電子制御化が進んでいる。自動車電装システムに使用される半導体製品には、小型化、高信頼性化、低価格化の要求が高まっている。

富士電機では、エンジンやトランスミッション、ブレー

キなどの自動車電装システム向けに、インテリジェントパワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 製品の開発を行ってきた。これらの製品は、出力段として用いる縦型パワー MOSFET と、制御・保護回路を構成する横型 MOSFET とを同一のチップ上に集積化している。製品群には、電源側に半導体デバイスを配置し、グランド側に負荷を配置するハイサイド型

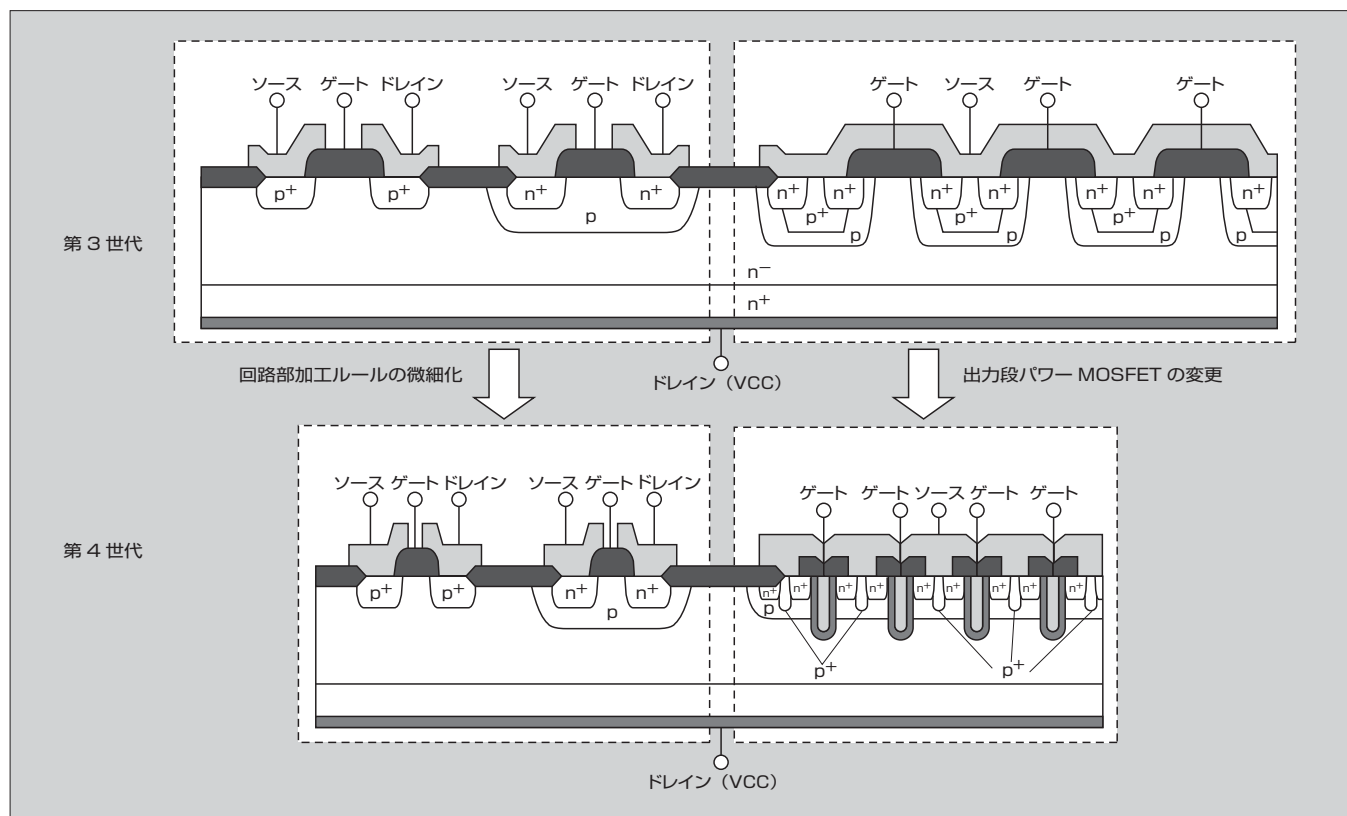


図1 第4世代 IPS デバイス・プロセス技術の特徴

IPS (Intelligent Power Switch) と、この配置を逆にしたローサイド型 IPS とを、系列化している。本稿では、上述の集積化を行うために開発した第4世代 IPS のデバイス・プロセス技術、ならびにその技術を適用したハイサイド型の車載用第4世代 IPS 「F5100 シリーズ」について述べる。

② 第4世代 IPS デバイス・プロセス技術の特徴

富士電機では、インテリジェントパワー MOSFET を自己分離型 CMOS/DMOS (Complementary Metal-Oxide-Semiconductor/Diffusion MOSFET) プロセス構造を用いて実現してきた。出力段パワーデバイスには、プレーナゲート型の MOSFET を採用し、QPJ (Quasi Plane Junction) 技術を適用して $R_{on} \cdot A$ (単位面積当たりのオン抵抗) の低減を推進し、顧客製品の小型化に貢献してきた⁽²⁾。

第4世代 IPS デバイス・プロセス技術の特徴は、出力段縦型パワー MOSFET を、従来のプレーナゲート型 MOSFET からトレンチゲート型 MOSFET に変更した点である (図1)。これにより、従来の出力段 MOSFET と比較して、 $R_{on} \cdot A$ を約 55% 低減させることができた。

(1) 回路部

従来の自己分離型統合パワー IC 技術や IPS デバイス技術⁽³⁾を基に、各要素デバイスの微細化を行った。また、要素デバイス自体の微細化に加えて、要素デバイス間を接続する配線が占める面積を低減する多層配線技術を適用した。

(2) 主な要素デバイス

回路用 5V 系 CMOS に加え、60V 系 CMOS を用意している。ハイサイド型デバイスではチップ裏面電位が電源直結端子となり、自動車用 12V 系バッテリーで発生し得るロードダンプサージ^(注1)などに対してサージ耐性を満たすために、60V 系 CMOS を用意した。ローサイド型ではデバイスのオン時に裏面電位がほぼ 0V となり、60V 系の CMOS は使用できないため、ロードダンプサージに対しては出力段パワー MOSFET でサージ耐性を満たしている。

(3) 回路用の MOSFET

ゲート酸化膜として、薄膜と厚膜の2種類を用意した。薄いゲート酸化膜の MOSFET は、しきい値電圧が低いため、バッテリー電圧低下時に駆動を要求される製品の回路に使用できる。一方、厚いゲート酸化膜の MOSFET は、しきい値電圧は高くなるがゲート耐圧が高いため、例えば外部電源電圧 V_{cc} で直接駆動するような、高電圧でのゲート駆動が必要な回路にも使用できる。

さらに、寄生動作の心配のないポリシリコンデバイスやトリミングデバイスも備えている。

これらを組み合わせることにより、富士電機の現行品に対していっそうの高集積化・高精度化が実現でき、素子自

身の小型化および周辺部品の取込みによる顧客ユニットの小型化といった市場要求に応える製品群が創出できる。

③ ハイサイド型の第4世代 IPS 製品の特徴

第4世代 IPS のデバイス・プロセス技術を適用することにより、既に量産化している SOP-8 パッケージに搭載しているハイサイド型 IPS のチップの小型化が実現可

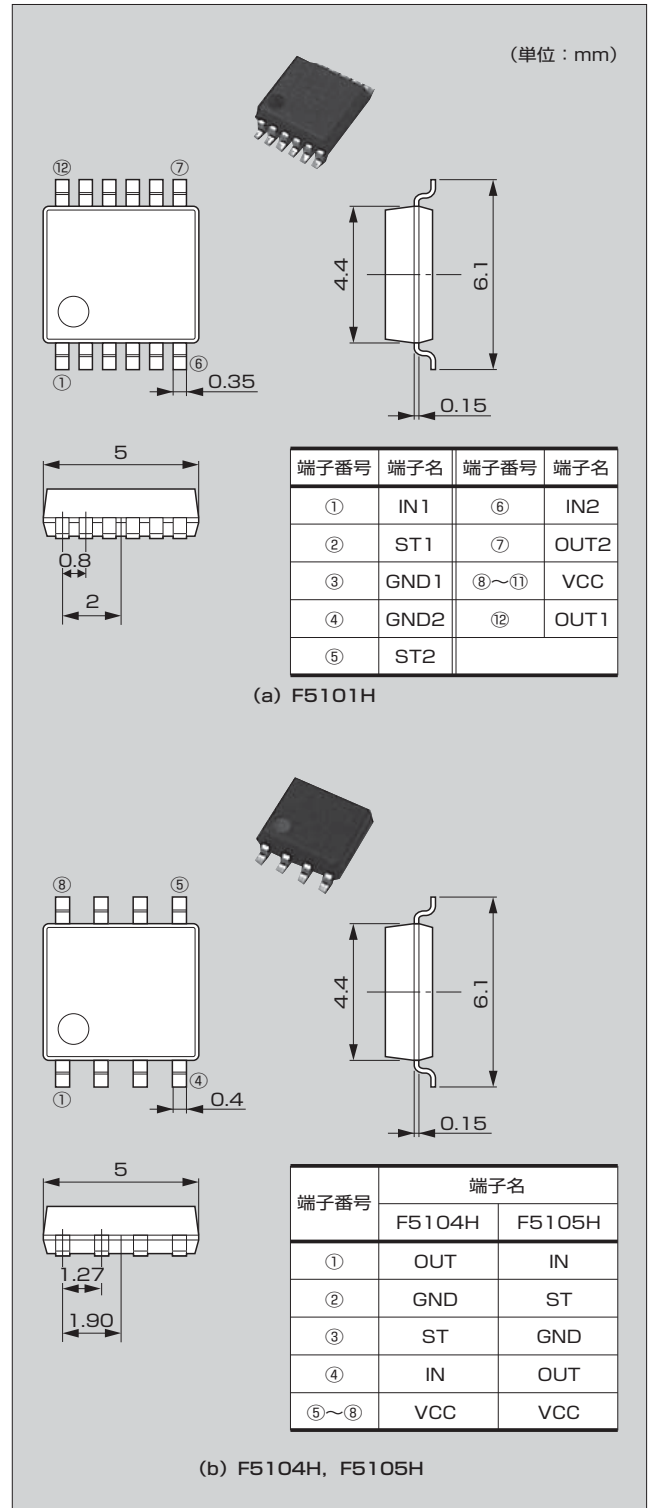


図2 「F5100 シリーズ」の外観、外形図、端子配列

〈注1〉ロードダンプサージ：オルタネータ（発電機）が結線外れした場合などに発生するサージで、時定数が 200ms の長いサージをいう。

表1 「F5100 シリーズ」のラインアップ

新製品型式名	F5101H	F5104H	F5105H
類似現行品型式名	—	F5044H	F5049H
搭載チャンネル数	2チャンネル	1チャンネル	
パッケージ	SSOP-12	SOP-8	

能となった。さらに、同一パッケージサイズで2チャンネルを搭載したハイサイド型 IPS が開発できるようになった。図2に、外観、外形図および端子配列を、表1に本稿で紹介する製品ラインアップおよび対応する現行品を示す。F5101Hは、2チャンネルのハイサイド型 IPS を搭載した製品である。従来、SOP-8パッケージにハイサイド型 IPS を1チャンネル内蔵していたが、同一外形サイズのSSOP-12パッケージを新規に開発したものである。

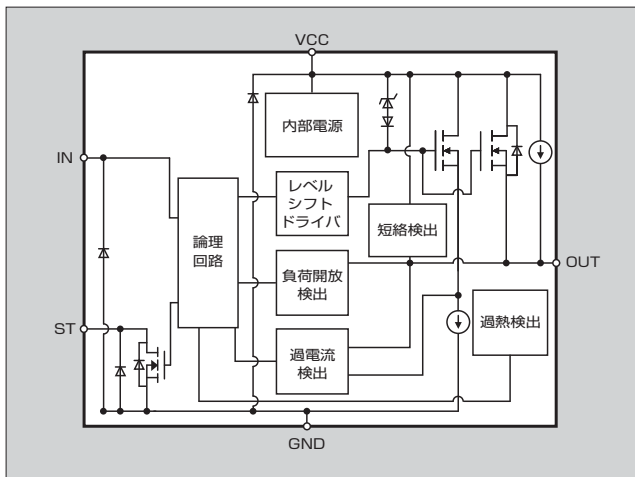


図3 「F5100 シリーズ」の回路ブロック図

表3 「F5100 シリーズ」の電気的特性 ($T_a=25^\circ\text{C}$)

項目	記号	条件	対象機種	規格値		単位
				最小	最大	
動作電源電圧	V_{CC}	$T_j = -40 \sim +150^\circ\text{C}$	3機種*	4.5	28	V
静止電源電流	I_{CC}	$V_{CC} = 13\text{V}, R_L = 10\Omega, V_{IN} = 0\text{V}$	3機種	—	3	mA
入力しきい値電圧	$V_{IN(H)}$	$V_{CC} = 13\text{V}$	3機種	3.0	—	V
	$V_{IN(L)}$	$V_{CC} = 13\text{V}$	3機種	—	1.5	V
入力電流	$I_{IN(H)}$	$V_{CC} = 13\text{V}, V_{IN} = 5\text{V}$	3機種	10	50	μA
オン抵抗	$R_{DS(on)}$	$I_L = 1.25\text{A}$	F5101H	—	0.09	Ω
			F5104H, F5105H	—	0.12	Ω
出カリーク	I_{OL}	$V_{CC} = 13\text{V}$	3機種	—	0.5	mA
過電流検出	I_{OC}	$V_{CC} = 13\text{V}$	3機種	3	—	A
過熱検出	T_{trip}	$V_{CC} = 13\text{V}$	3機種	150	200	$^\circ\text{C}$
ターンオン時間	t_{on}	$V_{CC} = 13\text{V}, R_L = 10\Omega$	3機種	—	120	μs
ターンオフ時間	t_{off}	$V_{CC} = 13\text{V}, R_L = 10\Omega$	3機種	—	70	μs
負荷クランプ電圧	V_{clamp}	$V_{CC} = 13\text{V}, I_L = 1.25\text{A}, V_{IN} = 5\text{V}, L = 10\text{mH}$	3機種	$-(50 - V_{CC})$	$-(60 - V_{CC})$	V
負荷開放検出	R_{LOPEN}	$V_{CC} = 13\text{V}, V_{IN} = 0\text{V}$	3機種	6	36	k Ω

*3機種：F5101H, F5104H, F5105H

また、F5100シリーズの回路ブロック図を図3に、最大定格を表2に、電気的特性を表3に、論理表を表4に示す。いずれもF5101Hでは、1チャンネル当たりのものである。

F5100シリーズの特徴を次に示す。

- (a) 過電流、過熱検出機能による負荷短絡保護
- (b) 低電源電圧動作（現行品：6V, F5100シリーズ：4.5V）
- (c) 負荷状態・異常状態出力用ステータス端子の内蔵
- (d) インダクタンス負荷の高速動作（ターンオフ時の逆起電圧に対する電圧クランプ回路の内蔵）

F5100シリーズにおいても、従来のハイサイド型 IPS と同様に出力段 MOSFET に過電流が流れた場合は、システムや負荷と素子自身を保護するための過電流検出機能を搭載している。図4に、過電流検出状態から出力発振モードに至るまでの動作波形を示す。出力発振状態でのピーク電流を12A程度にクランプしており、過大な電流が流れる

表2 「F5100 シリーズ」の最大定格 ($T_a=25^\circ\text{C}$)

項目	記号	条件	定格		単位
			最小	最大	
電源電圧	V_{CC1}	DC	-0.3	36	V
	V_{CC2}	250ms	—	50	V
出力電流	I_D	—	—	3	A
入力電圧	V_{IN}	DC	-0.5	7	V
ステータス電圧	V_{ST}	DC	-0.3	7	V
ステータス電流	I_{ST}	—	—	5	mA
消費電力	P_D	—	—	1.5	W
接合部温度	T_j	—	-40	150	$^\circ\text{C}$
保存温度	T_{STG}	—	-55	150	$^\circ\text{C}$

表4 「F5100 シリーズ」の論理表

	IN	ST	OUT	備考
正常動作	L	L	L	—
	H	H	H	
	Open	L	L	
負荷開放検出	L	H	H	自己復帰
過熱検出	L	L	L	自己復帰
	H	L	L	
過電流検出	L	L	L	自己復帰 出力発振モード
	H	L	L	

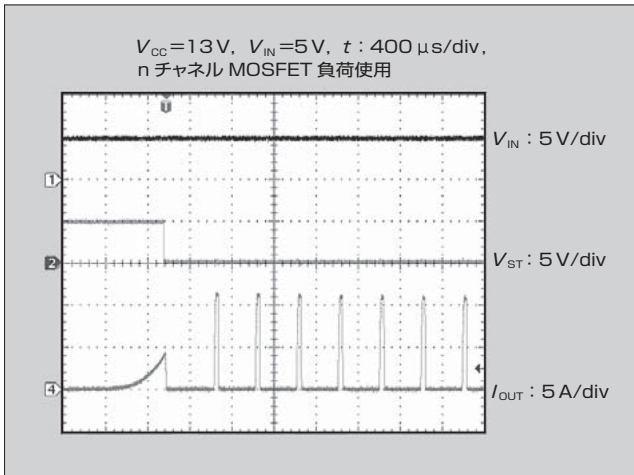


図4 「F5100 シリーズ」の過電流動作時波形 (過電流検出～出力発振モード)

異常状態においてもデバイスが発生するノイズを低く抑えている。また、本ピーク電流のクランプにより、ECU配線の微細化およびワイヤハーネスの細線、軽量化に貢献できる。

現行品は、電源電圧 V_{CC} が5V以下になると、オン抵抗が大きくなって素子が動作しなくなった。F5100シリーズでは、内部回路のゲート酸化膜厚を薄くすることにより、低電源電圧時の動作を改善した。 V_{CC} が4.5Vにおいても、 V_{CC} が13Vの時とほぼ同等のオン抵抗を維持できる(図5)。このため、バッテリーに直結した負荷を駆動する際に電源電圧が低下しても、F5100シリーズの性能を落とすことなく使用できる。

また、回路構成を現行品と同様にして、 V_{CC} が13V時で-41Vと大きなクランプ電圧を確保しているので、インダクタンス負荷の高速ターンオフ動作を可能にしている(図6)。

F5101Hは、2チャンネルが同時に駆動することによる発熱量の増加を避けるために、オン抵抗を低下させている。これにより、1チャンネル品と同様に1Aの通電能力を確保した。また、内部電源回路やGNDワイヤを各チャンネルにそれぞれ配置して、万が一、片チャンネルが破壊しても、もう片方のチャンネルへの影響が少なくなるように配慮した。SSOP-12パッケージの開発には、端子幅、ピッチが

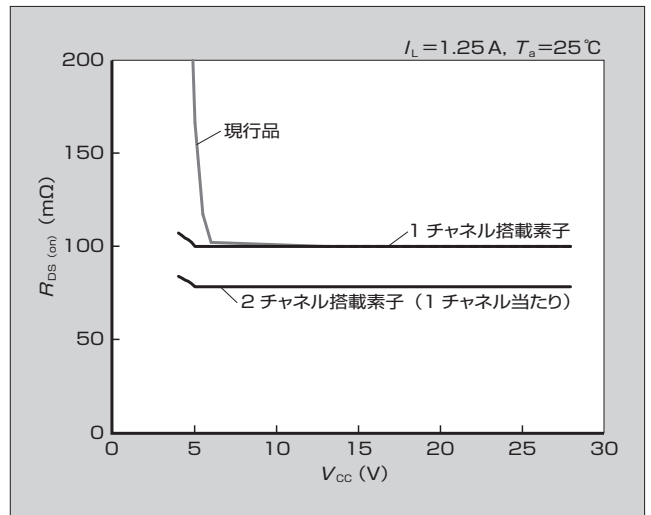


図5 「F5100 シリーズ」のオン抵抗の電源電圧依存性(代表値)

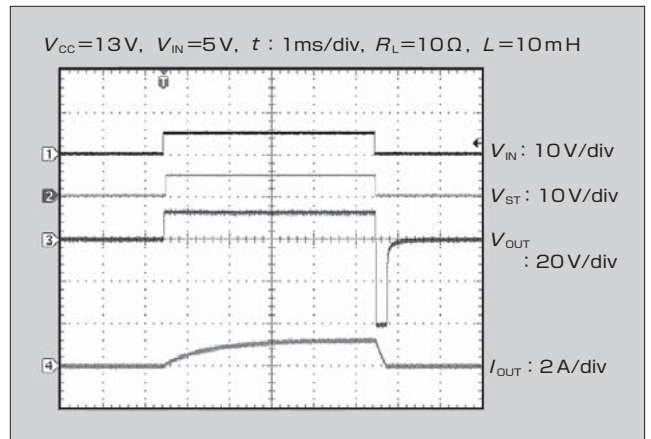


図6 「F5100 シリーズ」のL負荷クランプ動作波形

^(注2) JEITAに準拠したSSOP-20の寸法を踏襲した。なお、端子めっきには、現行品と同様に鉛フリーはんだ(Sn-Ag)を使用している。

4 あとがき

本稿では、ハイサイド型の車載用第4世代IPS「F5100シリーズ」について述べた。 $R_{DS(on)} \cdot A$ を55%低減したトレンチゲート型MOSFETを搭載し、回路部を微細化し、多層配線を適用したことで小型化・低コスト化に貢献できる。今後、第4世代IPSで培った技術を用いてさまざまなパワーIC製品を開発し、自動車分野の発展に貢献していく所存である。

参考文献

- (1) 岩田英樹ほか. インテリジェントパワー MOSFET. 富士時報. 2008, vol.81, no.6, p.410-414.
- (2) 岩水守生ほか. リニア制御用IPS「F5064H」. 富士時報.

〈注2〉 JEITA:社団法人 電子情報技術産業協会。SSOP-12パッケージは、JEITA規格のEDR-7314Aに準拠している。

2010, vol.83, no.6, p.415-419.

- (3) 熊谷直樹ほか. 自動車用自己分離型統合パワー IC技術. 富士時報. 2003, vol.76, no.10, p.622-625.
- (4) 豊田善昭ほか. 自動車用IPSデバイス技術. 富士時報. 2008, vol.81, no.6, p.450-453.



鷹坂 浩志

半導体デバイスの開発に従事。現在、富士電機株式会社電子デバイス事業本部パワー半導体事業統括部自動車電装技術部。



中川 翔

半導体デバイスの開発に従事。現在、富士電機株式会社電子デバイス事業本部パワー半導体事業統括部自動車電装技術部。



豊田 善昭

半導体のデバイス開発・設計に従事。現在、富士電機株式会社電子デバイス事業本部パワー半導体開発統括部デバイス開発部チームリーダー。





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。