

基盤・先端技術

基盤技術
先端技術



展望

パワーエレクトロニクス（パワエレ）などのエネルギー関連分野は、今後の成長分野として期待されている。このため、継続的に産官学連携の大規模プロジェクトが実施されている。これらのプロジェクトにより、これまで日本が競争力を保持してきたSiパワー半導体に次ぐ次世代パワー半導体として、SiC（炭化けい素）やGaN（窒化ガリウム）などのワイドバンドギャップ半導体材料の開発や、これらを利用したパワエレ機器に関する研究開発が推進できるよう、環境整備が行われている。

パワー半導体やパワエレ機器を製品化するためには、分化した要素技術とこれらをまとめるすり合わせ技術が必要となる。パワー半導体の要素技術としては、基盤となる高品質な半導体を形成する技術、基板上にエピタキシャル層を製膜する技術、イオンインプランテーションで不純物をドーピングしp/n制御する技術、フォトリソグラフィ技術、トレンチ形成技術、絶縁膜の形成技術、ショットキー接合やオーミック接合を形成する半導体・金属接合技術などのプロセス関連技術、ならびにプロセス各工程の共通基盤技術がある。これらの要素技術を統合して、目的とする性能・コストを満たす、素子とプロセスを設計・構築することによりパワー半導体素子が完成する。ワイドバンドギャップ半導体の研究開発では、各要素技術のレベルを高めることそのものが重要で難易度の高い先端技術の開発となるが、最終的にパワー半導体素子を競争力ある製品とするためには、要素技術をすり合わせてコスト・性能面での競争力を高めることが重要である。パワー半導体素子と端子部を電氣的に接続する技術、絶縁・耐久性を付与するためのパッケージ技術。そして、出来上がったパワー半導体モジュールを用いたパワエレ機器、そしてこれらをキーコンポーネントとする電力システムなどについても、素子性能の向上に伴い、同様の要求に対応する必要がある。

富士電機は、パワー半導体とパワエレをコア技術の核と位置づけて、必要な基盤・先端技術の研究開発を進め、これらのコア技術を計測・制御技術でシステム化することで、電気・熱エネルギーの関連ソリューションへの取組みを強化している。自社で保有していない先端技術については、

積極的に産官学連携プロジェクト、共同研究へ参画し、獲得を進めている。

SiC関連としては、技術研究組合 次世代パワーエレクトロニクス研究開発機構の高速成長が可能な縦型CVD炉において、エピタキシャル膜成長速度の推定が可能なシミュレーション技術を開発した。また、SiC-トレンチ型MOSFETの開発を国立研究開発法人 産業技術総合研究所と共同で行い、3.3kVクラスで、従来のプレーナ型より20%低いオン抵抗を達成した。さらに、SiC-SBDを開発し、逆回復損失が小さい特長を生かし、インバータ発生損失の25%低減を可能とした。また、これらの半導体素子を開発するために、放射光トポグラフィや分光分析をはじめとした各種の分析技術を駆使し、工程ごとに、欠陥種類や位置、基板応力や変形を追跡評価し、積層欠陥の発生の少ないプロセス技術の構築に貢献した。

パワエレ機器では、小型化・高密度化に対応し、電磁界解析と熱流体解析との連携により損失分布を発熱条件として反映し、従来よりも高精度に温度予測が可能な解析手法を確立した。また、IEC（国際電気標準会議）にて国際規格が多数制定される中、富士電機はこれに積極的に対応し活動功績が評価された。

このほか、電気・熱システムとこれを支えるコンポーネントの高性能化、安全性の向上のため、さまざまな開発を行った。太陽光発電システムの保護技術では、落雷などによる過電流の発生を推定するために系統保護装置とその設置技術を開発した。高温対応はんだ接合材料では、高パワー密度化による電力変換機器の高出力・小型化の実現ができるよう、高温連続動作寿命が従来に比べて約2.6倍の鉛フリーはんだ合金を開発した。配電盤内部の短絡事故を想定したアーク連成解析技術では、配電盤の形状や放圧構造が考慮できるとともに、解析時間の大幅削減（従来比1/100程度）が実現できる、三次元簡易有限体積法熱流体解析とアーク連成解析とを行う解析ツールを開発した。

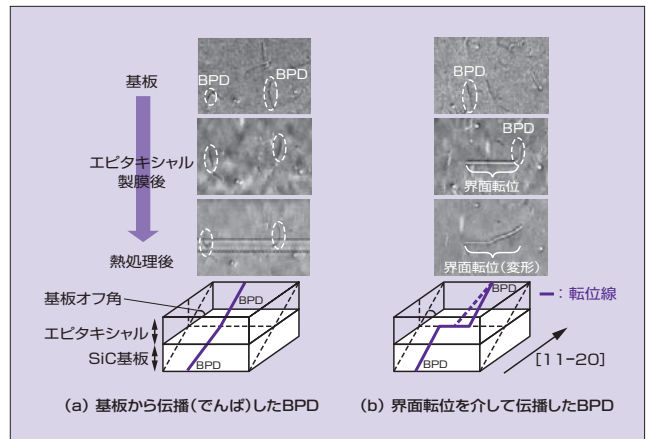
富士電機は、今後も、電気・熱エネルギー技術の革新につながる先端技術への挑戦と、これらの開発を支える基盤技術を駆使して研究開発の質の向上に取り組んでいく。

基盤技術

① 次世代パワーデバイスの開発を支える分析・解析技術

SiC-MOSFET の信頼性向上のためには、デバイス構造中の結晶欠陥制御が不可欠である。特に、本質的に基板に内在する結晶転位を無害な形態へと変化させ、最終的にエピタキシャル膜中に発生する積層欠陥をなくす技術が鍵となる。結晶転位は、プロセスの各段階で発生する熱的・機械的な応力で変化するが、変化過程はこれまで不明であった。富士電機は、放射光トポグラフィや分光分析などの各種の分析技術を駆使して解析し、基板からデバイスに至る工程ごとに、欠陥種類や位置、基板応力や変形を追跡評価した。これを基に、デバイス製造工程での欠陥の発生を抑え、動作時の MOSFET の特性変化が従来の 1/5 以下となる高信頼性 SiC-MOSFET を可能とした。

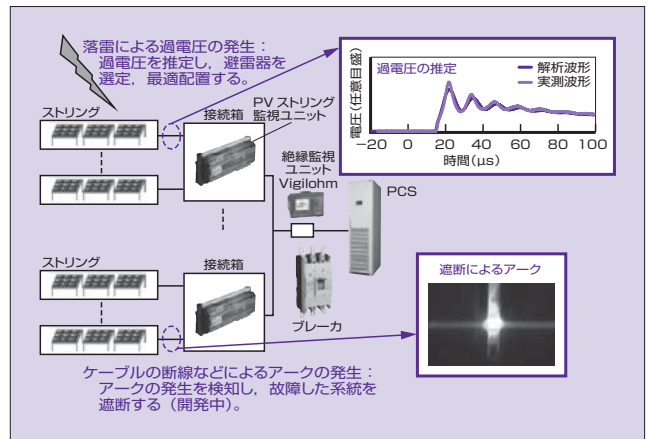
図 1 SiC 基底面転位 (BPD) の放射光トポグラフィ像



② 太陽光発電システムの保護技術

太陽光発電システムの普及拡大に伴い、分散型発電設備の安全運用に対するニーズが高まっている。富士電機では、系統保護に必要となる装置開発に加え、これらを適切に選定、設置するための技術開発に取り組んでいる。これまでに、遮断器の選定に必要となる短絡などに伴う系統電圧および電流の挙動の解析技術、ならびに避雷器の選定に必要な落雷などによる過電圧の発生を推定するための解析技術を開発した。現在、回路の接続不良やケーブルの断線などに起因するアーク故障を速やかに検知するための技術開発に取り組んでいる。今後、ストリング監視装置や絶縁監視装置などを組み合わせることによって、より安全なシステムを提案していく。

図 2 太陽光発電システムの安全運用に関わる製品および技術

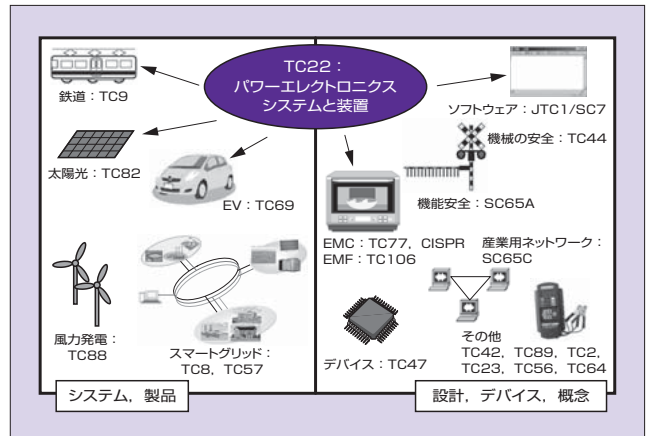


③ パワーエレクトロニクス関連の国際規格への対応

パワーエレクトロニクス分野では、IEC（国際電気標準会議）にて国際規格が多数制定されている。近年、その規格審議数は増え、グローバル市場に展開するためには審議への参加や対応技術の開発が必要であり、富士電機も積極的に対応してきた。ドライブ効率規格では、測定方法・測定順序について、JEMA にて合同で実施した試験結果を基に日本から国際審議へ展開し、リーダーとして IEC 規格ドラフトに反映させた。富士電機は、高周波エミッション国際規格 CISPR11 第 5.1 版改訂の活動功績が評価され、IEC1906 賞を受賞した。また、太陽光発電装置用系統連系電力変換装置に対する EMC 要件の CISPR11 導入の功績が評価され、JEMA 分散型電源 EMC 検討委員会チームの一員として電機工業技術功績者表彰を受賞した。

● 関連論文：富士電機技報 2015, vol.88, no.1, p.71

図 3 パワーエレクトロニクスを取り巻く国際規格



基盤技術

④ MARPOL 条約における「船舶からの大気汚染防止のための規則」に対応したガス分析技術

船舶からの大気汚染を防止するため、国際条約（MARPOL 条約）に基づいて、排ガス規制が順次強化されている。富士電機は、船舶用エンジンの排ガスの連続監視要求として「船舶からの大気汚染防止のための規則」に対応したガス分析技術を開発した。主な特徴は次のとおりである。

- (1) レーザ方式により水分干渉の影響を抑えた湿式計測を可能とした。これにより、水分除去装置が不要となり、装置全体の小型化を実現した。
- (2) 1台の装置に2個のレーザ素子を内蔵し、SO₂（二酸化硫黄）とCO₂の同時計測を実現した。
- (3) SO₂の計測に量子カスケードレーザを適用し、高感度化を実現した。

図4 レーザ方式 SO₂/CO₂ ガス分析計



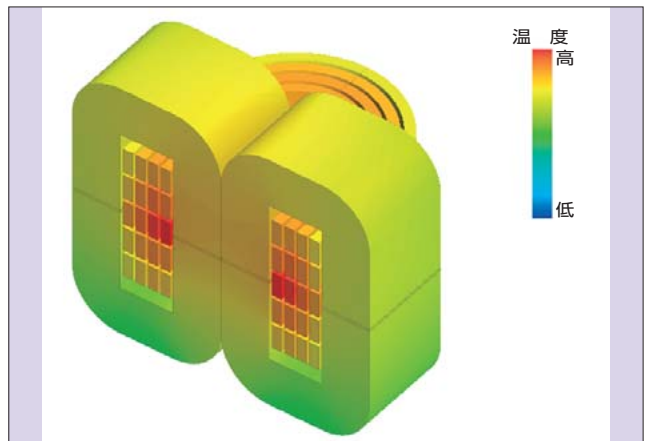
⑤ リアクトル設計における熱シミュレーション技術

近年、パワーエレクトロニクス機器の小型・高密度化が進んでおり、装置の熱設計においてリアクトルやトランスなど磁気部品の温度予測精度の向上が求められている。

温度を精度よく求めるためには、損失の算定精度が重要であり、電磁界解析において磁気特性や漏れ磁束による渦電流損の考慮などモデル化による精度の向上を図った。さらに、電磁界解析と熱流体解析との連携により損失分布を発熱条件として反映することにより、従来よりも高精度に温度予測が可能な解析手法を確立した。これにより、ホットスポットなど詳細な温度分布を解析で把握でき、リアクトル冷却構造の設計精度を向上させることができる。

今後、本手法を装置設計に適用し、試作回数の低減、開発期間の短縮を図る。

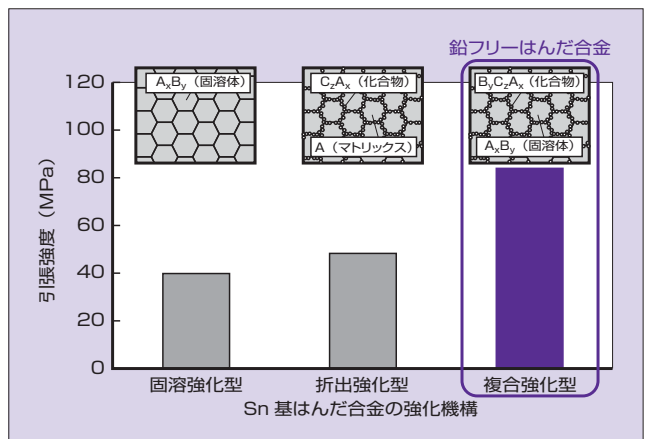
図5 電磁界と熱流体の連携によるリアクトル温度解析例



⑥ 高温対応はんだ接合材料

パワー半導体の接合材料には高温動作・高信頼性化の要求により、高耐熱および耐疲労寿命特性が求められる。富士電機は、1990年以降はんだ接合材料の独自開発を推進してきており、環境に優しく信頼性の高い電力変換機器の実現により社会に貢献してきた。電力変換機器のさらなる高性能化に応えるため、高温動作に対応した新たな鉛フリーはんだ合金を開発した。この鉛フリーはんだ合金は、金属材料の強化機構である固溶強化型と析出強化型それぞれの材料の詳細な故障解析により劣化メカニズムを明確にし、両者の欠点を補って複合強化を行ったものである。これにより、高温連続動作（ $T_{jmax} = 175^{\circ}C$ ）寿命は従来はんだに比べて約2.6倍の向上を達成し、高パワー密度化による電力変換機器の高出力・小型化の実現が可能である。

図6 はんだ合金の強化機構と機械的特性の関係



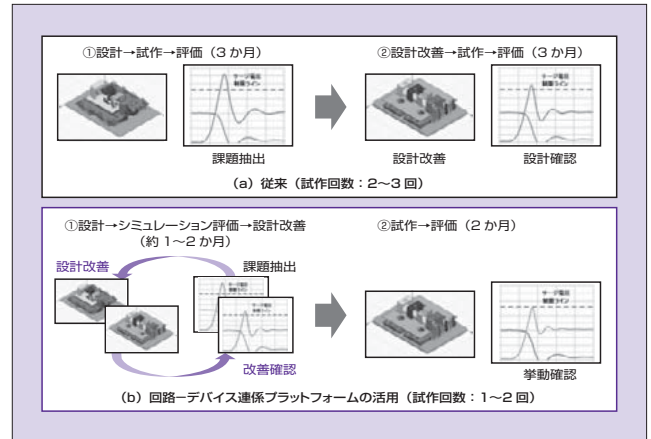
基盤技術

7 回路-デバイス連係プラットフォームを活用したモジュール設計技術

パワーエレクトロニクス機器の低損失化・高電力密度化のために、高周波スイッチング対応のパワーモジュールが求められている。パワーデバイスの性能を引き出し、高周波対応を実現するためにはパワーデバイスの損失とサージ電圧に影響を与えるパワーモジュール内配線構造の最適化が必要である。従来は、配線構造の評価と改善のために試作と実測を繰り返しており、開発期間が長期化していた。

富士電機では、シミュレーション技術を用いてパワーモジュールに組み込んだパワーデバイスの挙動を高精度に計算可能な回路-デバイス連係プラットフォームを活用し、設計段階で配線構造の評価と改善を可能とする技術開発に取り組んでいる。これにより試作回数を削減し、開発期間の短縮を実現している。

図7 モジュール開発フロー

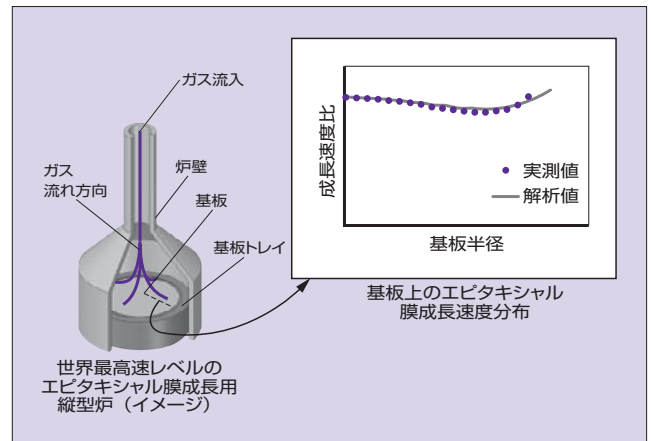


先端技術

1 SiC エピタキシャル膜成長のシミュレーション技術

化学気相成長によるエピタキシャル膜成長では、生産性向上のため、高速かつ均一な結晶を生成させることが重要である。本研究では、技術研究組合 次世代パワーエレクトロニクス研究開発機構で用いている高速成長が可能な縦型CVD炉において、エピタキシャル膜成長速度の推定が可能なシミュレーション技術を開発した。シミュレーションでは、温度やガス流量などの製造条件の変化に伴う基板上的エピタキシャル膜成長速度の分布を推定することが可能となった。本研究は、経済産業省および国立研究開発法人 新エネルギー・産業技術総合開発機構 (NEDO) から委託された“低炭素社会を実現する新材料パワー半導体プロジェクト”の成果である。

図8 基板上的エピタキシャル膜成長速度分布

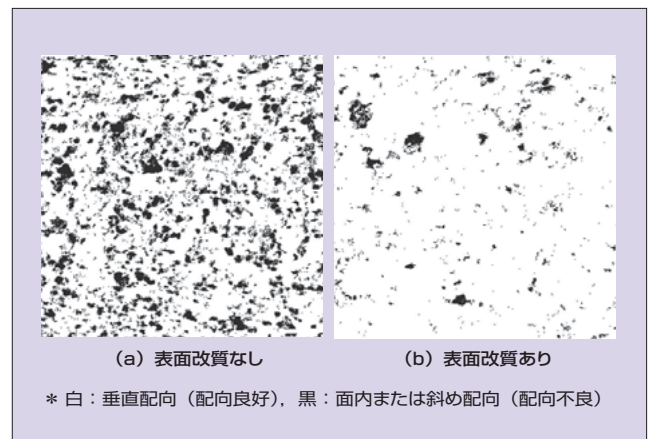


2 熱アシスト磁気記録向け磁性層配向技術

熱アシスト磁気記録方式の媒体磁性層には、磁気異方性エネルギーの高いFePtの規則合金を用いている。立方晶系であるFePt磁性膜は、現行の垂直磁気記録方式の媒体磁性層で使用している六方晶系CoPt磁性膜に比べて、結晶の配向不良が発生しやすく、その結果として記録再生を行った際の低域ノイズも大きくなりやすい。

富士電機は、結晶の配向不良を低減するため、磁性層の直下にあるシード層の開発に取り組んだ。新たに開発したシード層を導入することにより、その直上に成長する磁性粒子の配向不良を、既存のシード層に比べて25%低減できた。今後は、このシード層を適用した媒体において、効果を検証していく。

図9 シード層上に成膜したFePtの結晶方位マッピング

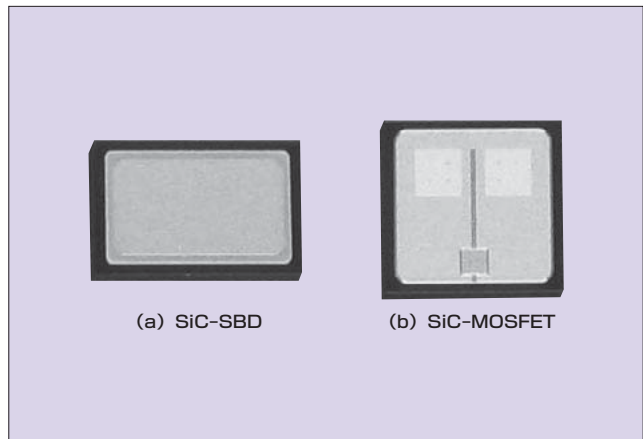


先端技術

③ 3,300 V の SiC-SBD および SiC-MOSFET

SiC-SBD は逆回復損失が非常に小さいという特徴がある。3,300 V の IGBT モジュールに使われているシリコンダイオードを SiC-SBD に置き換えてハイブリッドモジュールとすることで、インバータ発生損失を 25% 低減することが可能である。また、SiC-MOSFET は SiC-SBD と組み合わせることで All-SiC モジュールとしてインバータ回路に用いられ、発生損失のさらなる低減が可能である。SiC-MOSFET には IEMOS 構造を採用し、室温における特性オン抵抗値 $14 \text{ m}\Omega\text{cm}^2$ を達成した。これらの 3,300 V の SiC モジュールは、鉄道車輛や送配電機器への適用が期待されている。本研究あるいは本研究の一部は、共同研究体「つくばパワーエレクトロニクスコンステレーション (TPEC)」の事業として行われたものである。

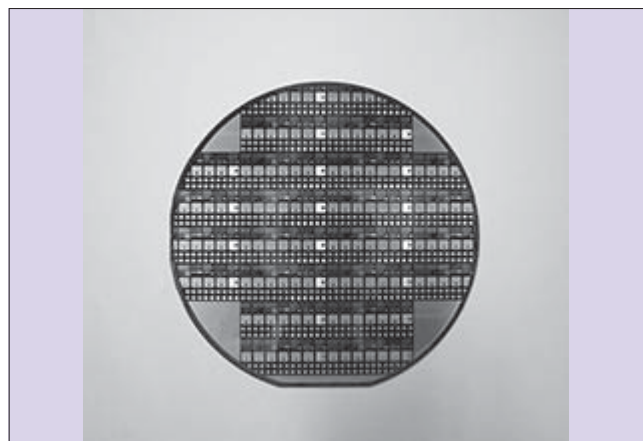
図 10 チップ外観



④ SiC トレンチ型 MOSFET

近年、電力変換装置の高効率化、小型化の要求に応え、低損失化が可能な SiC-MOSFET の実用化が進められている。これらの構造はプレーナ型であるため微細化によるオン抵抗の低減には限界が存在する。そこで、さらなるオン抵抗の低減に向け、富士電機は微細化に有利なトレンチ型 MOSFET の開発を国立研究開発法人 産業技術総合研究所と共同で行っている。開発しているトレンチ型 MOSFET は、低オン抵抗を目指すとともに、高信頼性を確保するためにトレンチゲートより深い p 型ウェル構造を用い、トレンチボトムのゲート酸化膜電界の緩和を図っている。本構造で試作した 3.3 kV クラスのトレンチ型 MOSFET は、プレーナ型より 20% 低いオン抵抗を達成している。

図 11 3.3 kV SiC トレンチ型 MOSFET のウェーハ

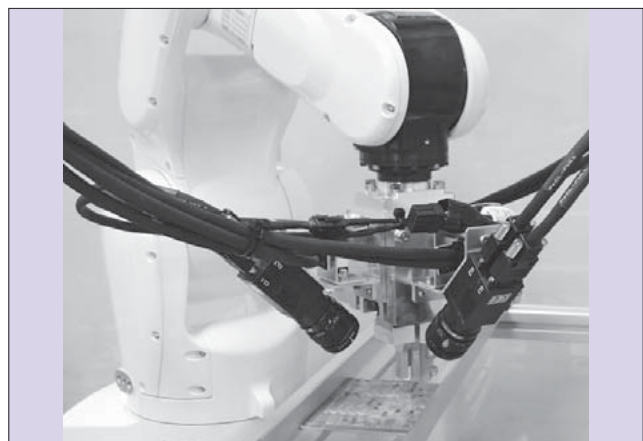


⑤ ロボット操作における視覚フィードバック制御

近年、ロボットによる自動化が進められているが、人間の知覚（視覚、力覚、触覚など）に頼った作業に関しては、実用レベルに達していない。そこで、人間のように状況に応じた行動ができるよう、視覚情報、力覚情報などをリアルタイムにフィードバックして、アーム軌道や作業を行なう際の力を制御するロボットの自律制御技術の開発を進めている。

今回、視覚情報をロボットのフィードバック制御に用いた電子部品の自動実装技術を開発した。電子部品をプリント基板に挿入する際に、2 台のカメラでリード先端とスルーホールを中心を捉え、その両者が各カメラ画像上で一致するようにアーム軌道を逐次修正することにより、位置ずれによる挿入の失敗がなく高精度な挿入が可能となった。

図 12 視覚フィードバック制御による電子部品実装





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。