

IPM 用 HVIC 技術

HVIC Technology for IPM

上西 顕寛 JONISHI, Akihiro

赤羽 正志 AKAHANE, Masashi

山路 将晴 YAMAJI, Masaharu

高耐压のゲートドライバICであるHVIC (High Voltage Integrated Circuit) は、IPM (Intelligent Power Module) の高機能化を実現するキーデバイスの一つである。富士電機は、小・中容量 IPM 向けに高機能・小型・高信頼性を特徴とする産業用 600 V/1,200 V 保証 HVIC 技術を開発した。省面積回路化、ならびに高耐压技術や高ノイズ耐量レベルシフト回路技術の採用により、20% のチップサイズ縮小と高耐压および高信頼性を同時に実現した。また、上アーム IGBT の過熱・過電流の保護回路技術および異常通知信号のレベルダウン機能を実現した。

A high voltage integrated circuit (HVIC), which is a gate driver IC with a high breakdown voltage, is one of the key devices required in enhancing the functionality of intelligent power modules (IPMs). Fuji Electric has developed HVIC technology characterized by its advanced functionality, compactness, high reliability, and guaranteed industrial use at 600 V/1,200 V for small- and medium-capacity IPM. By reducing the circuit area and adopting high breakdown voltage technology and enhanced noise resistant level-shift circuit technology, we have reduced the chip size by 20% while improving the breakdown voltage and reliability. In addition, we have achieved over-current and over-heat protection circuit technology for upper-arm IGBT, as well as level-down functionality for alarm signals.

① まえがき

IPM (Intelligent Power Module) は、IGBT (Insulated Gate Bipolar Transistor) などの電力スイッチング素子や FWD (Free Wheeling Diode) とともに、ゲート駆動機能・保護機能を備えるドライバICを一つのパッケージに集積した電力用半導体モジュールである。IPM は、システムの部品点数の削減や小型化、設計の簡素化などに貢献し、産業機械、エアコンなどの家電製品、サーバ用電源機器など幅広い用途で用いられている。

富士電機では、1986年にバイポーラトランジスタを用いた世界初のIPMを開発した。それ以降、1997年に世界で初めてIGBTチップ過熱保護機能を搭載したIPMを開発するなど、システムの高信頼性化・小型化に貢献する製品を積極的に開発してきている。2012年には高耐压のゲートドライバICであるHVIC (High Voltage Integrated Circuit) を搭載することにより、外部の絶縁回路やレベルシフト回路を不要としたインバータエアコン向けの小容量IPM⁽²⁾を製品化した。さらに、産業向け中容量IPMへのHVIC搭載を目指して開発を進めている。

IPMに搭載するHVICには、IPMの耐压クラスに応じて600Vや1,200Vの耐压が求められると同時に、IGBTのスイッチングにより発生するノイズに耐えられる高信頼性や各種保護回路の内蔵、小型チップサイズが求められる。

富士電機は、2010年に開発した800V耐压保証HVIC⁽³⁾技術をベースに、1,200V/100Aクラスまでの小容量IPMと中容量IPM向けに、高機能・小型・高信頼性を特徴とする産業用600V/1,200V耐压保証HVIC技術を新たに開発した。本稿では、その中のデバイス・プロセス技術および要素回路技術について述べる。

② IPM 用 HVIC の特徴

図1に中容量IPM向けに試作した1,200V耐压保証HVICのチップを、図2にその回路および周辺回路ブロック図を示す。HVICの特徴は、接地電位を基準に動作するローサイド回路とともに、上アーム側IGBTのソース電位を基準に動作してゲート駆動機能を担うハイサイド回路と、制御信号のレベルアップ機能を担うレベルシフト回路の三つを一つのチップに内蔵している点である。上アーム側IGBTのソース電位はスイッチングに伴って-100V程度から+1,000V以上にまで変動する可能性があるため、ハイサイド回路とローサイド回路の間には高い分離耐压を持たせている。

HVICでは、ローサイド回路に入力された接地電位基準の制御信号は、レベルシフト回路を介してハイサイド回路内のゲート駆動回路に伝達され、上アーム側のIGBTが駆動される。このレベルシフト機能により、HVICを搭載したIPMでは上アームIGBTの駆動がフォトカプラなどの

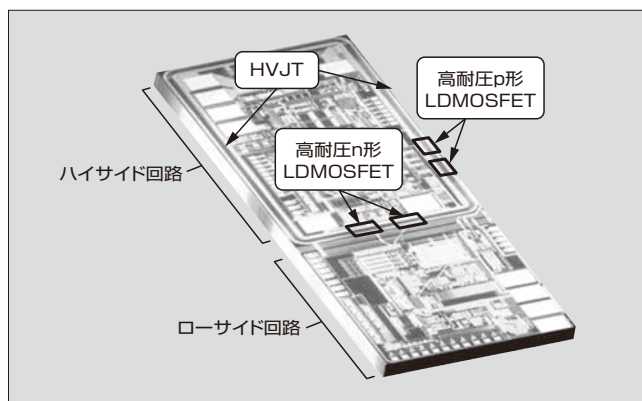


図1 1,200V 耐压保証 HVIC チップ

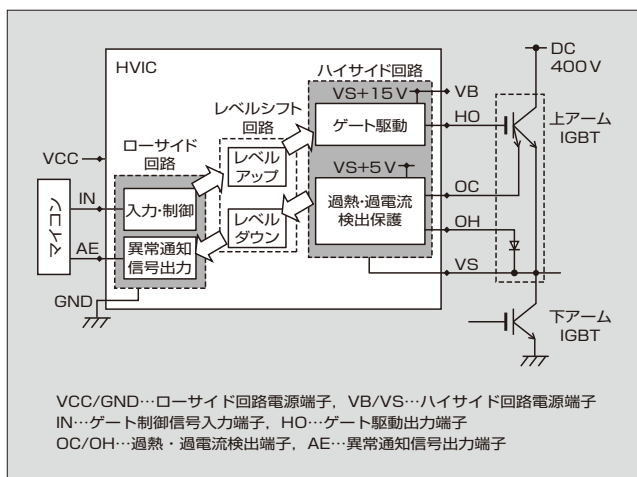


図2 1,200V 耐圧保証 HVIC 回路および周辺回路ブロック図

絶縁素子を用いることなく行われている。

1,200V 耐圧保証 HVIC の特徴は次のとおりである。

- (a) 保証耐圧 1,200V, 電源電圧最大 24V 対応 (従来品は保証耐圧 800V)
- (b) 上アーム IGBT 用の過熱・過電流検出保護機能の新規搭載
- (c) 異常通知信号のレベルダウン機能の新規搭載
- (d) 省面積回路化や高耐圧技術の採用 (従来品はチップ内ワイヤボンディング高電位配線技術)
- (e) 高ノイズ耐量 (dV/dt ノイズ耐量 $\pm 50 \text{ kV}/\mu\text{s}$ 以上)

3 デバイス・プロセス技術

高性能・小型・高信頼性の HVIC を実現するため、新しいウェル構造および高耐圧技術を導入した 600V/1,200V

高耐圧 CMOS プロセスを開発した。素子分離には自己分離方式を採用している。

3.1 分割ハイサイドウェル構造による省面積回路化

図3に HVIC の断面構造を示す。HVIC はローサイド回路を形成するためのローサイドウェルと、ハイサイド回路を形成するためのハイサイドウェルを備えており、いずれも p 形基板上的 n 形拡散層により形成されている。ハイサイドウェルは、HVJT (High Voltage Junction Termination: 高耐圧終端構造) によりローサイドウェルと分離されており、HVJT によりハイサイド回路とローサイド回路の間の高耐圧が保たれる。

(1) 従来のハイサイドウェル構造の課題

図3(a)に示すとおり、ローサイドウェルは各回路の電源電圧に対応する複数の拡散層で構成されるのに対して、ハイサイドウェルは従来の HVIC において単一の拡散層で構成されていた。これは従来の技術では高耐圧を維持したままハイサイドウェルを分割するのが困難であったためである。このためハイサイド回路は電源電圧が 1 種類に限定され、回路設計の自由度が低かった。

(2) 分割ハイサイドウェル構造

上述の課題を解決するため新たに分割ハイサイドウェル構造を開発した。図3(b)に、分割ハイサイドウェル構造を用いた HVIC の断面構造を示す。ハイサイドウェルが二つの電源電圧に対応する二つの拡散層で構成されている。二つの拡散層は、p-isolation と呼ばれる低濃度の n 形拡散層と p 形拡散層から成る構造により、ハイサイドウェルの高耐圧を維持したまま分離されている。これによりハイサイド回路においてもローサイド回路と同様に、複数の電源電圧の回路を用いて回路を構成できる。この設計自由

特集 エネルギーマネジメントに貢献するパワー半導体

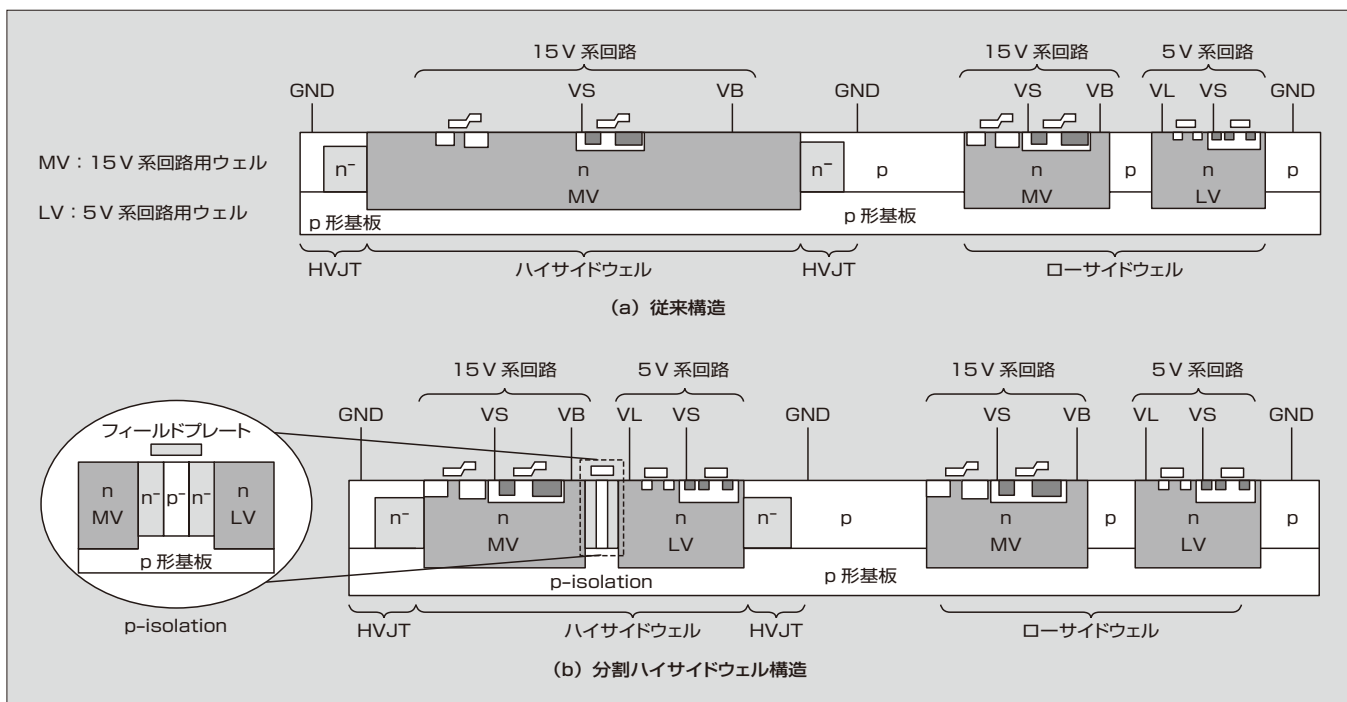


図3 HVIC の断面構造

度の向上により、保護回路などのハイサイド回路を従来よりも約20%小さい面積で実現している。

3.2 省面積セルフシールディング方式による高耐圧技術

レベルシフト回路はローサイド回路からの信号をハイサイド回路に伝達する役目を持っており、ハイサイド回路が例えば400Vを基準に動作しているときには、レベルシフト回路は接地電位基準の信号を400V基準の信号に変換しなければならない。このレベルアップ機能は、高耐圧のn形LDMOSFET (Laterally Diffused Metal-Oxide-Semiconductor Field-Effect Transistor) を用いることにより実現されている。図4に、600V耐圧保証HVICチップのn形LDMOSFET部を示す。

(1) 従来の高耐圧n形LDMOSFET

図4(a)はワイヤボンディングを用いた従来の高耐圧n形LDMOSFETを用いた600V保証HVICのチップである。従来のHVICでは高耐圧n形LDMOSFETがチップ内で大きな面積を占めていた。

(2) セルフシールディング方式高耐圧n形LDMOSFET

今回、チップサイズを小型化するため、省面積で高耐圧が実現できるセルフシールディング方式を採用し、高耐圧n形LDMOSFETを搭載した、600V保証HVICおよび1,200V保証HVICを開発した。図4(b)はセルフシールディング方式高耐圧n形LDMOSFETを用いた600V保証HVICのチップである。セルフシールディング方式では、高耐圧n形LDMOSFETとHVJTが一体で形成しており、独立した高耐圧n形LDMOSFETが必要な従来方式よりも素子の占有面積を小さくできる。この技術により、従来品よりもチップサイズを20%縮小できた。

3.3 レベルダウン用高耐圧素子技術

(1) レベルダウン機能

試作した1,200V耐圧保証HVICは、異常通知信号のレベルダウン機能を備えている。これにより、上アームIGBTチップの過熱・過電流などの異常を通知する異常通知信号を、外部の絶縁素子やレベルシフト回路を用いることなく、外部のマイコンに伝達できる。

ハイサイド回路内の異常検知回路から出力された異常通知信号は、レベルシフト回路のレベルダウン機能によ

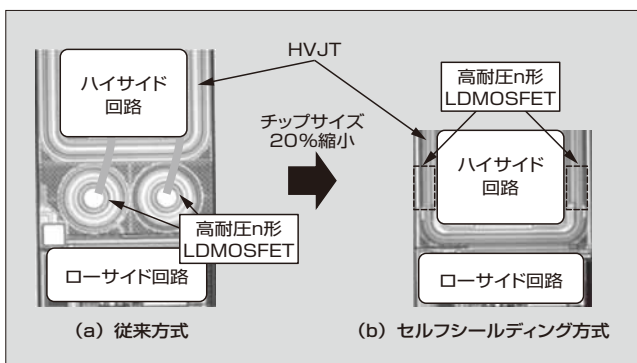


図4 600V耐圧保証HVICチップのn形LDMOSFET部

り接地電位基準に変換され、ローサイド回路を介してマイコンに伝達する仕組みとなっている。レベルシフト回路のレベルアップ機能は高耐圧n形LDMOSFETにより実現しているのに対し、レベルダウン機能は高耐圧p形LDMOSFETにより実現している。

(2) 素子構造

図5に、今回新たに開発した1,200V耐圧保証p形LDMOSFETの素子構造を示す。高耐圧n形LDMOSFETと同様、セルフシールディング方式によりHVJTと一体化した構造となっている。また、1,200V耐圧を保証するため、ダブルリサーフ構造と呼ばれる高耐圧構造およびRFP (Resistive Field Plate: 抵抗性フィールドプレート) 構造を採用している。ダブルリサーフ構造とは、p形基板、n形拡散層、表面のp形拡散層による三層構造からなり、高電圧印加時にn形拡散層と表面のp形拡散層が完全に空乏化することにより電界が緩和される。また、RFP構造は両端電極を高電位と接地電位に接続されたポリシリコン抵抗を高耐圧領域に配置し、ポリシリコン抵抗部にできる均等な電位勾配により高耐圧領域の電界を緩和する。これらの構造は、HVJTおよび高耐圧n形LDMOSFETでも採用している。

(3) 特性

図6に1,200V耐圧保証p形LDMOSFETの特性を示す。図6(a)はオフ耐圧波形である。横型素子でありながら実耐圧約1,640Vを実現している。1,700V以下の領域で見られるリーク電流は、RFP構造を流れる電流によるものである。RFP構造の抵抗値を最適化することにより、高耐圧を維持しながら室温で5μA以下の低リーク電流を実現している。

図6(b)に、出力特性波形を示す。ゲート-ソース間電圧-15V、ドレイン-ソース間電圧-400Vにおいてドレイン電流5.4mAが得られており、オン耐圧は約1,500Vを実現している。図6(b)の点線は開発初期に試作した素子の特性である。-800V付近での電流の低下は近年発見された基板リーク現象によるもので、これによりオン耐圧が-800Vに制限されていた。富士電機ではこの現象の詳細な発生メカニズムを解明し、その結果に基づいて拡散層プロファイルを最適化した。これにより基板リーク現象の発

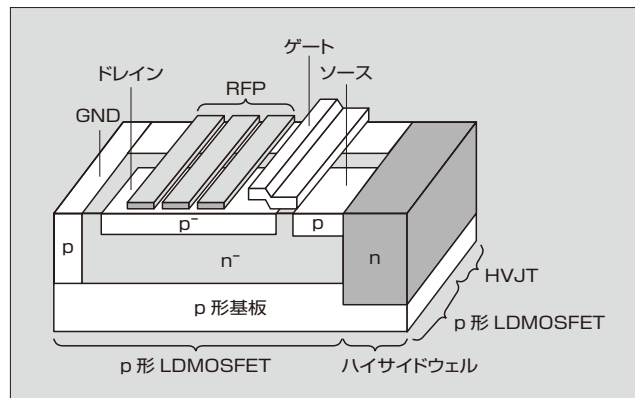


図5 1,200V耐圧保証p形LDMOSFETの素子構造

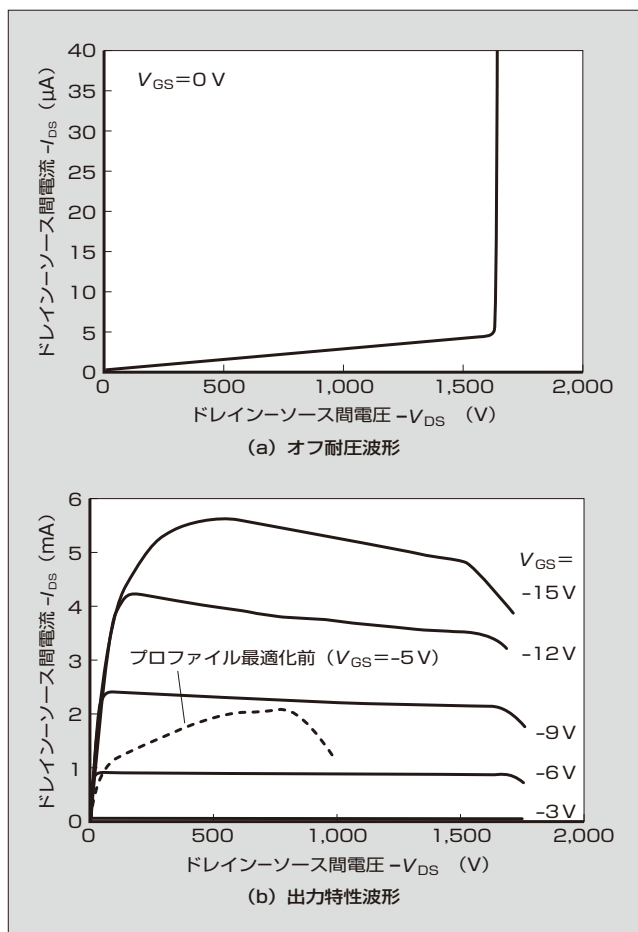


図6 1,200V 耐圧保証 p 形 LDMOSFET の特性

生を $-1,500\text{V}$ まで抑制し、高いオン耐圧を実現した。

4 要素回路技術

4.1 高ノイズ耐量レベルシフト回路技術

(1) 従来のレベルシフト回路

図7に、従来のレベルアップ用レベルシフト回路を示す。レベルシフト抵抗と高耐圧 n 形 LDMOSFET を用いた二組のソース接地増幅回路およびハイサイド回路内のラッチ回路により構成している。

ソース接地増幅回路にローサイド回路からの制御信号を入力することにより、レベルシフト抵抗において制御信号に応じた電圧降下が生じ、ラッチ回路の出力が切り替わる。この動作によりローサイド回路からハイサイド回路への信号伝達が行われる。

(2) 従来回路の dV/dt ノイズによる回路誤動作

従来のレベルシフト回路では、 dV/dt ノイズに対して誤動作しやすいという課題があった。 dV/dt ノイズは、上アーム IGBT のスイッチングに伴い、ハイサイド回路の基準電位が急激に変動することにより発生する。この dV/dt ノイズによりレベルシフト抵抗にノイズ電流が流れて電圧降下が生じ、ラッチ回路の出力および後段のゲート駆動回路の出力が誤って反転することがあった。

(3) インピーダンス変換方式レベルシフト回路

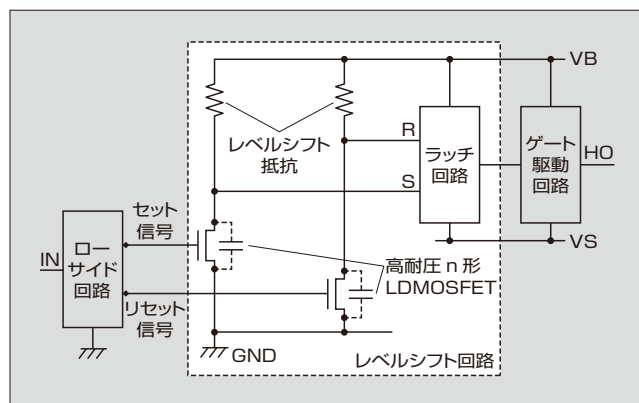


図7 従来のレベルアップ用レベルシフト回路

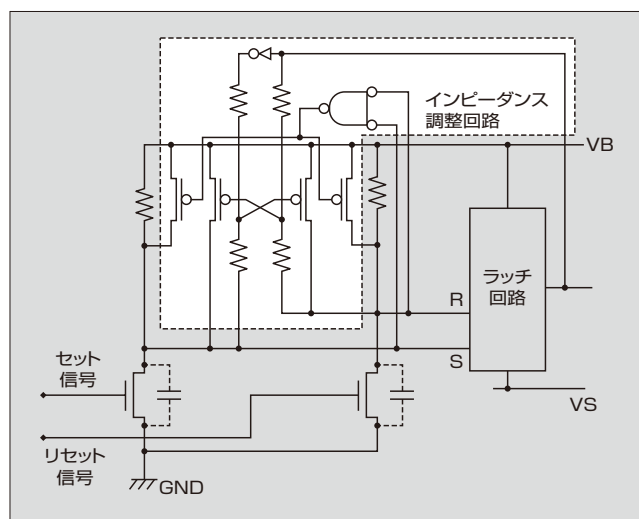


図8 インピーダンス変換方式レベルシフト回路

図8に、 dV/dt ノイズに対する耐量を高めるため新たに開発したインピーダンス変換方式レベルシフト回路を示す。レベルシフト抵抗に並列にインピーダンス調整用の MOSFET を接続している。ラッチ回路の出力状態に応じて、レベルシフト抵抗部のインピーダンスを動的に最適化する構成である。これにより dV/dt ノイズ電流によるレベルシフト抵抗での電圧降下をコントロールし、誤動作を防止する。

4.2 過熱・過電流保護回路技術

開発した HVIC は、上アーム IGBT の過熱・過電流からの保護のためハイサイドウェル内に過熱・過電流保護回路を形成している。

過電流検出は、IGBT に内蔵した電流センス IGBT に流れる電流を HVIC に内蔵したシャント抵抗を用いてモニタすることで行う。また、過熱検出は、温度検出用ダイオードの接合電圧をモニタすることで行う。

図9に試作した HVIC を搭載した $1,200\text{V}/100\text{A}$ クラス IPM の過電流試験の波形を示す。上アーム IGBT に 260A 超の過電流が流れた直後、過電流を示す異常通知信号が出力され、HVIC のゲート出力がシャットダウンされている。過電流発生からシャットダウンまでの時間は $8\mu\text{s}$ 程度で

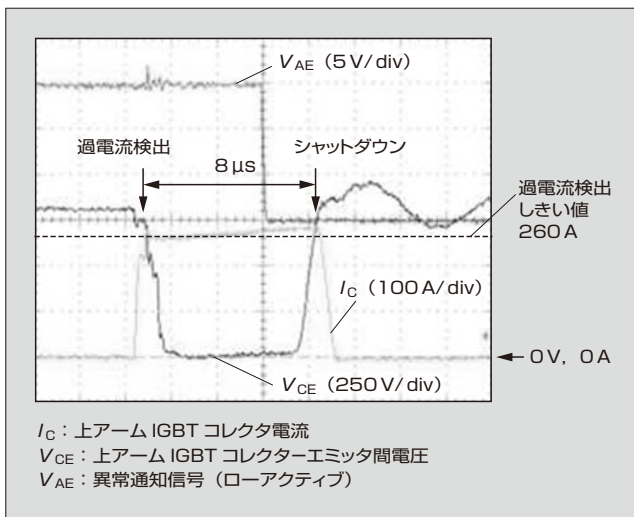


図9 HVIC 搭載 1,200V/100A クラス IPM の過電流試験波形

あり、IGBT を保護する上で十分な高速応答が可能である。

5 あとがき

本稿では、新たに開発した IPM 用 HVIC 技術について述べた。この技術は、IPM の高機能化・高信頼性化を実現し、電力変換システムの高信頼性化、小型化に寄与するものである。今後も電力変換システムの価値の向上に寄与するパワー IC 技術を開発していく所存である。

参考文献

- (1) 清水直樹ほか. インテリジェントパワーモジュール「VシリーズIPM」. 富士時報. 2009, vol.82, no.6, p.384-388.

- (2) 山田忠則ほか. インバータエアコン用小容量IPM. 富士電機技報. 2012, vol.85, no.6, p.430-434.
- (3) 山路将晴ほか. 800V保証HVIC技術. 富士時報. 2010, vol.83, no.6, p.398-404.
- (4) Yamaji, M. et al. A 600 V High-Voltage IC Technique With a New Self-Shielding Structure for High Noise Tolerance and Die Shrink. IEEE Trans. Electron Devices, 2015, vol.62, no.5, p.1524-1529.
- (5) 上西顕寛ほか. 1200VクラスHVIC用高耐圧Pch-LDMOS. 平成26年電気学会全国大会論文集. 2014, p.235.
- (6) Akahane, M. et al. A new level up shifter for HVICs with high noise tolerance. Proc. ECCE-ASIA, p.2302-2309.



上西 顕寛

パワー IC のデバイス・プロセスの研究開発に従事。現在、富士電機株式会社電子デバイス事業本部開発統括部デバイス開発部。IEEE 会員。



赤羽 正志

半導体集積回路技術の研究開発に従事。現在、富士電機株式会社電子デバイス事業本部開発統括部デバイス開発部。電気学会会員。



山路 将晴

パワー IC のデバイス・プロセスの研究開発に従事。現在、富士電機株式会社電子デバイス事業本部開発統括部デバイス開発部チームリーダー。IEEE 会員。電気学会会員。





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。