

製品開発を支えるシミュレーション技術の現状と展望

Simulation Technologies for Product Development:
Current Status and Future Outlook

渡邊 雅英 WATANABE, Masahide

長安 芳彦 NAGAYASU, Yoshihiko

保川 幸雄 YASUKAWA, Yukio

1 まえがき

最近の計算機の性能向上とソフトウェアの汎用化がもたらした計算科学の進歩により、研究開発から製品設計までのさまざまな段階でシミュレーション技術が幅広く適用される時代となっている。

富士電機におけるシミュレーション技術の適用分野は多岐にわたっている。半導体デバイスでは、電気的特性の解析や予測をはじめ、分子シミュレーションと分析技術を駆使して原子レベルからの現象の解明に取り組んでいる。また、それまで経験則に頼ることの多かった材料物性をシミュレーション技術により解明して材料を使いこなすアプローチも進めている。さらに、電磁ノイズ解析、騒音解析、流体解析などのシミュレーション技術を活用して電気機器の最適設計を行う取組みも広がっている。

いずれの場合でも、計算科学を駆使することにより、製品の機能・性能の基となる物理現象を的確に捉え、科学的かつ定量的にメカニズムを把握して製品の設計に反映することで、高性能で信頼性の高い製品を短納期でお客さまに提供することを狙いとしている。

2 デバイス・材料の開発を支えるシミュレーション技術

2.1 SiC パワー半導体デバイス

既に Si デバイスの開発に活用されているシミュレーション技術は、SiC デバイスの開発においても、試作回数の低

減、物理現象の把握、デバイス構造の最適化などにより開発効率を高め、より性能の高い製品を提供する上で重要な技術である。

基板材料としての SiC は、結晶面^{(*)2}により移動度、界面電荷、インパクトイオン化率が異なるため、これらの影響を受けるデバイスのオン電圧、しきい値、耐圧の高精度な特性予測は困難であった。これらの課題に対し、富士電機では、国立研究開発法人 産業技術総合研究所との共同研究において、実測値に基づくシミュレーションモデルを構築し、トレンチ型 MOSFET^{(*)3} (Metal-Oxide-Semiconductor Field-Effect Transistor) の特性予測を行っている。また、パワーエレクトロニクス (パワエレ) 機器の省電力、小型化の要求に対応し、低損失な 1.2kV クラスのトレンチ型 MOSFET を開発している (図 1)。トレンチ型は、ゲートがトレンチの側面に形成されるため平面型よりもセルピッチの縮小が容易であり、オン抵抗 $R_{on} \cdot A$ が低減する。

トレンチ型では、トレンチ側面に a 面や m 面が用いられるため、これらの面に対応した移動度のモデルが必要となる。そこで、ゲート駆動電圧に対応した領域での移動度のクーロン散乱^{(*)4} 領域で使用されていることに注目し、低電界における移動度を実測に対して調整できるクーロン散乱のモデルをシミュレーションに導入することで移動度を合わせ込んだ。耐圧に関しては、SiC のアバランシェ降伏が結晶面のほか横方向電界にも影響されることから、横方向電界が考慮された畠山モデルを用い、a 面、m 面による補正を行ってパラメータを再構築した。その結果、シミュレーションの $R_{on} \cdot A$ と耐圧が実測値とよい一致を示した。

(*) 1) SiC

けい素 (Si) と炭素 (C) の化合物である。3C, 4H, 6H など多くの結晶の構造多形が存在し、構造によって 2.2~3.3 eV のバンドギャップを持つワイドギャップ半導体として知られる。絶縁破壊電圧や熱伝導率が高いなどパワーデバイスとして有利な物性を持つため、高耐圧・低損失・高温動作デバイスが実現できるとして実用化が進められている。

(*) 2) 結晶面

58 ページ「解説 1」“SiC の結晶の種類・結晶面”を参照のこと

(*) 3) トレンチ型 MOSFET

トレンチ型 MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) は、パワー MOSFET の 1 種である。平面型 MOSFET が半導体表面にゲートを形成するのに対し、トレンチ型 MOSFET は半導体の深さ方向に掘られたトレンチ (溝) にゲートを形成することが特徴である。トレンチゲート構造は、チャンネルが深さ方向に形成されるため、平面的な微細化が容易であり、チャンネル密度を向上できることから面積当たりのオン抵抗の低減を可能にする。

(*) 4) クーロン散乱

58 ページ「解説 2」“MOSFET におけるキャリアの散乱”を参照のこと

(*) 5) アバランシェ降伏

半導体デバイスに逆方向電圧を加えると自由電子およびホールが電界で加速され、シリコンなどの格子原子に衝突する。電界強度が十分大きな場合には衝突電離を引き起こす。この結果、自由電子やホールが放出されて再び加速される過程が繰り返し発生し、なだれ的に自由電子やホールの数が増加して大電流が流れる。この現象をアバランシェ降伏といい、半導体デバイスの耐圧を決定する一要因となる。

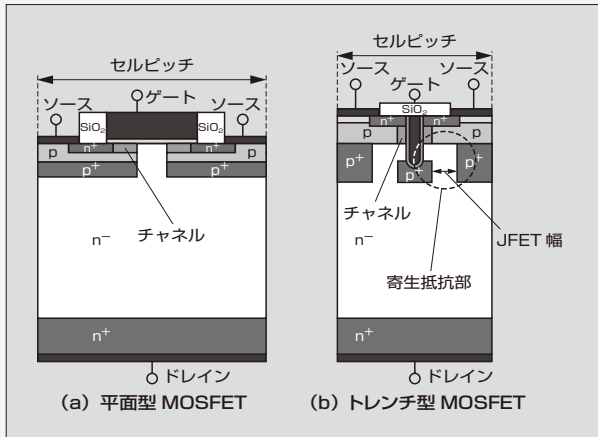


図1 MOSFETの断面図

さらに、 $R_{on} \cdot A$ のポテンシャル分布解析により、JFET (Junction Field-Effect Transistor) 部の n 形不純物濃度と構造を最適化することで、 $R_{on} \cdot A$ と耐圧のトレードオフをさらに改善できることを確認した (図2) (11 ページ “シミュレーションによる SiC トレンチ型 MOSFET の特性予測” 参照)。

富士電機は、^{(*)6} SBD (Schottky Barrier Diode)、MOSFET などのユニポーラデバイスのほかに、^{(*)7} PiN ダイオード、IGBT (Insulated Gate Bipolar Transistor) などのバイポーラデバイスも開発している。バイポーラデバイスは高電流、高耐圧化において優れており、現在 13kV の PiN ダイオードや IGBT の研究を進めている。バイポーラデバイスの場合は、電子・ホール移動度、ライフタイムおよび p 形コレクタのキャリアの注入効率がデバイス特性に大きな影響

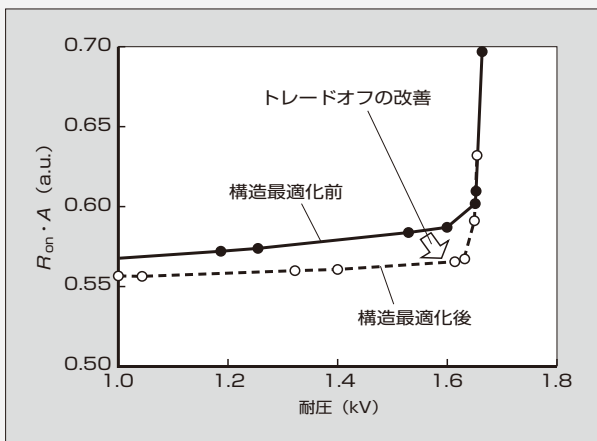


図2 構造最適化前後の $R_{on} \cdot A$ と耐圧のトレードオフ

(*) 6) SBD

Schottky Barrier Diode の略である。金属と半導体との接合によって生じるショットキー障壁を利用した整流作用を持つダイオードである。その優れた電気特性により、SiC-SBD の FWD への適用検討が始まっている。少数キャリアも利用する PiN (P-intrinsic-N) ダイオードと比較して、多数キャリアのみで動作する

SBD は逆回復スピードが速く、逆回復損失も小さい。

(*) 7) IGBT

Insulated Gate Bipolar Transistor の略である。ゲート部は MOSFET と同じ構造で、酸化物絶縁膜で絶縁されたゲート部を持つ電圧制御型デバイスである。MOSFET とバイポーラトランジスタの長所を生かし

たものである。バイポーラ動作であるため伝導度変調を用いることができるので、インバータへの応用に十分なスイッチング速度と高耐圧・低オン抵抗を両立できる。

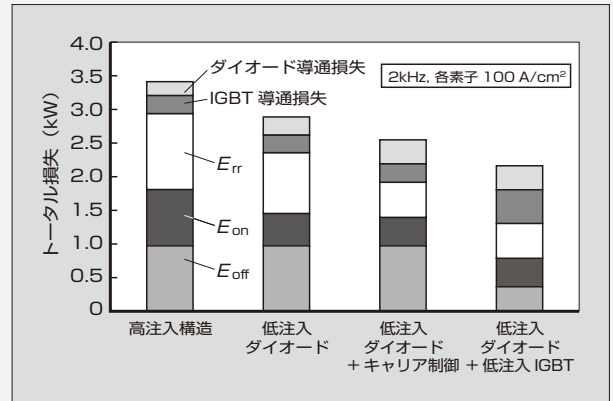


図3 構造改良時の損失推定結果

を与えるが、これらのパラメータは結晶欠陥、p 形領域の活性化率にも起因するためシミュレーションモデルに反映することは難しい。そのため、富士電機では、理想特性をシミュレーションで予想して実測値と比較することで、実素子の問題点を明らかにし、実測値とシミュレーションとのフィッティングにより精度の改善を図り、特性の向上を進めてきた。

デバイスシミュレータと回路シミュレータを組み合わせ、誘導性負荷を考慮したスイッチングシミュレーションを行い、バス電圧 6.6kV での損失予測を行った。図3に現状構造と改良構造との発生損失の比較を示す。現状の構造では、p 形コレクタおよびダイオードの p 形アノードでキャリアが高注入になっているためにスイッチング損失が大きくなっている。そこで、低注入型構造などを取り入れることでスイッチング損失の低減を図った。高注入構造に比べてスイッチング損失は 44% まで低減し、動作周波数 2kHz において導通損失を含むトータル損失は 37% 改善されることを確認した (16 ページ “シミュレーションを用いた SiC バイポーラデバイスの開発” 参照)。

2.2 第一原理計算による MOSFET 界面現象の解明

SiC デバイスの界面現象は未解明の部分が多く、また、C (カーボン) 面、Si (シリコン) 面、a 面、m 面の各面方位で界面現象が異なることから、それぞれの面方位における界面現象の解明が求められている。現在、富士電機では、電気特性や分析的解析に加えて、第一原理計算などの計算科学的手法を活用して、界面や結晶内部の現象を原子レベルで解明する取り組みを進めている。第一原理計算とは、量子力学に基づいて物質中の電子状態を数値計算により解

く手法であり、未知の物質の性質や、実験的に測定できない原子レベルの物理・化学的現象を推測することができる。

図4は、C面とSi面それぞれのドライ酸化プロセス後におけるSiC/SiO₂界面の理想界面構造につき、第一原理計算を用いてモデル化した例である。ここから、界面に存在するSiは、C面ではSi³⁺という化学状態に、Si面ではSi¹⁺という化学状態になっていると推定される。界面のXPS(X-ray Photoelectron Spectroscopy)分析により、C面ではSi³⁺が、Si面ではSi¹⁺が実際に観測されており、このモデルの妥当性を支持している。このように、理想界面構造を仮定することによって、XPS分析で得られたサブオキシサイド(不完全なSiO₂)の由来を推定することができ、理想的な界面を実現するための対策を絞り込むことができる。

次に、Si面の理想界面構造にSiの未結合手(DB:

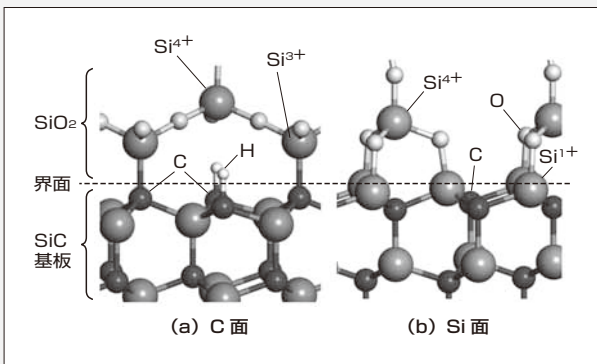


図4 理想界面を仮定したドライ酸化膜界面の推定構造モデル

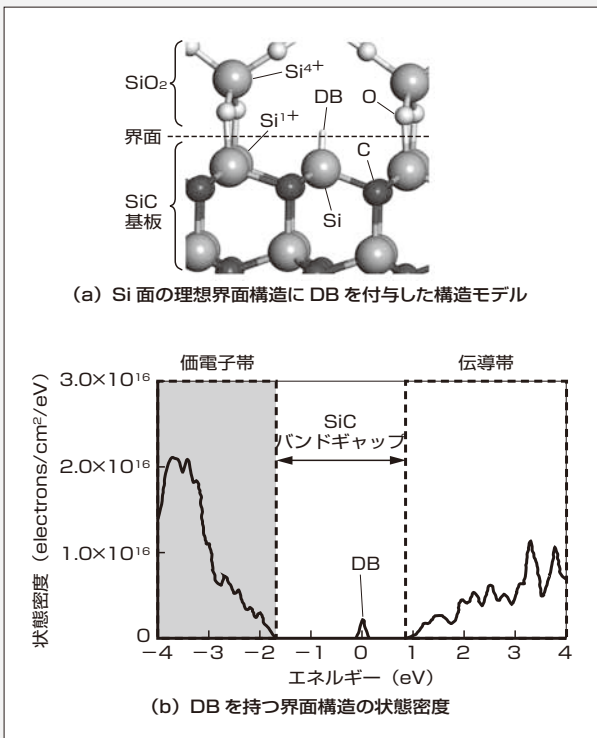


図5 Si面の理想界面構造にDBを付与した界面構造の検討結果

Dangling Bond)を付与した界面構造の検討結果を図5に示す。計算によりDBの界面単位がSiCのバンドギャップ内に形成されることが分かる。このような界面単位は、電荷をトラップしてクーロン散乱による移動度の低下を招き、 V_{th} の変動を引き起こす原因になる。DB以外の原子の結合状態についても同様に計算することで、さまざまな界面単位などを計算することができ、実際の電気特性や分析結果と照らし合わせることで、実際には見ることでできない界面現象を解明することができる。

今後は実測値や分析結果だけでなく、第一原理計算などのシミュレーションを用いた原子レベルの現象解明を活用し、デバイスシミュレータに組み込むことで、SiC-MOSFETの高性能化に貢献することを目指している(21ページ“シミュレーションを活用したSiCデバイスの原子レベルの解析”参照)。

2.3 樹脂材料特性

パワー半導体デバイスを用いた製品においては、半導体デバイスの高性能化とともに、封止樹脂の高性能化も重要である。特に、長期信頼性への封止樹脂の影響は大きく、実際の成形による残留応力などの影響も考慮した樹脂材料の選定が要求される。この要求に応えるために、第一原理計算や分子動力学計算によって樹脂を原子レベルでモデル化したシミュレーションを行い、樹脂の機械特性や密着性を把握して樹脂骨格や密着助剤を選定することに取り組んでいる。また、実際の成形プロセス時の樹脂流動や硬化速度の分布などを考慮した樹脂挙動を、三次元流体解析と熱応力解析の連成解析により把握することにも取り組んでいる。

樹脂と金属の間の密着性には複雑な要素が絡み合っているため、これまでの封止樹脂の検討では、候補材料を実際に試験して絞り込む方法が採られてきた。この材料選定を効率化するために、第一原理計算や分子動力学計算などのシミュレーション技術を活用した特性予測技術の開発を進めている。

樹脂の密着力は主に、部材と樹脂の間の化学結合、アンカー効果や表面の汚れの有無、ならびに樹脂の弾性率や線膨張係数などの機械特性によって決まると推定される。このうち、アンカー効果は部材側の要因であるので、樹脂の設計において最初に考慮しなくてはならないのは、部材と樹脂の間の化学結合と樹脂の機械特性である。

現在、樹脂骨格と密着助剤の分子構造から、その樹脂の機械特性の計算や被接着部材との間の化学結合力を計算することができる。図6に示すように母材と樹脂が密着している状態のエネルギーと離れている状態のエネルギーを求め、そのエネルギー差が理想状態での化学結合力を示す。この理想状態の化学結合力にアンカー効果や汚染などの外的要因、ならびに機械特性による界面応力を考慮することにより実際の密着力を推定することができる。

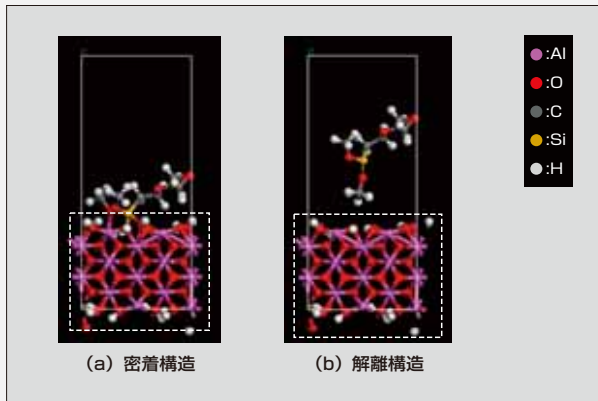


図6 エポキシシランとアルミニウムの構造最適化計算後の分子構造

現時点では、まだシミュレーション結果から密着性の実測値を全面的に説明できる段階ではないが、将来的には、樹脂骨格と密着助剤から信頼性まで含めた特性を予測することにより、樹脂で封止した半導体モジュールの信頼性をより高いものにすることを目指している（26ページ“分子シミュレーションを活用した樹脂材料の密着性の解析”参照）。

これまでの半導体モジュールの構造設計に用いられてきたCAE（Computer Aided Engineering）解析では、成形後に硬化した樹脂を分布のない一つの弾性体として扱っていたため、信頼性評価結果との乖離（かいり）が生じることがあった。その要因の一つは、実際の樹脂成形体では、部材の熱伝導率、構造、加熱方法の違いなどに起因する成形時の温度不均一によって硬化速度に分布が生じ、体積収縮率が場所により変わって残留応力が生じたためと考えられる。そこで、富士電機では、樹脂成形体の解析精度を向上するために、加熱による粘度変化と液体から固化に変化する際の体積収縮の挙動も考慮したシミュレーション技術を開発している。

三次元熱流体解析ソフトウェアを用いて、樹脂が液体から固体まで変化する不可逆な変化を表現し、複雑な形状を伴う製品においても、その熱分布から残留応力分布を計算によって可視化できる。ここでは、密度、弾性率、粘度の温度依存性や、せん断速度依存性まで含めた樹脂材料物性と、樹脂の硬化反応速度、反応熱などを考慮している。図7に計算結果の一例として、銅ブロックを樹脂で封止した際の樹脂内部の応力分布を示す。従来の三次元有限要素法構造解析ソフトウェアを用いた計算結果の図7(b)では、部材の境界のみに応力の高い部分がある。一方、三次元熱流体解析の図7(a)では、成形時の温度分布を反映して、樹脂内部よりも樹脂外周部に応力の高い部分が存在する結果となり、より現実の系に近い結果を示している。このように、高精度の構造設計を適用することにより、いっそう信頼性の高い製品開発を行っている（30ページ“熱硬化性樹脂成形品の残留応力分布・接着界面強度解析”参照）。

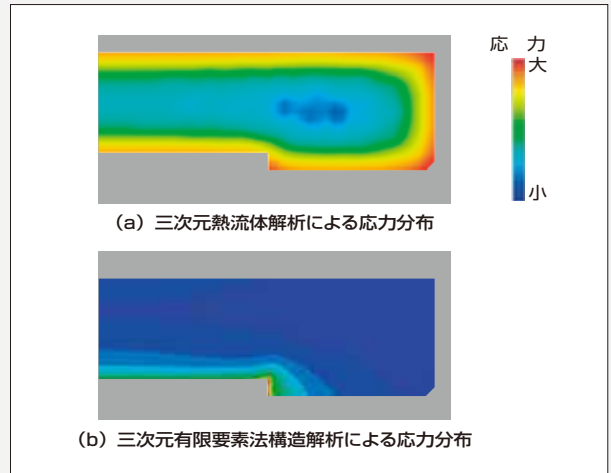


図7 樹脂硬化時の応力分布解析結果

③ 機器・装置の開発を支えるシミュレーション技術

3.1 電磁ノイズ

パワーエレ機器は、電気エネルギーを効率良く使う省エネルギー（省エネ）や、太陽光発電、風力発電などの創エネルギーにおける装置設備の中核に用いられる。パワーエレ機器に使われるパワー半導体は、高速スイッチングにより電気を使いやすい形に自由に変換できる反面、動作時に多くの電磁ノイズを周囲に放出する懸念がある。

従来、電磁ノイズを減らす対策は、機器を試作した後に試行錯誤を繰り返すことであった。これに対し富士電機では、設計段階から対策を検討するために、パワーエレ機器の電磁ノイズシミュレーション技術の開発を進めており、製品開発時に電磁ノイズの現象解明と低ノイズ化に幅広く活用している。

電磁ノイズは、入出力のケーブルを伝わって外部へ流出すれば伝導ノイズとして、各所から電波として放出されれば放射ノイズとして発生する。

伝導ノイズのシミュレーションについては、開発初期では簡易モデルによる概略解析を行い、開発後期ではより正確なモデルによる詳細解析と、工程に応じた解析精度の異なるシミュレーションを使い分けて製品開発に適用している。

放射ノイズのシミュレーションについては、機器全体の解析ではなく、機器の一部を抽出したシミュレーションを行いながら、構造設計に反映している（図8）。このような機器の一部を抽出したシミュレーションの場合、モデル化が簡単で解析時間が短いため、解析を繰り返しながら、より良い機器構成を探ることができる。

また、パワーエレ機器を設置した現地での電磁ノイズ障害を未然に防ぐことを狙いとしたシミュレーション技術にも取り組んでいる。パワーエレ機器の動作時に接地極を介して

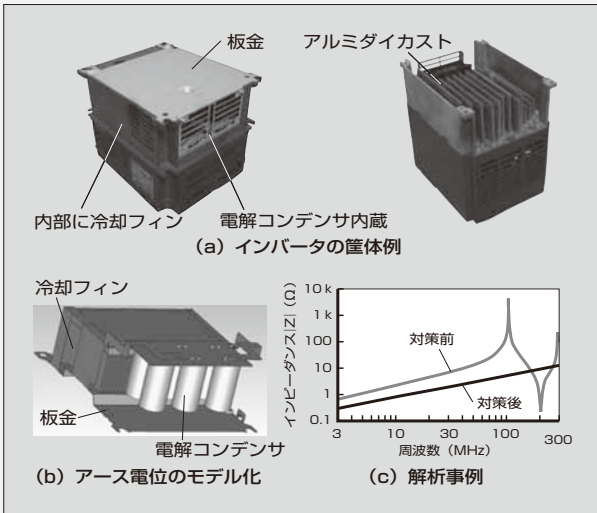


図8 筐体部の解析事例

流出する電磁ノイズが、外部機器に影響を与える。このメカニズムの解明と低減方法の立案など、これまでノウハウ主体で理論的な取組みが進んでいなかった領域にも、電磁ノイズシミュレーションの適用範囲を広げている（35 ページ“パワーエレクトロニクス機器の電磁ノイズシミュレーション技術”参照）。

3.2 流体騒音

各種の電気機器の小型化への要求により、製品の発熱密度は年々増加する傾向にある。ファンを利用する空気冷却方式の製品においては、発熱密度の増加により必要風量も増加することから、冷却風から発生する流体騒音が問題となることがある。

富士電機では、流体騒音の発生源となる流れや圧力変化の可視化を通じた騒音発生のメカニズムの把握と、低騒音化に向けた構造検討を行うため、流体騒音のシミュレーション技術に取り組んでいる。

流体騒音のシミュレーションにおいては、乱流現象の高精度な再現が可能である LES (Large Eddy Simulation) を用いた大規模並列計算にてファンの流れ計算を行うことにより（図9）、騒音源となる流れの変動と騒音値の推定

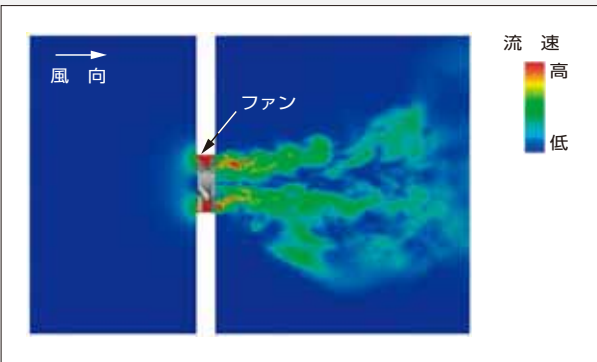


図9 ファンの流速分布（瞬時値）

を可能とした。

このシミュレーションを用いることにより、冷却ファンでの翼の回転やケーシングまわりの流れに起因する騒音について、ピーク周波数や音圧レベルの推定が可能となった。また、パワエレ機器の空気冷却構造を模擬したモデルとの比較を通じて、冷却ファンと周囲構造物との位置関係に起因する騒音の傾向が再現可能であることを確認している。現在は、製品の低騒音化に向けた設計の検討に、このシミュレーションの適用を進めている（40 ページ“製品の低騒音化を実現する流体騒音シミュレーション技術”参照）。

3.3 配電盤内部アーク

送受配電系統に使用される開閉機器の開発において、電流遮断時の性能を予測するためのアーク解析は、これまで主に接点近傍の現象を定量化するために用いられていた。例えば、低圧機器の遮断室におけるアークの伸長や移動を予測し、消弧グリッドの構造や配置の決定に適用して接触子の低消耗化や遮断性能などの向上を図ってきた。また、高圧の遮断器においては、アークの発熱によって発生した高温ガスが内部に拡散し、ガス密度の低下による絶縁耐力の低下を予測することで、絶縁設計に活用してきた。

解析精度の向上のためには、接点間に発生するアークの温度が数千 K まで上昇することによって生じる雰囲気ガスについて、解離や電離などの複雑な物理現象を考慮したモデル化が必須である。富士電機ではこの技術を応用し、配電盤内部におけるアーク故障時の安全性を確保するための設計技術を開発した。海外向けのスイッチギヤには、IEC 規格 (IEC 62271-200) が適用される。この規格では、故障や保守時の運転継続性に関する構造の分類、および周囲の人の保護に関する分類など、安全な構造に対する考え方が強化されていることから、これらに対応するための新たな技術開発が必要となった。主な課題は、内部アーク故障時の圧力上昇の予測に関して、解析領域の拡大と計算負荷の増加に伴う解析時間の長期化を回避することであり、解

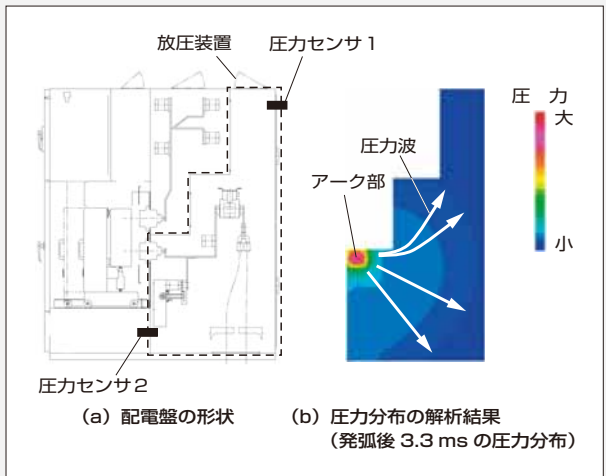


図10 配電盤の形状と圧力解析結果の例

析手法の再検討が必要であった。そのため、計算時間の短縮と解析精度の担保の両立を目指し、計算負荷の高い放圧動作時の挙動を実測して解析に反映することで、内部アーク故障時の圧力上昇予測に特化した解析手法を構築した(図10)。本手法を用いて、配電盤における内部アーク故障時の安全性を確保した製品を開発した(45ページ“配電盤の内部アーク故障における圧力上昇の解析”参照)。

3.4 熱流体シミュレーション

富士電機では、スーパーマーケットやコンビニエンスストアなどの店舗において、エネルギーを有効に活用する“スマート店舗”を提供している。このような店舗においては、オープンショーケースを含む冷凍冷蔵機器が最も電力を消費する。オープンショーケースの省エネを図るためにはエアカーテンの侵入熱低減による性能向上が必要である。冷気を生成する蒸発器への霜の付着により、エアカーテンの循環風量および特性の低下が引き起こされる。そこで、着霜によるエアカーテン性能の経時変化を予測可能な熱流体シミュレーション技術を開発するとともに、この技術を用いて新エアカーテン方式を開発した。

着霜を考慮したシミュレーションにおいては、霜の成長による蒸発器の風速低下や温湿度変化を推定可能な計算モデルを構築し、時間経過に伴うショーケース庫内の平均温度上昇の予測が可能になった。また、上述に加えてシミュレーションモデルを自動作成可能なショーケース設計ツールを構築し(図11)、オープンショーケースの多数ある設計因子のバランスを取るための最適化設計技術を開発した。

最適化設計技術により開発した新エアカーテン方式では、背面からの冷気をエアカーテンに徐々に合流させることで、エアカーテンの吹き出し風速を低減させており、実証機での評価を通じ、従来方式より30%以上の省エネ効果が確認されている(50ページ“オープンショーケースの省エネルギーを実現する熱流体シミュレーション技術”参照)。

3.5 成形の樹脂流動

プラスチックは電気絶縁性に優れ、工業部品に使用できる力学的特性や機能を持つものがあることから、多くの製

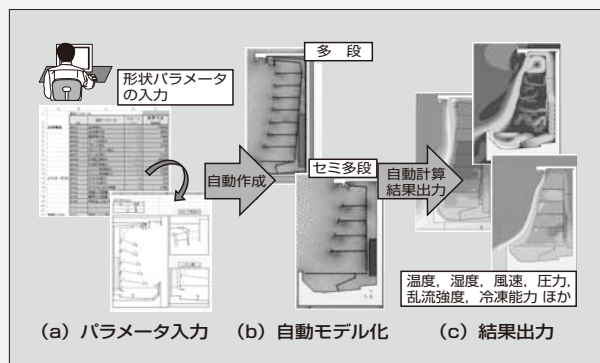


図11 ショーケース設計ツール

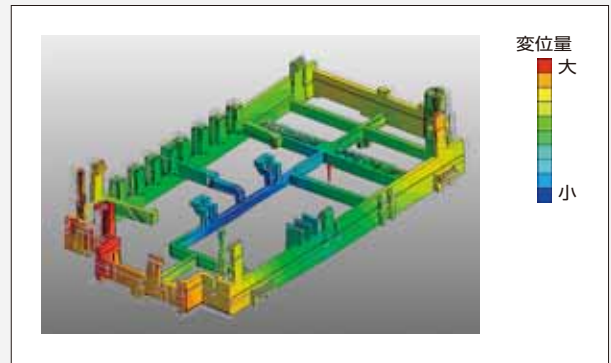


図12 反り解析の例

品で使用されている。プラスチック部品の成形においては、製品形状・金型構造の自由度が高く、修正コストが低い開発初期の段階で品質を作りこむことが重要である。

富士電機においても、プラスチック材料の主成分である樹脂について、樹脂流動シミュレーションをはじめとするシミュレーション技術の活用による射出成形部品の品質向上への取組みを進めている。

部品機能や他部品とのはめ合い、自動組立の可否に影響する成形品の反りについては、樹脂流動シミュレーションで得られた変形後の形状を三次元プリンタで出力し、組立性の確認を行っている(図12)。また、高応力部におけるウェルドの発生回避や、樹脂の分解ガスとして発生する腐食性ガスの排出構造についても、充填シミュレーションを適用し、製品形状やゲート位置の検討を行っている。

射出成形部品の冷却時間短縮による生産性向上については、成形サイクル中の金型温度を積極的に制御することで、高い品質を確保しながら成形サイクルを大幅に短縮する高速成形技術を確立した。この技術と樹脂流動シミュレーションによる樹脂温度分布の予測とを合わせ、内部に三次元冷却水路を形成した部品を三次元プリンタにて製作することで、金型の均熱化を実現している(54ページ“射出成形の品質向上を支えるシミュレーション技術”参照)。

4 あとがき

製品開発を支えるシミュレーション技術の現状と展望について述べた。今後も、進歩を続けているシミュレーション技術をいち早く取り入れ、さらに幅広い分野や用途に適用することによって、研究開発や製品設計の効率を高め、お客さまのニーズに応える製品をタイムリーに提供していく所存である。



渡邊 雅英

パワー半導体の製造・開発に従事。現在、富士電機株式会社技術開発本部電子デバイス研究所次世代デバイス開発センター長。工学博士。



保川 幸雄

冷凍機、熱応用機器の研究開発およびヒートマネージメント全般の活動に従事。現在、富士電機株式会社技術開発本部先端技術研究所応用技術研究センター長。



長安 芳彦

半導体デバイス・プロセスの研究開発に従事。現在、富士電機株式会社技術開発本部先端技術研究所基礎技術研究センター長。応用物理学学会会員。

特集
製品開発を支えるシミュレーション技術





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。