

シミュレーションによる SiC トレンチ型 MOSFET の特性予測

Simulation Based Prediction of SiC Trench-Type MOSFET Characteristics

小林 勇介 KOBAYASHI, Yusuke

木下 明将 KINOSHITA, Akimasa

大西 泰彦 ONISHI, Yasuhiko

パワーエレクトロニクス製品の省エネルギー化のために、SiC（炭化けい素）を材料に用いた半導体デバイスの開発が活発化している。SiC トレンチ型 MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）は、従来の平面型に対してさらなる低損失化が可能である。富士電機では、SiC デバイス開発の効率化のためにシミュレーションを用いた特性予測を行っている。SiC は結晶面により特性が異なるため、トレンチ型では新たに用いる結晶面の特性をシミュレーションで考慮する必要がある。簡便にシミュレーションモデルとパラメータを合わせる方法を確認し、実測の再現と性能改善の予測を可能にした。

The development of semiconductor devices that use SiC (silicon carbide) based materials has been increasing as a means of achieving further energy savings in power electronic products. SiC trench-type MOSFET are capable of reducing loss even more than conventional planar types. Fuji Electric is implementing simulation based characteristic prediction in order to improve the efficiency of new SiC device development. It is necessary to consider the newly utilized crystalline surface characteristics for the simulation of the trench-type because the characteristics of SiC differ by its crystalline surfaces. We have established a convenient method for incorporating the parameters into the simulation model, which enabled reproduction of actual observations and prediction of performance improvements.

1 まえがき

低炭素社会の実現に向けて省エネルギー（省エネ）製品の需要が拡大し、パワーエレクトロニクス（パワエレ）機器に用いる半導体デバイスの省エネ化が求められている。近年、低損失化が可能な SiC（炭化けい素）を材料とした半導体デバイスの開発と製品化が活発に行われている。

富士電機においても大容量メガソーラー用パワーコンディショナをはじめとした SiC-MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）や SiC-SBD（Schottky Barrier Diode）を用いたパワエレ機器を製品化しており、省エネ化に貢献している。

SiC デバイスの低損失化のためには、電圧を印加した際のデバイスの内部状態を理解し、デバイス構造を改善することが効果的である。デバイスシミュレーションを用いることによって内部状態が容易に理解でき、複数の設計パラメータを変えたときの改善効果を効率的に知ることができる。

2 SiC トレンチ型 MOSFET

現在、SiC-MOSFET ではゲートを基板表面に形成する平面型が主流である。さらなる省エネ化や低価格化の市場要求に応えるためには、MOSFET が導通しているときのオン抵抗 $R_{on} \cdot A$ を小さくすることが有効である。そこで、次世代構造としてトレンチ型 MOSFET が注目を集めている（図 1）。トレンチ型はゲートを溝の中に埋め込むことで、平面型に対してセルピッチの縮小によるオン抵抗の低減が期待できる⁽²⁾。しかし、SiC の破壊電界強度が高いという特長を生かそうとすると、トレンチ底の酸化膜に高電界が印加されることにより破壊が起こるといった懸念がある⁽³⁾。そこ

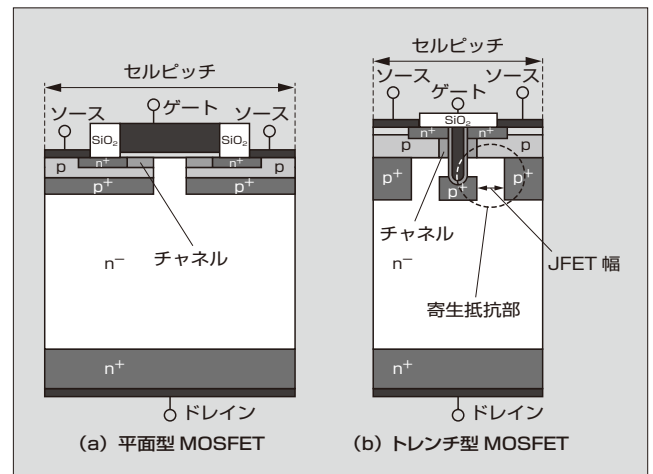


図 1 MOSFET の断面図

で、酸化膜電界強度を緩和するために、トレンチ底に p⁺ 形層を備えたトレンチ型 MOSFET を開発している。

オン抵抗の低減のためには、チャンネル抵抗を正確に見積もった上で寄生抵抗部を最小にするような構造設計が重要である。寄生抵抗部は p⁺ 形層に挟まれている n 形層の幅を広く、不純物濃度を濃くすることで低減可能であるが、同時に深い p⁺ 形層の角に電界が集中するために耐圧が低下してしまう。このため、オン抵抗と耐圧のトレードオフを考慮して寄生抵抗部が最小になるように設計する必要がある。

3 SiC トレンチ型 MOSFET のシミュレーション

3.1 シミュレーションの課題

シミュレーションを活用することで、オン抵抗と耐圧が最もよくなる構造・寸法を明らかにできること、試作回

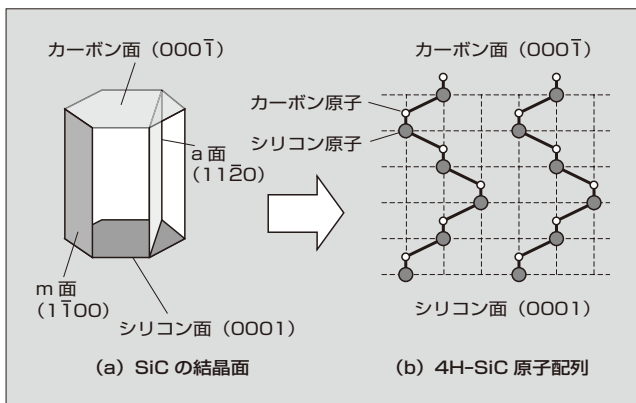


図2 SiCの結晶面と原子配列

数を減らして短時間で開発できることが期待される。また、精度の良いシミュレーションを用いると想定外の現象の解析もできる。しかし、現状のデバイスシミュレーションはシリコンで得られたデータを基に構成されているため、SiCでは十分な精度が得られない場合がある。例えば、SiCは結晶面により電気的な振る舞いが異なることに注意する必要がある。図2にSiCの結晶面方位と原子配列を示す。平面型のチャンネル部(図1)はカーボン面(C面)もしくはシリコン面(Si面)が用いられ、トレンチ型は溝を掘った側壁のa面もしくはm面がチャンネルとして用いられる。チャンネルの特性が平面型と異なるために新たにシミュレーションパラメータを構築する必要がある。また、SiCは結晶面によりインパクトイオン化係数も異なり、a面やm面はSi面やC面よりも耐圧が低くなる。p+形層から空乏層が伸びるために、トレンチ底のp+形層とソース下のp+形層に挟まれた箇所はJFET(Junction Field-Effect Transistor)寄生素子として機能する。耐圧保持時の電界集中箇所はJFET幅に依存し、トレンチ型は平面型よりもセルピッチとJFET幅が狭いため耐圧が寸法に対して敏感に変わり、a面やm面に対しても高精度な耐圧計算を行うことができる。

このように、SiCは実測データに対し、シミュレーションのモデル、パラメータの合わせ込みが十分に行われていないのが現状である。これらの課題に対し、Synopsys社のSenTaurus^(注2)を用い、シミュレーション精度の向上を図った⁽⁵⁾。

3.2 クーロン散乱モデルの導入

チャンネル特性の結晶面依存性をシミュレーションで考慮するために移動度を検討した。図3に示すように、チャンネル移動度はゲート酸化膜の電界強度により、クーロン散乱、フォノン散乱、表面ラフネス散乱^(注3)というように、支配要因が異なることが知られている。さらに、SiCは酸化膜や界

<注1> 結晶面：58ページ「解説1」を参照のこと

<注2> SenTaurus：米国Synopsys, Inc.の商標または登録商標

<注3> クーロン散乱、フォノン散乱、表面ラフネス散乱：58ページ「解説2」を参照のこと

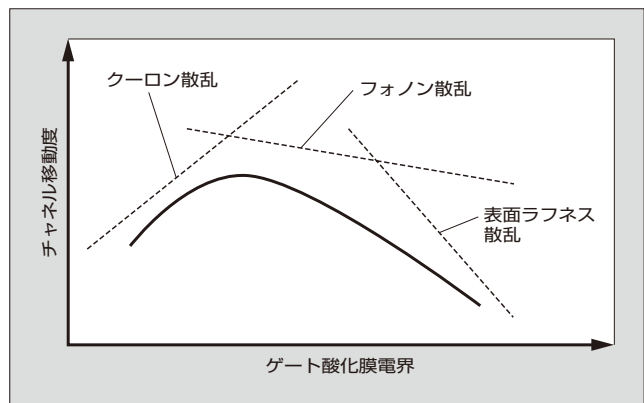


図3 チャンネル移動度のユニバーサルカーブ

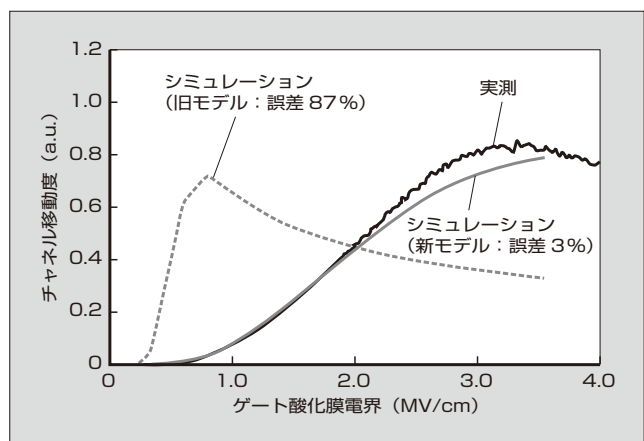


図4 チャンネル移動度の実測とシミュレーションの比較

面の欠陥量が多いことに起因して低電界の移動度が下がる⁽⁷⁾⁽⁸⁾。欠陥をシミュレーションに導入すると、計算の収束性が悪く調整が必要なパラメータが多いという問題がある。そこで、高電界の移動度パラメータの調整により最大移動度を実測値に合わせていた。しかし、チャンネル抵抗は図4に示す移動度を積分することで決まることから、計算精度の向上のためには低電界の移動度カーブも合わせる必要がある。そこで、低電界の移動度を調整できるクーロン散乱のモデルを使って再現する工夫を行った。図4に示すように、新モデルによりシミュレーション結果と実測の移動度積分の誤差を小さくできた。このようにして、高精度で計算の収束性が良く、簡便に調整が可能なチャンネル抵抗を計算できるシミュレーションを構築した。

3.3 インパクトイオン化係数の最適化

インパクトイオン化係数の結晶面に関するパラメータを検討し、耐圧計算の精度を改善した。図5に耐圧保持時のデバイス内部の電界分布を示す。p形層の角の部分に電界が集中しており、さまざまな結晶面の特性が複合して耐圧が決まることを示唆している。シミュレーションでは島山モデル⁽⁴⁾を導入することで、SiCの結晶面によるインパクトイオン化係数の違いを再現できる。現状のパラメータは低耐圧デバイスの実測値を基に求めた値に設定しているため、高耐圧における計算精度を向上させる必要がある。Si面

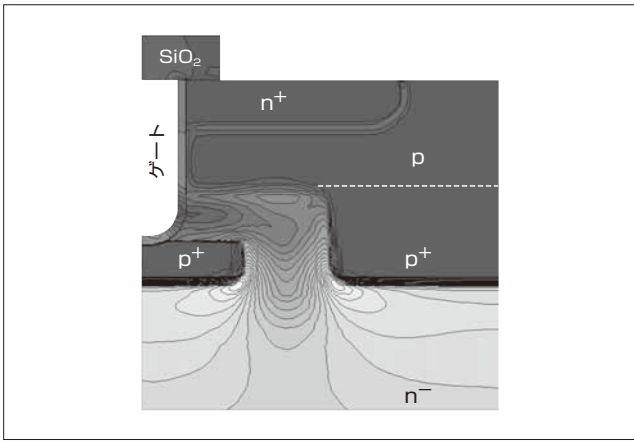


図5 耐圧保持時のデバイス内部の電界強度分布

とC面に関しては高耐圧のパラメータ実測値が報告されており⁽⁹⁾、シミュレータに導入することで精度が改善できる⁽¹⁰⁾。

a面とm面のパラメータの誤差を想定し、設定値を再構築した。パラメータ再構築後の耐圧のJFET幅依存性のシミュレーション結果は実測とよく合うことが分かる(図6)。また、図7に $R_{on} \cdot A$ のJFET幅依存性を示す。耐圧が高いとオン抵抗はJFET部の寄生抵抗により上がる傾向があり、 $R_{on} \cdot A$ と耐圧はトレードオフの関係であることが分かる。今回構築した高精度なシミュレーション

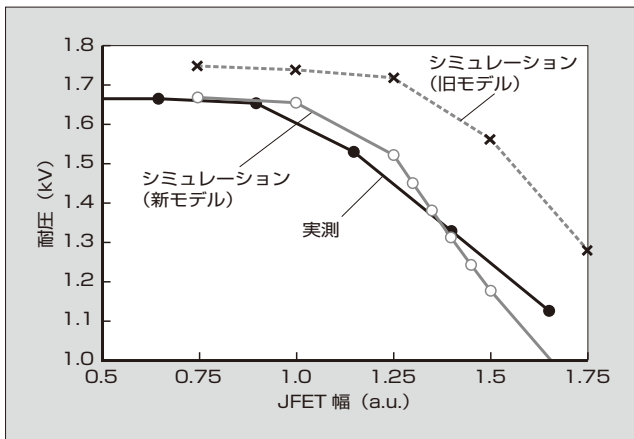


図6 耐圧のJFET幅依存性

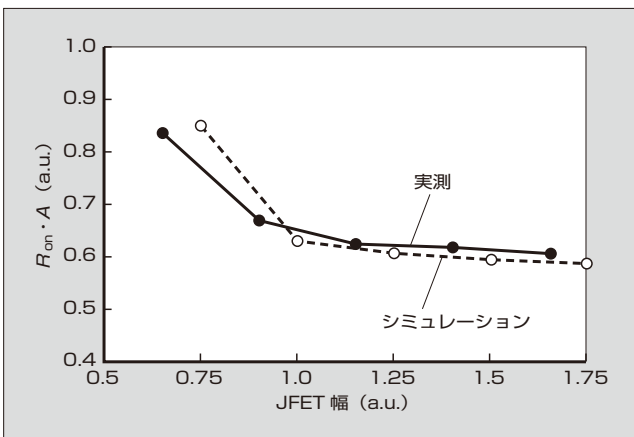


図7 $R_{on} \cdot A$ のJFET幅依存性

を用いることにより、トレードオフを考慮したデバイス構造の最適化が容易にできるようになった。

4 シミュレーションによるデバイス特性の改善

3章の新モデルを反映し、精度を改善したシミュレーションを用いて、デバイス特性の改善を検討した。

4.1 オン抵抗と耐圧のトレードオフの改善

$R_{on} \cdot A$ と耐圧のトレードオフを改善するために、JFET部の寄生抵抗が特に大きい箇所を調べた。図8に、オン時のデバイス内部の電位分布を示す。電位線が密な箇所は寄生抵抗が大きいので、そこを中心にデバイス構造の最適化を行うことにより、 $R_{on} \cdot A$ と耐圧のトレードオフ改善が期待できる。図9にデバイス構造の最適化前後の $R_{on} \cdot A$ と耐圧のトレードオフを示す。n形層の不純物濃度とデバイス構造の最適化によりトレードオフが改善できることが分かった。

4.2 短チャネル化

チャネル長を短くした試作の $R_{on} \cdot A$ としきい値電圧 V_{th} の関係を図10に示す。チャネル長を短くするとチャ

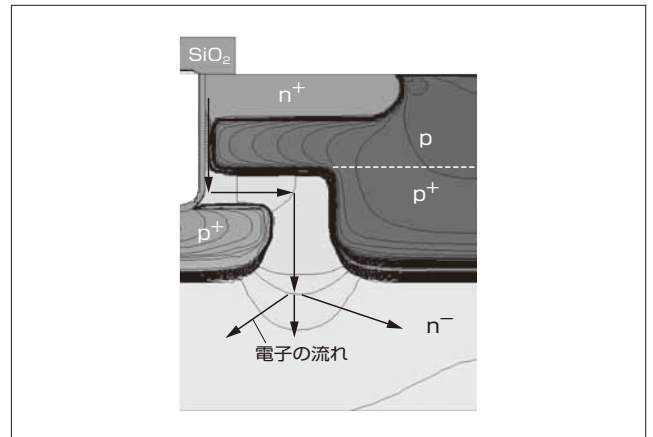


図8 オン時のデバイス内部の電位分布

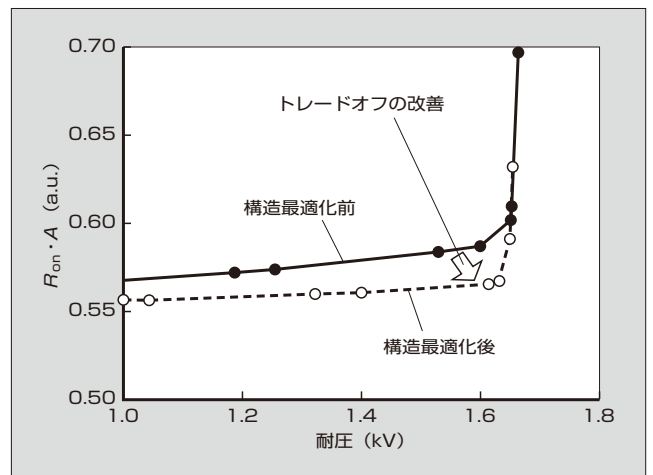


図9 デバイス構造の最適化前後の $R_{on} \cdot A$ と耐圧のトレードオフ

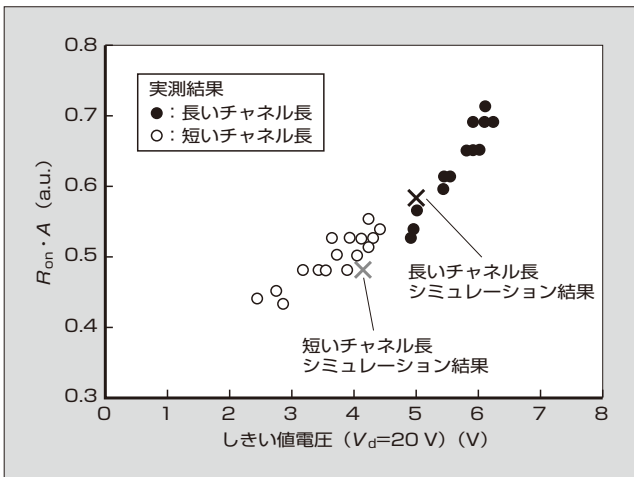
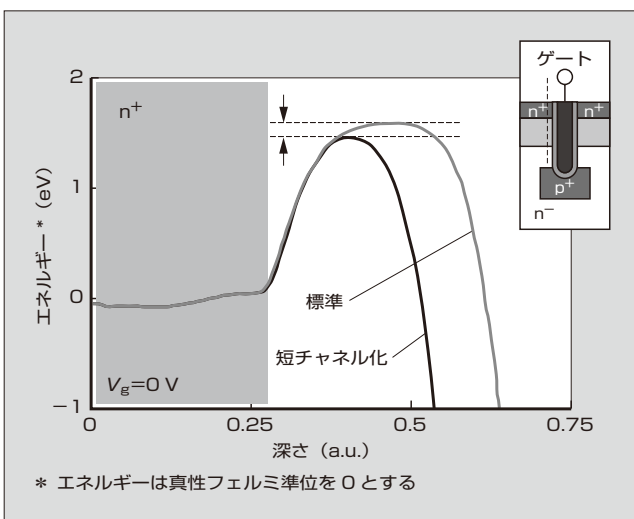
図10 $R_{on} \cdot A$ としきい値電圧の関係

図11 チャンネル部のコンダクションバンド図

ネル抵抗を低減する効果で $R_{on} \cdot A$ は低減するが、同時にしきい値が低下するため、 $R_{on} \cdot A$ と V_{th} はほぼ直線の関係となった。この原因をシミュレーションで解析した。

図11にチャンネル部のコンダクションバンドを示す。コンダクションバンドの凸部の頂点の高さが V_{th} を決めるが、短チャネル化により凸部の高さが低くなっていることが分かる。これは、ドレイン側から伸びる空乏層が V_{th} に影響する短チャネル効果の一つのDIBL (Drain Induced Barrier Lowering) によるものであることが分かった。

5 今後の課題

高精度なシミュレーションの構築は、高品質・高性能なデバイスの早期開発に役立つ。SiCは従来のシリコンに対して新しい材料であるため、オン抵抗と耐圧の計算以外にも精度を改善すべき項目がある。例えば、温度依存性の再現、不純物濃度依存性の再現、簡易式を作成することによる欠陥量の影響の再現、リーク電流特性の再現、デバイス

信頼性の再現などが挙げられる。

6 あとがき

SiC トレンチ型 MOSFET の特性を予測するために SiC の結晶面依存性に対するシミュレーションモデルとパラメータを検討し、実測の再現および性能改善方法の検証や物理現象の解析ができるようにした。高精度なシミュレーションの構築は高品質・高性能なパワーデバイスの早期開発に役立つため、SiC のシミュレーション精度の改善を引き続き行い、省エネルギー社会の実現に貢献する所存である。

本研究は、共同研究体 つくばパワーエレクトロニクスコンステレーション (TPEC) 殿の事業として行われたものである。関係各位に謝意を表する。

参考文献

- (1) 松本康ほか. SiCデバイス搭載のパワーエレクトロニクス機器. 富士時報. 2012, vol.85, no.3, p.255-259.
- (2) B. J. Baliga, Microelectronic Engineering, 1995, vol.28, p.177-184.
- (3) Harada, S. et al. Power Semiconductor Devices and ICs (ISPSD), 2012, p.253-256.
- (4) Hatakeyama, T. et al. Materials Science Forum, 2003, vol.457-460, p.673-676.
- (5) SenTaurus on <http://www.synopsys.com/>. (accessed 2015-12-10).
- (6) Takagi, S. et al. Electron Devices IEEE Transactions, 1994, vol.41, p.2357-2362.
- (7) Ono, S. et al. Materials Science Forum, 2014, vol. 778-780, p.571-574.
- (8) Kutsuki, K. et al. Materials Science Forum, 2015, vol. 821-823, p.757-760.
- (9) Niwa, H. et al. Materials Science Forum, 2014, vols. 778-780, p.461-466.
- (10) Shiomi, H. et al. International Conference on Silicon Carbide and Related Materials (ICSCRM), Th-P-34, 2015.



小林 勇介

SiC パワー MOSFET, SBD の研究・開発に従事。現在、富士電機株式会社技術開発本部電子デバイス研究所次世代デバイス開発センター SiC 開発部。工学博士。



木下 明将

SiC パワー MOSFET, SBD の研究・開発に従事。
現在, 富士電機株式会社技術開発本部電子デバイス
研究所次世代デバイス開発センター SiC 開発部。
理学博士。応用物理学会会員。



大西 泰彦

SiC パワー MOSFET, SBD の研究・開発に従事。
現在, 富士電機株式会社 技術開発本部電子デバイ
ス研究所次世代デバイス開発センター SiC 開発部
マネージャー。工学博士。電気学会会員。





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。