

図2 オン抵抗のセルピッチ依存性

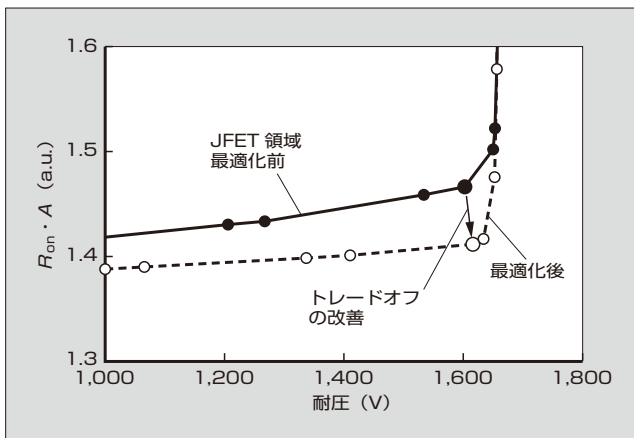


図3 オン抵抗と耐圧のトレードオフの関係

の電界は緩和されていることを確認している⁽⁸⁾。

高いしきい値電圧と低オン抵抗を両立するために、セルピッチの縮小による微細化と、MOSチャネル長を最適化した。図2に示すように、セルピッチが縮小するほどオン抵抗が低くなる。しかしながら、プロセスの工程能力との兼ね合いからセルピッチをプレーナゲートMOSFETの約1/2とした。

低オン抵抗と高耐圧を両立させるために、図1のトレンチ底のpウェル(図中A)とソースコンタクト下のpウェル(図中B)で挟まれたJFET領域(図中C)を最適化した。最適化する上で多数あるパラメータの決定には、デバイスシミュレーションを利用した⁽⁸⁾。図3に、オン抵抗と耐圧のトレードオフの関係を示す。JFET領域の最適化により、オン抵抗は約3%低減し、耐圧は約2%向上した。

3 特性

3.1 静特性

開発したSiCトレンチゲートMOSFETの静特性を図4に示す。図4(a)に、デバイス接合温度25℃および175℃における順方向時のドレイン電流-ドレイン電圧特性を示す。定格電流時のオン電圧は25℃で1.3V、175℃で2.3Vであった。図4(b)に、逆方向バイアス時のドレイン電流-

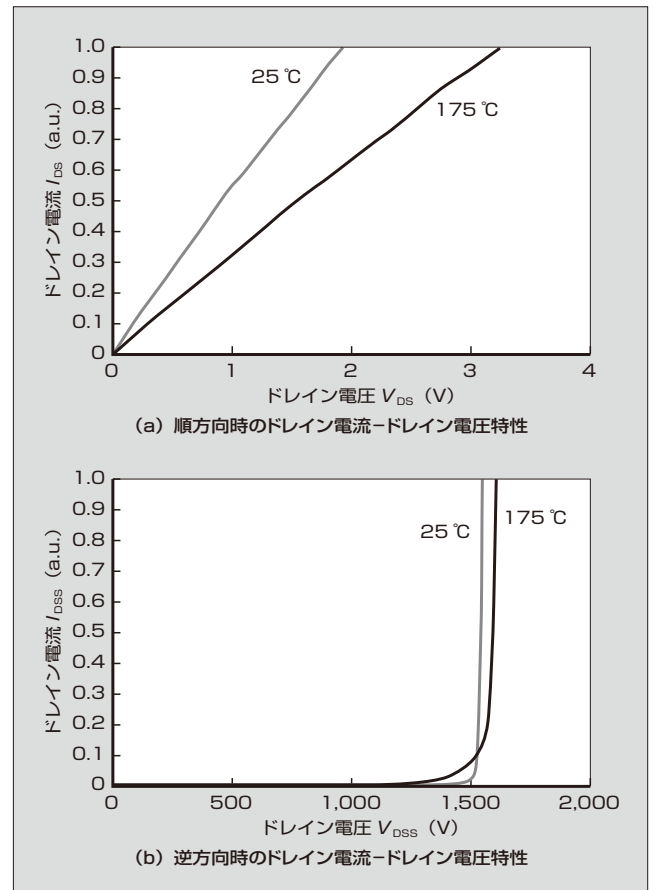


図4 SiC トレンチゲート MOSFET の静特性

ドレイン電圧特性を示す。耐圧は25℃で1.55kV、175℃で1.61kVである。プレーナゲートMOSFETと同様に、温度の増加とともに耐圧も増加している。また、1.2kVクラスの素子として十分な電圧を確保できている。

図5に、しきい値電圧およびオン抵抗の温度依存性を示す。しきい値電圧は、25~200℃の範囲では温度の上昇とともに単調に減少し、25℃に対し175℃で約26%低下する。一方、オン抵抗は単調に増加し、25℃に対し175℃で約57%の増加となる。複数のチップを並列に接続した場合、特定のチップに電流の集中が起きたとしても温度上昇によりオン抵抗は増加して電流が低下するため、熱暴走

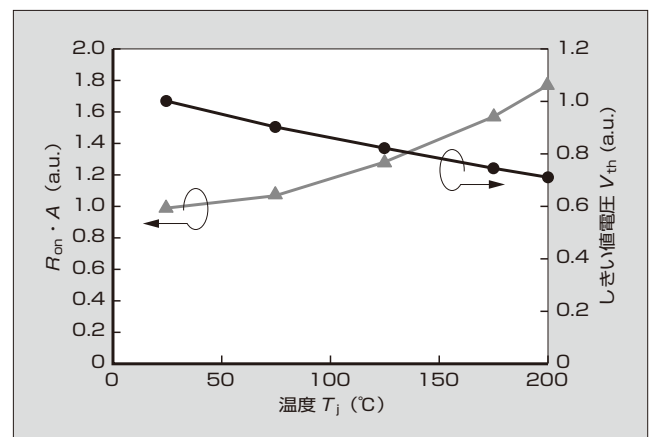


図5 しきい値電圧およびオン抵抗の温度特性

を起こしにくいという特徴がある。

また、単位面積当たりのオン抵抗は、プレーナゲート MOSFET に対しトレンチゲート MOSFET では約 50% 低減することに成功した。モジュールやパワーエレクトロニクスシステムにおける効率向上や冷却部品の小型化を通して、これまで以上にシステム全体の低コスト化への貢献が期待できる。

3.2 スイッチング特性

図 6 に、スイッチング評価回路、および代表的なターンオン波形と、ターンオフ波形を示す。ゲート電圧が 0V のときに、ドレイン電流がオン時の 90% になるまでのターンオン時間は約 60 ns である。また、ゲート電圧がオン時の 90% のときには、ドレイン電流がオン時の 10% になるまでのターンオフ時間は約 75 ns である。

図 7 に、スイッチング損失のゲート抵抗依存性を示す。ドレイン電圧 600 V、ゲート抵抗 22 Ω、25 °C の場合で比較すると、トレンチゲート MOSFET はプレーナゲート

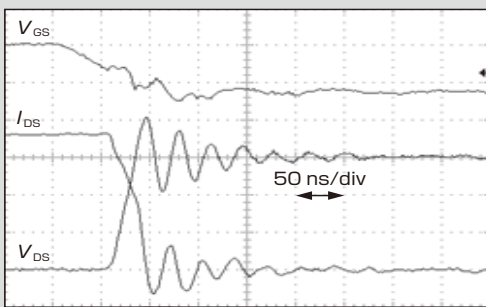
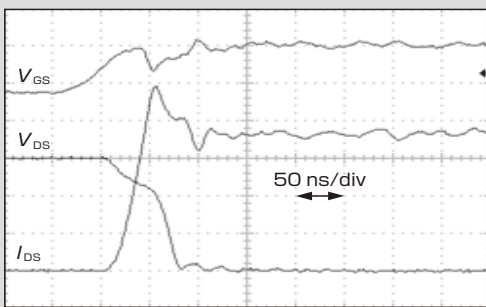
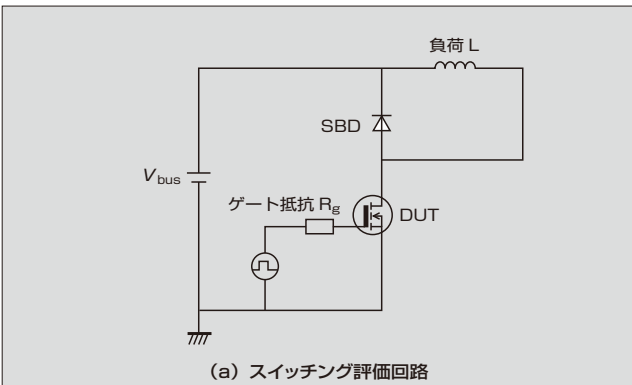


図 6 スイッチング評価回路および代表的な波形

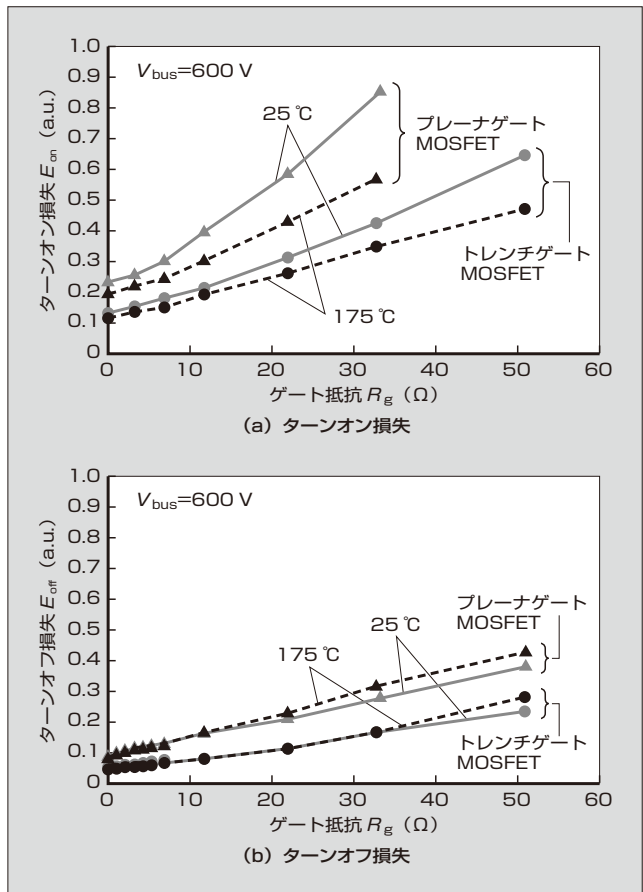


図 7 スイッチング損失のゲート抵抗依存性

MOSFET に対してターンオン損失で 47%、ターンオフ損失で 48% 低くなっている。これは帰還容量 C_{rss} がプレーナゲート MOSFET より今回開発したトレンチゲート MOSFET の方が小さいためであると考えられる。

175 °C のときのターンオン損失は、25 °C のときに比べて低い。これは、175 °C においてはしきい値電圧も同様に低いいため、ターンオン時のゲートへの充電時間が短くなるので、低ターンオン損失となるものと考えられる。また、ターンオフ損失は 175 °C の方が若干高くなる。ターンオフ時に駆動電圧としきい値電圧との差は 175 °C の方が若干大きく、ゲートからの電荷の放電時間が長くなるためであると考えられる。

3.3 短絡耐量・アバランシェ耐量

図 8 に、ドレイン電圧 800 V、175 °C における短絡耐量試験の破壊直前の波形を示す。短絡時間 9.8 μs と十分高い短絡耐量を確認できた。

図 9 は、負荷インダクタンス 100 μH、175 °C におけるアバランシェ耐量試験時の波形である。アバランシェ耐量は 6.0 J/cm² であり、プレーナゲート MOSFET と同レベルであった。

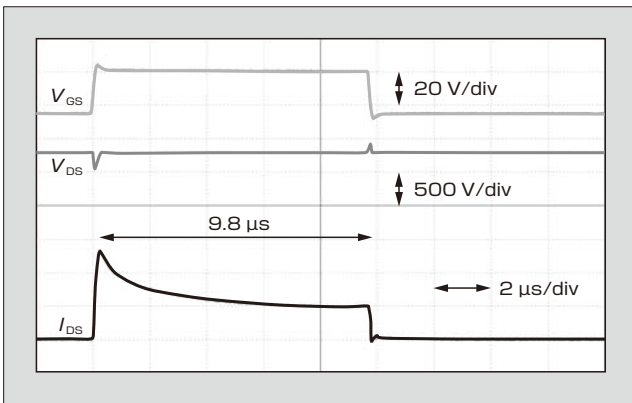


図8 短絡耐量試験時の波形

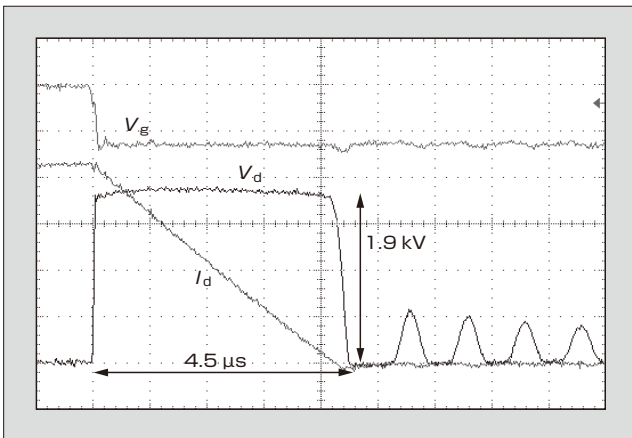


図9 アバランシェ耐量試験時の波形

4 あとがき

本稿では、1.2 kV SiC トレンチゲート MOSFET について述べた。

セルピッチの短縮とチャネル長の最適化により、SiC プレーナゲート MOSFET より高いしきい値電圧と低いオン抵抗を両立できる SiC トレンチゲート MOSFET を開発した。今後は、さらなるオン抵抗の低減を目指し、SiC/SiO₂ 界面品質の向上に取り組む所存である。

本研究の一部は、共同研究体 つくばパワーエレクトロニクスコンステレーション (TPEC) 殿の事業として行わ

れた。関係各位に謝意を表する。

参考文献

- (1) B.J.Baliga, POWER SEMICONDUCTOR DEVICE, PWS Publishing Company.
- (2) 梨子田典弘ほか. All-SiCモジュール技術. 富士電機技報. 2012, vol.85, no.6, p.403-407.
- (3) 仲野逸人ほか. 超小型・高信頼性All-SiCモジュール. 富士電機技報. 2013, vol.86, no.4, p.244-248.
- (4) 仲村秀世ほか. All-SiCモジュールのパッケージ技術. 富士電機技報. 2015, vol.88, no.4, p.241-244.
- (5) 松本康ほか. SiCデバイス搭載のパワーエレクトロニクス機器. 富士時報. 2012, vol.85, no.3, p.255-259.
- (6) 大島雅文ほか. All-SiCモジュール搭載のメガソーラー用PCS「PVI1000AJ-3/1000」. 富士電機技報. 2015, vol.88, no.1, p.13-17.
- (7) T.Kimoto and J.A.Cooper, FUNDAMENTALS OF SILICON CARBIDE TECHNOLOGY, 2014 John Wiley & Sons.
- (8) 小林勇介ほか. シミュレーションによるSiCトレンチ型MOSFETの特性予測. 富士電機技報. 2016, vol.89, no.1, p.11-15.



辻 崇

SiC パワー MOSFET, SBD の研究・開発に従事。現在、富士電機株式会社電子デバイス事業本部開発統括部 SiC 開発部。応用物理学会会員。



岩谷 将伸

SiC パワー MOSFET, SBD の研究・開発に従事。現在、富士電機株式会社電子デバイス事業本部開発統括部プロセス開発部。応用物理学会会員。



大西 泰彦

SiC パワー MOSFET, SBD の研究・開発に従事。現在、富士電機株式会社電子デバイス事業本部開発統括部 SiC 開発部マネージャー。工学博士。電気学会会員。





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。