

# 高速ダイオードを内蔵した第2世代低損失SJ-MOSFET 「Super J MOS S2FD シリーズ」

2nd-Generation Low Loss SJ-MOSFET with Built-In Fast Diode “Super J MOS S2FD Series”

渡邊 荘太 WATANABE, Sota

坂田 敏明 SAKATA, Toshiaki

山下 千穂 YAMASHITA, Chiho

エネルギーを効率的に利用するために、電力変換機器にはよりいっそうの高効率化が求められており、搭載されるパワーMOSFETには、小型で低損失と低ノイズの製品が求められている。富士電機は、これまでにオン抵抗を低減し、かつターンオフスイッチング損失と跳ね上がり電圧のトレードオフを改善した製品を開発し、量産化してきた。今回、内蔵ダイオードを高速化して逆回復耐量を向上させ、低損失で使いやすい第2世代低損失SJ-MOSFET「Super J MOS S2FDシリーズ」を開発した。本製品を使用することで、電力変換機器の効率向上や小型化が期待できる。

In order to make efficient use of energy, there has been increasing demand for enhanced efficiency in power conversion equipment, and as such, the power MOSFET mounted on this equipment are required to be compact, low loss and low noise. Fuji Electric has been developing and manufacturing products that have reduced on-state resistance and improved trade-off between turn-off switching loss and surge voltage. We have recently developed the 2nd-generation low loss SJ-MOSFET “Super J MOS S2FD Series,” which features user-friendliness and low loss, by improving its reverse recovery withstand capability through a built-in fast diode. The use of this product is expected to improve the efficiency of power conversion equipment and facilitate product miniaturization.

## ① まえがき

近年、地球温暖化防止や経済産業省が定めた長期エネルギー需給見通しなどを背景にして、太陽光発電や風力発電などの再生可能エネルギーの普及が進んでいる。一方で、社会インフラ、自動車、産業機械、IT機器、家電製品などの分野でエネルギー消費量が增大しており、エネルギーをいっそう効率的に利用するために電力変換技術の重要性が増している。電力変換機器には、高効率、高電力密度、低ノイズといった要求があり、その電力変換部で使用されているパワーMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) などの半導体スイッチング素子には小型で低損失と低ノイズ性が求められている。

富士電機はこのような要求に応えるため、2011年からスーパージャンクション構造を採用し、低オン抵抗と低スイッチング損失を両立した定格電圧600Vの第1世代低損失SJ-MOSFET「Super J MOS S1シリーズ」(S1シリーズ)と、S1シリーズの内蔵ダイオードを高速化した「Super J MOS S1FDシリーズ」(S1FDシリーズ)の系列化を進めてきた。

さらに、S1シリーズに対して素子の耐圧 $BV_{DSS}$ と単位面積当たりのオン抵抗 $R_{on} \cdot A$ とのトレードオフ関係を改善し、かつターンオフスイッチング時におけるドレインソース間電圧の跳ね上がり( $V_{DS}$ サージ)を抑制した「Super J MOS S2シリーズ」(S2シリーズ)を開発した。

本稿では、S2シリーズの内蔵ダイオードを高速化した系列である第2世代低損失SJ-MOSFET「Super J MOS S2FDシリーズ」(S2FDシリーズ)について述べる。

## ② 設計コンセプト

スイッチング電源の電力変換効率を向上させるために、S2FDシリーズではS2シリーズの技術を適用し、S1FDシリーズに対して導通損失の低減と、ターンオフスイッチング損失 $E_{off}$ の低減、さらには軽負荷時の回路損失低減のために、ゲート駆動損失および出力容量の充放電時に発生する損失 $E_{oss}$ の低減を図っている。

また、通信・産業分野の比較的大きい容量の電源で広く使用されている電流共振などのフルブリッジ-LLC回路では、共振はずれ時に上・下アームの短絡が発生し、MOSFETの内蔵ダイオードが逆回復動作に入る。このときMOSFETの内蔵ダイオードは高い電流変化率 $-di_{DR}/dt$ で逆回復動作に入るため、過大な逆回復ピーク電流が発生する。そして、その回復時にドレインソース間の電圧変化率 $dv/dt$ が急峻(きゅうしゅん)に立ち上がり、MOSFETの寄生バイポーラトランジスタが動作し破壊に至ることがある。そのため、フルブリッジ回路ではMOSFETが破壊しないように、逆回復耐量( $-di_{DR}/dt$ 耐量)の強い製品が使用されている。S2FDシリーズは、現在これらの電源に採用されているS1FDシリーズよりも逆回復耐量の向上を図っている。

## ③ 特徴

### 3.1 導通損失の低減

高耐圧パワーMOSFETにおいて導通損失を低減するためには、導通損失において支配的であるチップのオン抵抗 $R_{DS(on)}$ を低減することが必須である。パッケージに搭載できるチップサイズに制約があるため、チップサイズを大きくすることなくオン抵抗を低減する必要がある。S2FD

表1 搭載可能な最小オン抵抗

| 項目 |                          | TO-247<br>パッケージ | TO-220<br>パッケージ | TO-220F<br>パッケージ |
|----|--------------------------|-----------------|-----------------|------------------|
|    | 搭載可能な<br>最小 $R_{DS(on)}$ | S1FD シリーズ       | 42mΩ            | 132mΩ            |
|    | S2FD シリーズ<br>(低減率)       | 27mΩ<br>(36%減)  | 84mΩ<br>(36%減)  | 75mΩ<br>(19%減)   |

シリーズでは、S2シリーズのスーパージャンクション構造の中にあるドリフト層の不純物拡散プロセスを改善し、n形領域の不純物濃度を高く保ち抵抗値を低減することで、 $R_{on} \cdot A$  をS1FDシリーズに比べて約25%低減させた。

表1に、定格電圧600VのS2FDシリーズとS1FDシリーズの各パッケージの最小 $R_{DS(on)}$ を示す。 $R_{on} \cdot A$ の低減により、パッケージTO-247では42mΩから27mΩに、TO-220Fでは93mΩから75mΩに、TO-220では132mΩから84mΩに低減したチップを搭載することが可能であり、電源の高効率化が期待できる。

### 3.2 スイッチング損失の低減と $V_{DS}$ サージの抑制

電源基板の回路パターン設計を行う場合、従来の電源基板のパターン設計の流用や、部品レイアウトなどの制約から理想的な回路パターンにできないことが多い。その場合、使用するMOSFETを置き換えるだけでは、回路上の配線などの寄生インダクタンスなどにより、スイッチング時にゲート振動により誤オンしたり、 $V_{DS}$ サージが大きくなったりする問題が発生することがある。

そこで、回路パターンの設計自由度を向上させるために、S2FDシリーズではS2シリーズと同様に、しきい値電圧の最適化によりスイッチング時のゲート振動による誤オンの対策を行い、内部ゲート抵抗の最適化により $V_{DS}$ サージの対策を行っている。

この対策により、今まで使用していたMOSFETから新しいMOSFETに置き換えたときに、顧客が回路パターンを変更したり、部品定数を大きく変更したりする必要がなくなり、高効率の電源を容易に設計できるようになった。

チョッパ回路を使って、S1FDシリーズとS2FDシリーズにおける $E_{off}$ と $V_{DS}$ サージのトレードオフ特性の評価を行った。図1に、 $E_{off}$ と $V_{DS}$ サージのトレードオフ特性を示す。同一 $V_{DS}$ サージ480Vにおいて、S2FDシリーズはS1FDシリーズよりも $E_{off}$ が約18μJ低減し、 $E_{off}$ と $V_{DS}$ サージのトレードオフを改善している。

### 3.3 軽負荷時の損失低減

電源が軽負荷のときには、MOSFETのドレインソース間に流れる電流が小さくなるため、電源全体の損失に占めるMOSFETの導通損失の割合が小さくなる。その結果、回路上のゲート駆動損失と $E_{oss}$ の占める割合が増える。そこで、軽負荷時の電源の変換効率を改善するために、

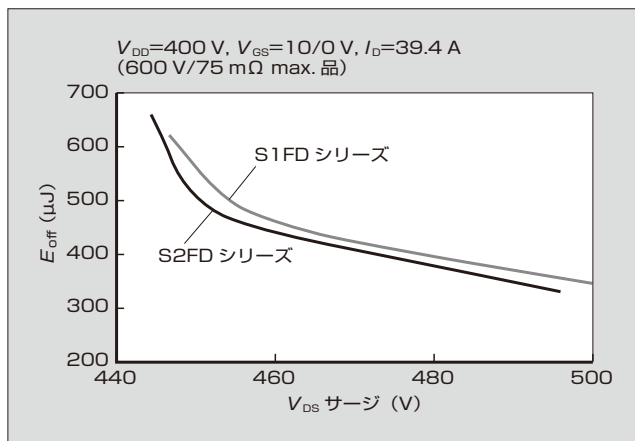


図1 ターンオフスイッチング損失 $E_{off}$ と $V_{DS}$ サージのトレードオフ特性

MOSFETの表面構造を最適化することでトータルゲートチャージ $Q_G$ を低減し、ゲート駆動損失の低減を図っている。また、スーパージャンクション構造で形成されるドリフト層の不純物拡散プロセスを改善し、 $E_{oss}$ も低減した。

図2に、 $Q_G$ 特性を示す。S2FDシリーズは、S1FDシリーズに対してゲート電圧 $V_{GS}$ が10Vのときに $Q_G$ を約17%低減した。図3は $E_{oss}$ のドレインソース間電圧 $V_{DS}$ 依存性を示しており、S2FDシリーズは、S1FDシリーズ

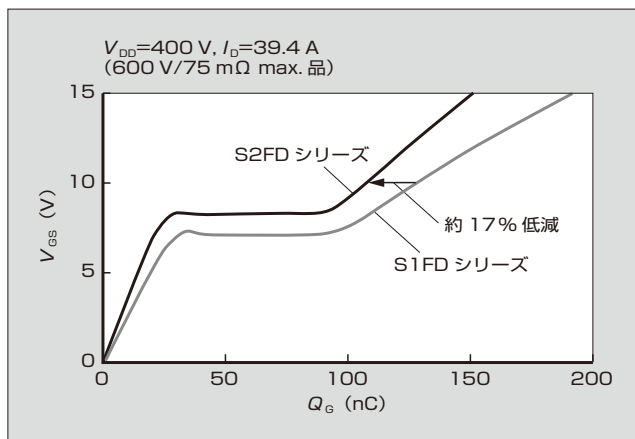


図2 トータルゲートチャージ $Q_G$ 特性

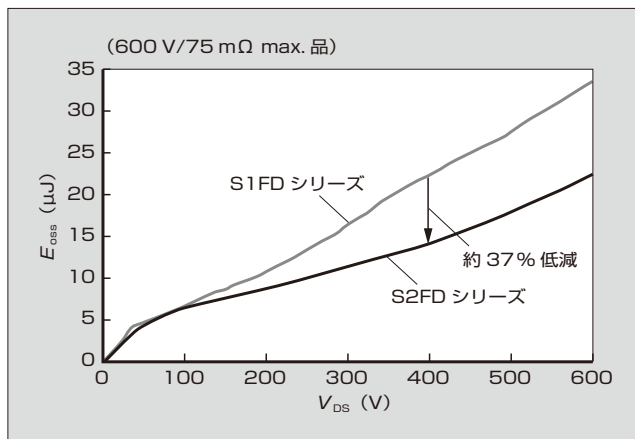


図3 充電時に発生する損失 $E_{oss}$ 特性

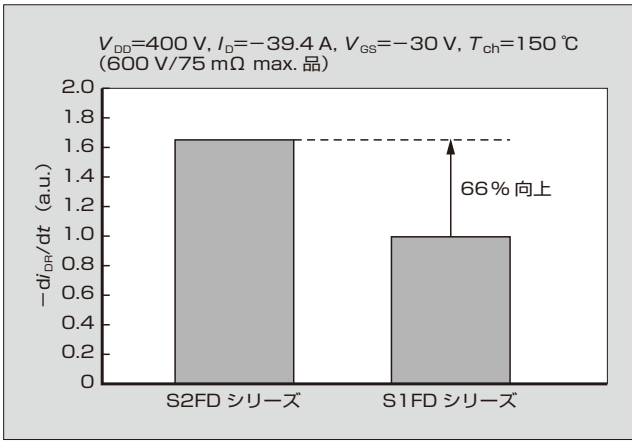


図4 逆回復耐量特性

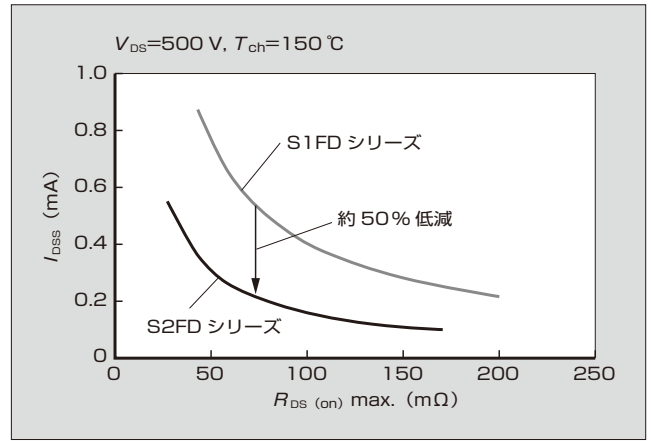


図6 ドレイン-ソース間漏れ電流  $I_{DSS}$  特性

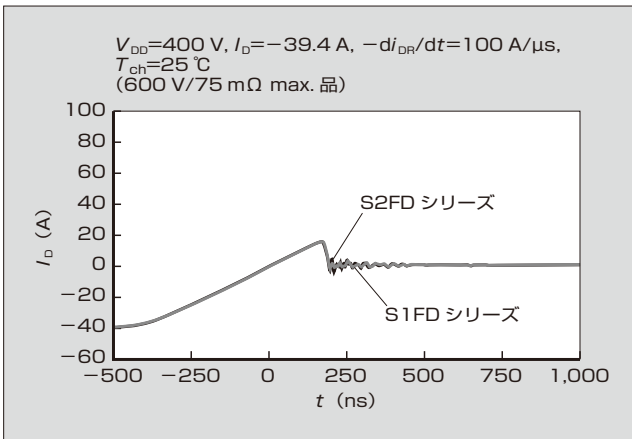


図5 逆回復特性

に対して  $V_{DS}$  が 400 V のときに  $E_{oss}$  を約 37% 低減した。

### 3.4 逆回復耐量の向上とオフ時の損失低減

内蔵ダイオードの逆回復耐量を向上させるために、ライフタイムキラーにより内蔵ダイオードの逆回復動作を高速化し、逆回復時間と逆回復ピーク電流を低減した。一方で、ライフタイムキラー濃度とオフ時の損失となるドレイン-ソース間漏れ電流  $I_{DSS}$  はトレードオフの関係にあるため、ライフタイムキラー濃度を最適化し、S1FD シリーズと同

等の逆回復特性を維持しつつ、 $I_{DSS}$  特性を改善し、さらに逆回復耐量を向上させた。

図4に、逆回復耐量特性の比較を示す。S2FD シリーズは、S1FD シリーズに対して逆回復耐量を66%向上した。

図5に、逆回復特性の比較を示す。S2FD シリーズは、S1FD シリーズに対して同等の逆回復特性を維持している。

図6に、 $R_{DS(on) max.}$  と  $I_{DSS}$  特性の関係を示す。 $R_{DS(on) max.}$  が 75 mΩ において、S2FD シリーズは、S1FD シリーズに対して  $I_{DSS}$  を約 50% 低減した。

## 4 適用効果

電源の変換効率の向上を確認するために、図7に示す電源のフルブリッジ-LLC回路に、S2FD シリーズとS1FD シリーズの600 V/75 mΩ max. 品を搭載して電源の変換効率の比較評価を行った。図8に評価結果を示す。このときの入出力条件は、入力電圧が115 V、出力電圧が53.5 V、外付けゲート抵抗  $R_g$  が5.1 Ωである。S2FD シリーズの場合は、これまでに述べた特性の改善や損失の低減により、全負荷領域においてS1FD シリーズの場合よりも高効率になり、平均変換効率は0.25ポイント向上している。このことからS2FD シリーズをスイッチング電源に適用することで、より高効率で高信頼性の電源設計が期待できる。

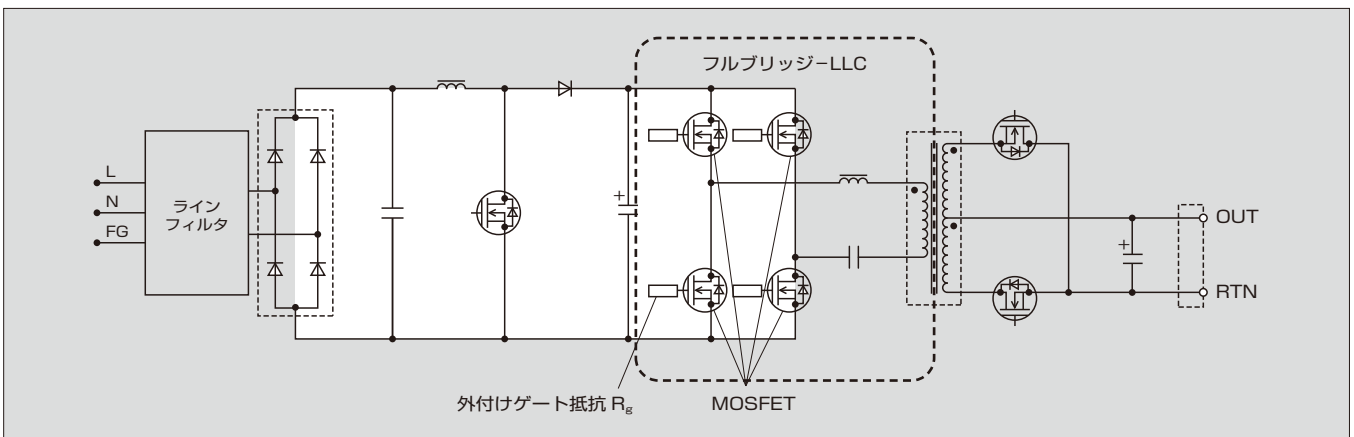





図7 電源のフルブリッジ-LLC回路

表2 「Super J MOS S2FD シリーズ」の製品系列と主要特性

| $V_{DS}$ (V) | $R_{DS(on)}$ max. (m $\Omega$ ) | $I_D$ (A) | 製品系列   |  |   |
|--------------|---------------------------------|-----------|--|--|---|
|              |                                 |           | TO-247<br>パッケージ<br> | TO-220<br>パッケージ<br> | TO-220F<br>パッケージ<br> |
| 600          | 27                              | 95.5      | FMW60N027S2FD  | -  | -   |
|              | 43                              | 66.2      | FMW60N043S2FD  | -  | -   |
|              | 59                              | 49.9      | FMW60N059S2FD  | -  | -   |
|              | 75                              | 39.4      | FMW60N075S2FD  | -  | FMV60N075S2FD   |
|              | 84                              | 37.1      | FMW60N084S2FD  | FMP60N084S2FD  | FMV60N084S2FD   |
|              | 94                              | 32.8      | FMW60N094S2FD  | FMP60N094S2FD  | FMV60N094S2FD   |
|              | 105                             | 29.2      | FMW60N105S2FD  | FMP60N105S2FD  | FMV60N105S2FD   |
|              | 133                             | 22.7      | FMW60N133S2FD  | FMP60N133S2FD  | FMV60N133S2FD   |
|              | 170                             | 17.9      | FMW60N170S2FD  | FMP60N170S2FD  | FMV60N170S2FD   |

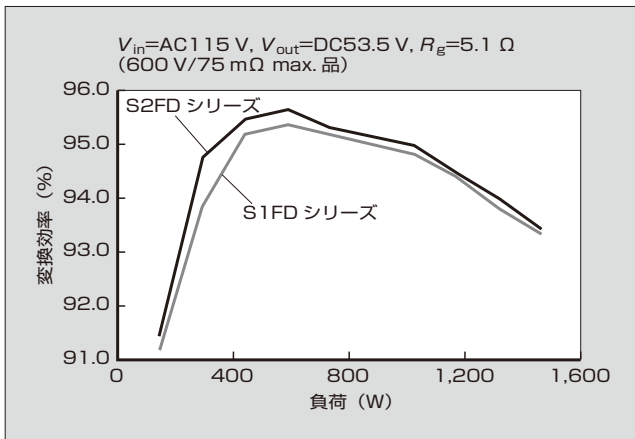


図8 変換効率の評価結果

## 5 製品系列

表2にS2FDシリーズの製品系列と主要特性を示す。

定格電圧  $V_{DS}$  が600V、オン抵抗  $R_{DS(on)}$  が27～170 m $\Omega$ 、定格電流  $I_D$  が95.5～17.9Aの製品を系列化し、電源容量に応じた選択が可能である。

## 6 あとがき

高速ダイオードを内蔵した第2世代低損失SJ-MOSFET「Super J MOS S2FDシリーズ」は、S1FDシリーズに対して低損失と  $V_{DS}$  サージの抑制を実現し、 $-di_{DR}/dt$  耐量を向上した製品である。

S2FDシリーズは、フルブリッジLLC回路に搭載して行った比較評価から、S1FDシリーズよりも高効率の実現が可能であり、スイッチング電源の高効率化や小型化への貢献が期待できる。

今後は、市場ニーズのさらなる要求に応えるために、耐圧系列やパッケージ系列の拡大を進めるとともに、チップ

サイズの小型化やオン抵抗の低減などの性能向上に取り組んでいく所存である。

## 参考文献

- (1) Fujihira, T. "Theory of Semiconductor Superjunction Devices". Jpn. J. Appl. Phys., 1997, vol.36, p.6254-6262.
- (2) Deboy, G. et al. "A New Generation of High Voltage MOSFETs Breaks the Limit Line of Silicon". Proc. IEDM, 1998, p.683-685.
- (3) Onishi, Y. et al. "24 m $\cdot$ cm<sup>2</sup> 680 V Silicon Superjunction MOSFET". Proc. ISPSD'02, 2002, p.241-244.
- (4) Saito, W. et al. "A 15.5 m $\cdot$ cm<sup>2</sup>-680 V Superjunction MOSFET Reduced On-Resistance by Lateral Pitch Narrowing". Proc. ISPSD'06, 2006, p.293-296.
- (5) 大西泰彦ほか. Superjunction MOSFET. 富士時報. 2009, vol.82, no.6, p.389-392.
- (6) 田村隆博ほか. 低損失SJ-MOSFET「Super-JMOS」. 富士時報. 2011, vol.84, no.5, p.340-343.
- (7) Tamura, T. et al. "Reduction of Turn-off Loss in 600 V-class Superjunction MOSFET by Surface Design". PCIM Asia 2011, p.102-107.
- (8) Watanabe, S. et al. "A Low Switching Loss Superjunction MOSFET (Super J-MOS) by Optimizing Surface Design". PCIM Asia 2012, p.160-165.
- (9) 渡邊莊太ほか. 第2世代低損失SJ-MOSFET「Super J MOS S2シリーズ」. 富士電機技報. 2015, vol.88, no.4, p.292-295.
- (10) Sakata, T. et al. "A Low-Switching Noise and High-Efficiency Superjunction MOSFET, Super J MOS<sup>®</sup> S2". PCIM Asia 2015, p.419-426.



**渡邊 荘太**

パワー MOSFET の開発・設計に従事。現在、富士電機株式会社電子デバイス事業本部事業統括部ディスクリート・IC 技術部。



**山下 千穂**

電源デバイスのエンジニアリング業務に従事。現在、富士電機株式会社電子デバイス事業本部営業統括部応用技術部。



**坂田 敏明**

パワー MOSFET の開発・設計に従事。現在、富士電機株式会社電子デバイス事業本部開発統括部デバイス開発部。





\*本誌に記載されている会社名および製品名は、それぞれの会社が所有する  
商標または登録商標である場合があります。