

車載用第4世代ハイサイド型 IPS 「F5112H」

“F5112H,” 4th-Generation High-Side IPS for Automotive Applications

張 艶争* ZHANG, Yanzheng

豊田 善昭* TOYODA, Yoshiaki

森澤 由香* MORISAWA, Yuka

近年、自動車の電子制御化に伴って電装システムの大規模化が進み、搭載する半導体への高信頼性、高機能化、低消費電流の要求が高まっている。

エンジンやトランスミッション、ブレーキなどの電装システムには、IPS (Intelligent Power Switch) が使われている。この IPS は、出力段のパワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) と制御・保護回路を同一のチップ上に集積化したものであり、電源側に半導体デバイスを、グランド側に負荷を配置するハイサイド型 IPS と、この配置を逆にしたローサイド型 IPS がある。電装システムには、大規模化が進む中で高い安全性が必要であり、高度な冗長性が求められている。これまでは、バッテリーと電装システムをつなぐスイッチには、接点リレーや保護機能なしの単体 MOSFET が主に用いられていた。しかし、接点リレーは耐久性が半導体ほど高くなく、また、単体の MOSFET には、電装システムに異常が発生した際に自己保護がかけられないという課題があった。

これに対して、富士電機のハイサイド型 IPS は、自己保護機能とともに状態出力端子を備えているので、電装システムの異常時に瞬時に保護をかけることができ、かつ異常であることをマイコン (CPU) に伝達してシステムの冗長性を高めるための制御に反映することができる。バッテリーと電装システムをつなぐアプリケーションでは、バッテリーの消費を抑える必要があるため、従来品よりも消費電流を低減した車載用第4世代ハイサイド型 IPS 「F5112H」を開発した。

1 製品概要

図1に、F5112Hの外観、外形図および端子配列を示す。第4世代IPSのデバイス技術やプロセス技術^{(1),(2)}によって、出力段パワーMOSFETを従来のプレーナゲートMOSFETからトレンチゲートMOSFETに変更した。また、回路部は要素デバイス自体の微細化に加え、多層配線技術を適用することで、チップ面積を削減した。さら

* 富士電機株式会社電子デバイス事業本部事業統括部自動車電装技術部

* 富士電機株式会社電子デバイス事業本部開発統括部デバイス開発部

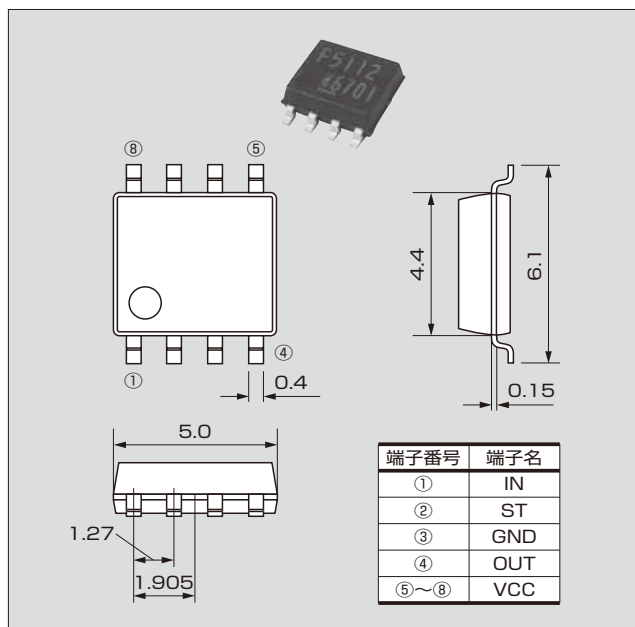


図1 「F5112H」の外観・外形図・端子配列

に、従来品と比較して消費電流を大幅に低減 (対従来品比93%減) した。

2 特性

F5112Hの回路ブロック図を図2に、内部電源回路図を図3に、絶対最大定格を表1に、電気的特性を表2に示す。また、次の機能を搭載している。

- (a) 過熱・過電流・負荷短絡保護機能
- (b) 低電源電圧動作保証 (4.5 V以上)

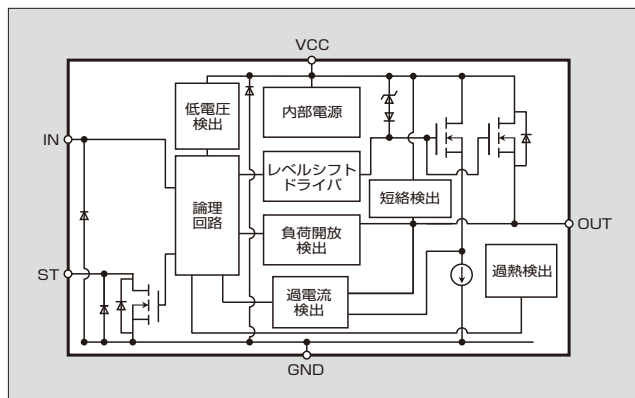


図2 「F5112H」の回路ブロック図

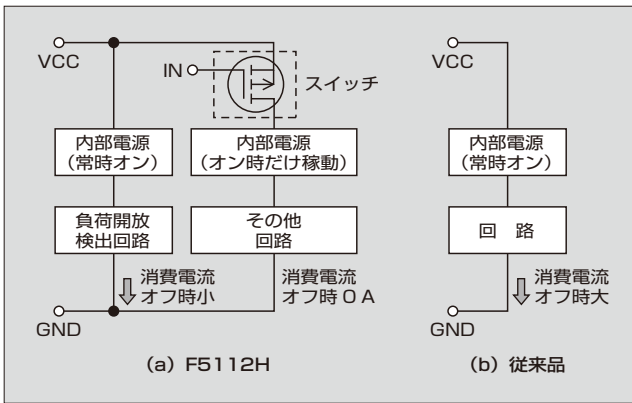


図3 「F5112H」の内部電源回路図

表1 「F5112H」の絶対最大定格

項目	記号	条件	定格
電源電圧 (V)	$V_{cc(1)}$	Pulse 250ms	50
	$V_{cc(2)}$	DC	-0.3~+35
出力電流 (A)	I_D	DC, 内部制限値による	2
消費電力 (W)	P_D	DC, *	2
入力電圧 (V)	$V_{IN(1)}$	DC, $R_{IN}=0\Omega$	-0.3
	$V_{IN(2)}$	DC	7
入力電流 (mA)	I_{IN}	DC	± 10
ステータス電圧 (V)	$V_{ST(1)}$	DC, $R_{ST}=0\Omega$	-0.3
	$V_{ST(2)}$	DC	7
ステータス電流 (mA)	I_{ST}	DC	± 10
L負荷耐量 (mJ)	E_{cl}	$T_j=150^\circ\text{C}, V_{cc}=13\text{V}, V_{IN}=5\text{V}, L=50\text{mH},$ Single pulse, $dV_{OUT}/dt \leq 5\text{V}/\mu\text{s}$	25
接合部温度 ($^\circ\text{C}$)	T_j	—	175
保存温度 ($^\circ\text{C}$)	T_{stg}	—	-55~+175

* ガラスエポキシ4層基板 (10×5×1.2 (mm)) 実装時

- (c) L 負荷クランプ機能
- (d) 負荷状態出力端子 (ST)
- (e) 負荷開放検出機能

F5112Hは、消費電流の最大値を従来品の3mAから200 μA に低減している。図3に示すように、従来品はIN信号の状態に関係なく、VCC端子にバッテリーが接続されると全ての内部電源が動作する設計となっていた。F5112Hでは、IN信号がオフのときに負荷開放検出回路以外は内部電源が動作しないように電源切断用スイッチを設けた。これにより、バッテリーと電装システムをつなぐアプリケーションの要求である消費電流の低減を実現した。

表2 「F5112H」の電気的特性

項目	記号	条件	規格値	
			最小	最大
動作電源電圧 (V)	V_{cc}	$T_j=-40\sim+175^\circ\text{C}$	4.5	16
低電圧検出 (V)	UV_1	$V_{IN}=5\text{V}$	2	4.3
低電圧復帰 (V)	UV_2	$V_{IN}=5\text{V}$	2.2	4.5
消費電流 (静止電源電流) (mA)	$I_{cc(L)1}$	$R_L=10\Omega, V_{IN}=0\text{V}$	—	0.2
	$I_{cc(L)2}$	OUTオープン $V_{IN}=0\text{V}$	—	0.2
動作電源電流 (mA)	$I_{cc(H)}$	$V_{IN}=5\text{V}, R_L=1\text{k}\Omega$	—	5
入力スレッシュホールド電圧 (V)	$V_{IN(H)}$	$V_{cc}=4.5\sim 16\text{V}, R_L=10\Omega$	3.0	—
	$V_{IN(L)}$	$R_L=10\Omega$	—	1.5
入力電流 (μA)	$I_{IN(H)}$	$V_{IN}=5\text{V}$	5	70
	$I_{IN(L)}$	$V_{IN}=0\text{V}$	-10	10
オン抵抗 (Ω)	$R_{DS(on)}$	$I_L=1.5\text{A}, T_j=25^\circ\text{C}$	—	0.12
		$I_L=1.5\text{A}, T_j=175^\circ\text{C}$	—	0.27
出力リーク電流 (mA)	I_{OH}	$V_{OUT}=V_{cc}, V_{IN}=0\text{V}$	—	2
	I_{OL}	$V_{OUT}=0\text{V}, V_{IN}=0\text{V}$	-0.24	—
過電流検出 (A)	I_{OC}	$V_{cc}=13\text{V}, V_{IN}=5\text{V}$	2	7
過電流モード下ピーク電流 (A)	$PeakI$	$V_{cc}=13\text{V}, V_{IN}=5\text{V}$	—	45
過電流モード下周期 (ms)	Per		—	3
過電流モード下デューティ (%)	$Duty$		—	20
過熱検出 (検出) ($^\circ\text{C}$)	T_{trip1}	$V_{IN}=5\text{V}$	—	207
過熱検出 (復帰) ($^\circ\text{C}$)	T_{trip2}		175	—
オン時伝達遅延時間 (μs)	t_{ACCON}	$V_{cc}=13\text{V}, R_L=10\Omega, V_{IN}=5\text{V}-0\text{V}$	—	140
オフ時伝達遅延時間 (μs)	t_{ACCOFF}		—	140
ターンオン時間 (μs)	t_r		—	200
ターンオフ時間 (μs)	t_f		—	100
ステータス電圧Lレベル (V)	$V_{ST(L)}$	$V_{IN}=0\text{V}, R_L=10\Omega, I_{st}=0.6\text{mA}$	—	0.5
ステータスリーク電流 (μA)	I_{STleak}	$V_{IN}=5\text{V}, R_L=10\Omega, V_{st}=7\text{V}$	—	10
ステータスディレイ (μs)	$t_{ST(on)}$	$V_{cc}=13\text{V}, R_L=10\Omega, V_{IN}=5\text{V}-0\text{V}, V_{st}=5\text{V}$	—	200
	$t_{ST(off)}$		—	200
L負荷クランプ電圧 (V)	V_{clamp}	$V_{IN}=0\text{V}, I_L=1.0\text{A}, L=10\text{mH}$	-(50 - V_{cc})	-(60 - V_{cc})
負荷開放検出電圧 (V)	V_{OIH}	$V_{IN}=0\text{V}, V_{ST}=L\rightarrow H$	4	—
負荷開放復帰電圧 (V)	V_{OIL}	$V_{IN}=0\text{V}, V_{ST}=H\rightarrow L$	—	1.6

参考文献

- (1) 鳶坂浩志ほか. 車載用第4世代IPS「F5100シリーズ」. 富士電機技報. 2012, vol.85, no.6, p.440-444.
- (2) Toyoda, Y. et al. “60 V-Class Power IC Technology for an Intelligent Power Switch with an Integrated Trench MOSFET”. ISPSD 2013, p.147-150.

発売時期

2016年6月

お問い合わせ先

富士電機株式会社
電子デバイス事業本部事業統括部自動車電装技術部スマートパワーデバイス課
電話 (0263) 28-8718



DFN8×8 パッケージの「Super J MOS S2 シリーズ」 「Super J MOS S2FD シリーズ」

“Super J MOS S2 Series” and “Super J MOS S2FD Series” with DFN 8×8 Package

島藤 貴行* SHIMATO, Takayuki

渡邊 荘太* WATANABE, Sota

安田 貴弘* YASUDA, Yoshihiro

発展途上国を中心とした世界の人口増加や中国を中心とした経済発展、ならびに近年のIT革新に伴う情報量の増大により、エネルギー消費は増加の一途をたどっている。限られたエネルギー資源を有効に利用するために、太陽光発電や風力発電などの再生可能エネルギーの活用と併せて、各種の電源を高効率化することによる省エネルギー化が必要である。対象となるものは、通信電源や電気自動車の充電ステーションなどの産業向けからTVなどの一般家庭向けまでさまざまなものが挙げられる。これらの電源の電力変換部に用いられている半導体スイッチング素子として、特に小型化が要求される中容量以下の機器には高周波動作が可能なパワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) が採用されることが多い。これらの電源の高効率化と小型化のためには、電力変換部の主要部品である、パワー MOSFET の低損失・小型化が必要不可欠である。

1 製品系列と主要特性

富士電機は、パワー MOSFET の損失を改善するために従来のプレーナ型 MOSFET に替え、スーパージャンクション構造を採用した第2世代低損失 SJ-MOSFET

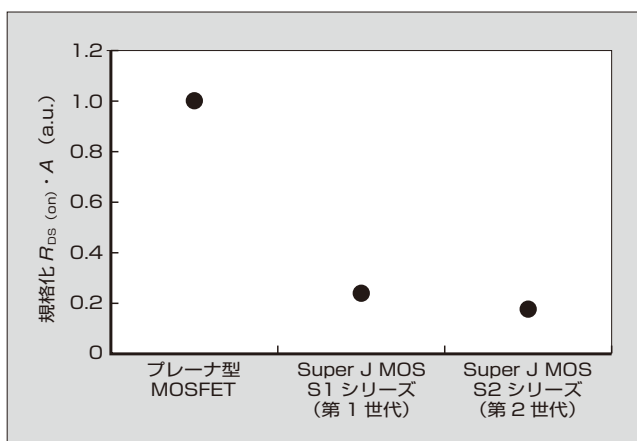


図1 パワー MOSFET の $R_{DS(on)} \cdot A$ 性能のトレンド (600V 耐圧クラス)

* 富士電機株式会社電子デバイス事業本部事業統括部産業ディスクリート部

* 富士電機株式会社電子デバイス事業本部生産統括部半導体組立センター製造技術部

表1 DFN8×8 パッケージの製品系列と主要特性

シリーズ名称	型式	オン抵抗 $R_{DS(on)}$ max. (mΩ)	耐圧 V_{DS} (V)
Super J MOS S2 シリーズ	FML60N090S2	90	600
	FML60N101S2	101	
	FML60N111S2	111	
	FML60N138S2	138	
	FML60N174S2	174	
	FML60N200S2	200	
Super J MOS S2FD シリーズ	FML60N093S2FD	93	600
	FML60N104S2FD	104	
	FML60N115S2FD	115	
	FML60N143S2FD	143	
	FML60N179S2FD	179	

「Super J MOS シリーズ」を提供してきた。図1に、パワー MOSFET の規格化 $R_{DS(on)} \cdot A$ 性能のトレンドを示す。600V 耐圧クラスの単位面積で規格化されたオン抵抗 $R_{DS(on)} \cdot A$ は世代を追うごとに改善され、低くなってきている。

電力変換部の小型化に対応するために、最新シリーズの「Super J MOS S2 シリーズ」(S2 シリーズ) および S2 シリーズの寄生ダイオードを高速化した「Super J MOS S2FD シリーズ」(S2FD シリーズ) において、従来の D2-PACK パッケージよりも小型で薄型の面実装タイプの DFN (Dual Flat Nonlead) 8×8 パッケージに搭載した製品を系列化し、サンプル展開を開始した。これらの製品系列と主要特性を、表1に示す。

2 特徴

2.1 小型・薄型

図2に、DFN8×8 パッケージと従来の標準的な面実装パッケージである D2-PACK パッケージの外観を示す。また、DFN8×8 パッケージ品の主な特徴を次に示す。

- (a) 実装面積：58% 低減
- (b) パッケージ高さ：81% 低減
- (c) パッケージ体積：92% 低減

表2に、単位実装面積当たりと単位実装体積当たりのオン抵抗を示す。DFN8×8 パッケージ品は、最小オン抵抗が大きいものの、D2-PACK 品に対して単位実装面積

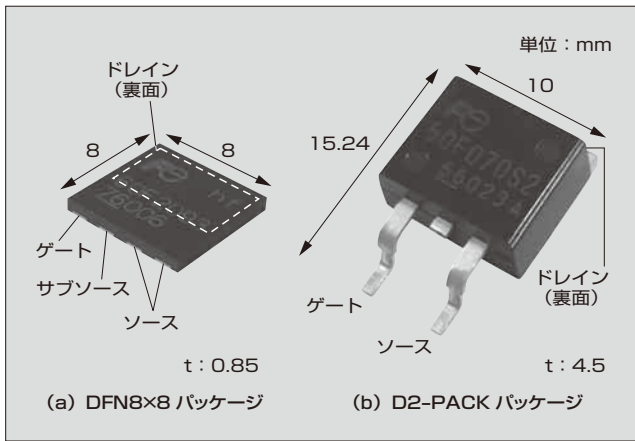


図2 パッケージの外観

表2 単位実装面積当たりと単位実装体積当たりのオン抵抗

パッケージ	搭載可能な 最小オン抵抗 $R_{DS(on)}$	単位実装面積 当たりのオン抵抗 $R_{DS(on)(max)} \cdot S$	単位実装体積 当たりのオン抵抗 $R_{DS(on)(max)} \cdot V$
	Ω	$\Omega \cdot \text{mm}^2$	$\Omega \cdot \text{mm}^3$
DFN8×8	0.090	5.76	4.90
D2-PACK	0.079	12.04	54.18
低減率	—	52.2%	91.0%

当たりのオン抵抗は52.2%低減，単位実装体積当たりのオン抵抗は91.0%低減している。これにより，電源の小型・高電力密度化に対応しているパッケージであることが分かる。

2.2 低スイッチング損失

図3に，DFN8×8パッケージ品と標準的な3端子パッケージ品（TO-220，D2-PACKなど）のゲートドライブ回路を示す。標準的な3端子パッケージ品では，パッケージ内部のリードインダクタンスやソース基板配線インダクタンスなどのインダクタンス L_s がゲートドライブ回路に含まれる構成となるため，MOSFETのスイッチング動作時にはドレイン電流の時間変化 dI_d/dt によって L_s に発生する逆起電力がゲートドライブ回路に影響を与える。この逆起電力は，MOSFETのターンオン時にはゲート電圧を押し下げる方向に作用し，ターンオフ時にはゲート電圧を押し上げる方向に作用する。そのためスイッチング時間を遅延させ，スイッチング損失低減および高周波化の障害となっている。

一方，DFN8×8パッケージ品ではサブソース端子を設けることで， L_s をゲートドライブ回路から分離し， L_s に発生する逆起電力の影響を取り除くことができる。これにより，スイッチング時間の短縮によりスイッチング損失を低減し高周波化することができる。

図4と図5に，チョップ回路を用いてDFN8×8パッケージ品と3端子パッケージ品とのターンオン損失およびターンオフ損失のゲート抵抗依存性を比較した結果を示す。測定素子には，DFN8×8パッケージ品として

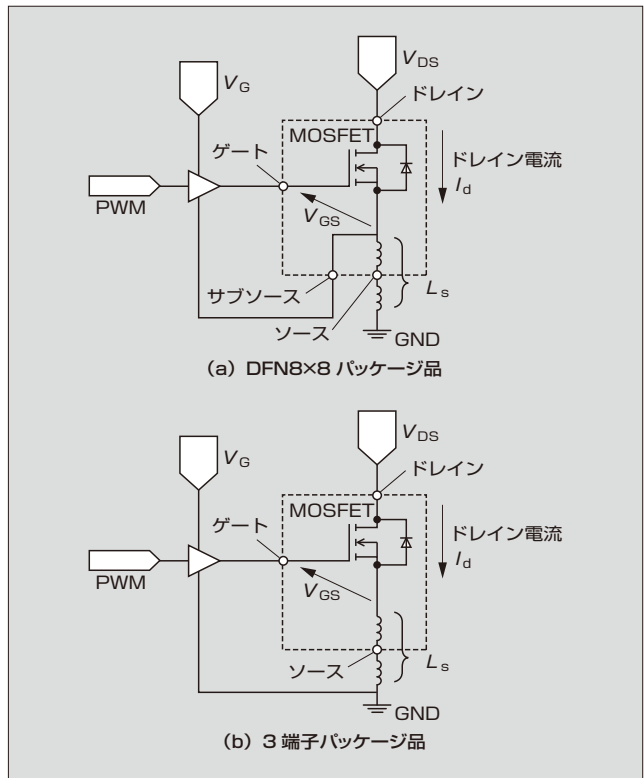


図3 DFN8×8パッケージ品と3端子パッケージ品のドライブ回路

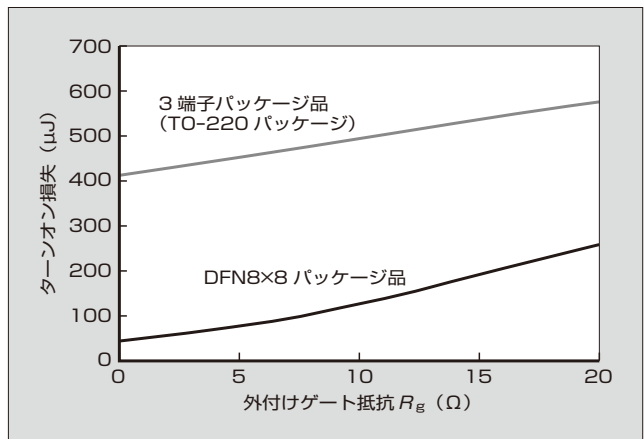


図4 ターンオン損失

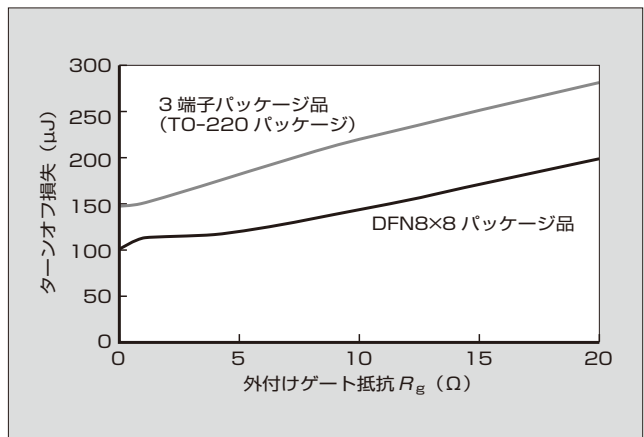


図5 ターンオフ損失

「FML60N143S2FD」(600 V, 143 m Ω) を、3 端子パッケージ品として TO-220 パッケージの「FMP133S2FD」(600 V, 133 m Ω) を使用した。測定条件は、 $V_{DD}=400$ V, $I_D=20$ A, $V_G=10$ V としている。

DFN8×8 パッケージ品は、外付けゲート抵抗 0~20 Ω の全範囲においてターンオン損失およびターンオフ損失が大幅に改善されている。外付けゲート抵抗 10 Ω において、ターンオン損失が 75% の低減、ターンオフ損失が 35% の低減となっている。

発売時期

2017年10月

お問い合わせ先

富士電機株式会社

電子デバイス事業本部営業統括部営業第一部

電話 (03) 5435-7152





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。