

# SiC-MOSFET のバイポーラ劣化抑制のためのバッファ層技術

Buffer Layer Technology to Suppress Bipolar Degradation in SiC-MOSFETs

俵 武志 TAWARA, Takeshi

呂 民雅 RYO, Mina

宮里 真樹 MIYAZATO, Masaki

SiC-MOSFET のボディダイオードに順方向通電を行うと、エピタキシャル層中に積層欠陥が拡大してオン電圧が上昇するという問題がある。そこで、キャリア寿命の短いバッファ層を SiC エピタキシャル層/基板界面に挿入し、通電時に注入される過剰キャリア密度を減少させることで、積層欠陥の拡大が抑制できることを確認した。バッファ層として、窒素高密度ドープ層（窒素密度： $1 \times 10^{18} \text{ cm}^{-3}$ ,  $10 \mu\text{m}$ ）を備えた pn ダイオードを試作し、 $600 \text{ A/cm}^2$  で 1 時間の通電においても積層欠陥が拡大しないことを確認した。

When a forward current flows through an internal body diode of a SiC-MOSFET, the problem that a forward voltage increases with expanding stacking faults in the epitaxial layer occurs. Fuji Electric confirmed that the reduction of the excess carrier density by inserting a buffer layer with a short carrier lifetime between the epitaxial layer and the substrate could suppress the stacking faults expansion. We made a trial pn diode with a highly nitrogen doped buffer layer (nitrogen density:  $1 \times 10^{18} \text{ cm}^{-3}$ ,  $10 \mu\text{m}$ ) and found no stack faults expansion even after the current conduction of  $600 \text{ A/cm}^2$  DC for an hour.

## 1 まえがき

4H-SiC（炭化けい素）エピタキシャル<sup>(注1)</sup>基板を用いた SBD（Schottky Barrier Diode）や、MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）は、パワーコンディショナ（PCS：Power Conditioning System）、モータ制御用インバータなどのパワーエレクトロニクス製品に使用することで、低損失化や省スペース化、軽量化などのメリットが得られる。しかし SiC-MOSFET をインバータに用いる際に、MOSFET のボディダイオードに通電すると、オン電圧が上昇するバイポーラ劣化（順方向通電劣化）という現象が起きる。本稿では、その現象と対策について述べる。

なお、本内容には、総合科学技術・イノベーション会議の SIP（戦略的イノベーション創造プログラム）“次世代パワーエレクトロニクス/SiC 次世代パワーエレクトロニクスの統合的研究開発”〔管理法人：国立研究開発法人 新エネルギー・産業技術総合開発機構（NEDO）〕により実施された成果が含まれる。

## 2 MOSFET ボディダイオードの順方向通電劣化と対策

SiC-PiN ダイオードの順方向に通電した際に、オン電圧が上昇するという現象が報告されている<sup>(1),(2)</sup>。同様に pn ダイオードにおいても図 1 (a)に示すように、一定時間順方向に通電した後にオン電圧が上昇し、劣化していることが分かる。オン電圧の上昇は、発熱による損失増加や素子並列化

〈注1〉 エピタキシャル基板：SiC 基板に SiC のエピタキシャル層を形成したもの

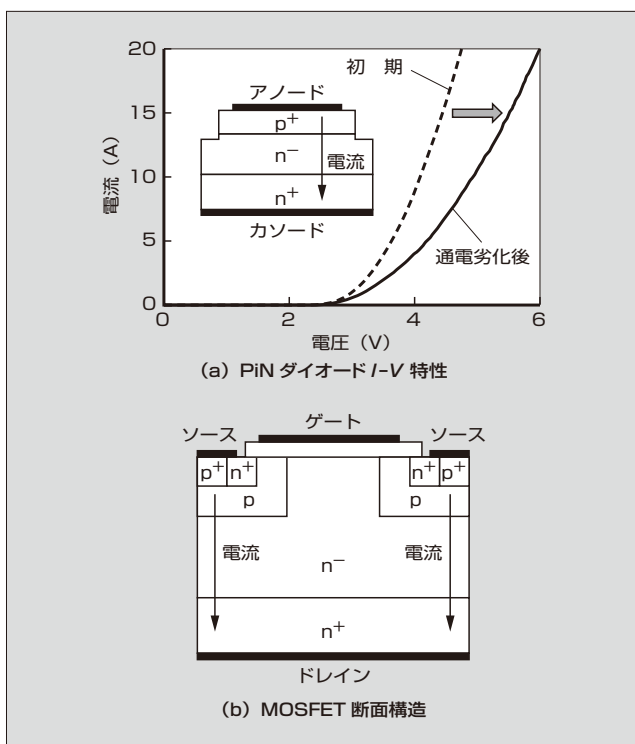


図 1 順方向通電劣化の電気特性影響

が困難になるため、望ましくない。一方、図 1 (b)に示すように、MOSFET のソース・ドレイン間に作りこまれている内蔵ダイオードはボディダイオードと呼ばれているが、近年、このボディダイオードに通電した際も同様にオン電圧が上昇することが分かり、解決すべき重要な課題となっている<sup>(3)</sup>。

順方向通電劣化の原因は、通電中に積層欠陥が拡大し、高抵抗層となることである<sup>(4)</sup>。図 2 に、順方向通電劣化時の積層欠陥の拡大図を示す。図 2 (a)に積層欠陥の PL（フォ

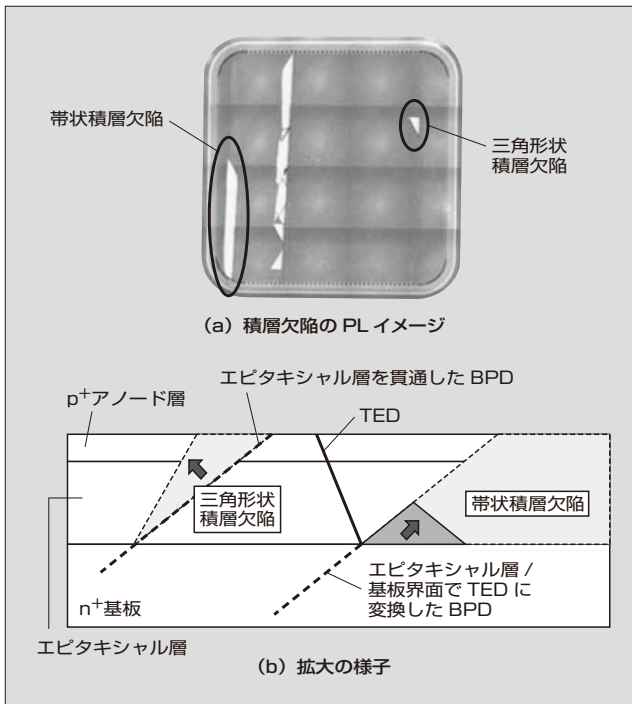


図2 順方向通電劣化時の積層欠陥の拡大図

トルミネッセンス：光励起後の再放出光）イメージを、図2(b)に拡大の様子を示す。通電により拡大する帯状や三角形の積層欠陥は、室温で固有のPLスペクトルを示すため、PLイメージ測定により検出できる。

三角形の積層欠陥は、エピタキシャル層の基底面転位(BPD: Basal Plane Dislocation)欠陥が拡大したものと報告されている<sup>(4)</sup>。BPDはSiC基板内に $10\sim 10^2\text{cm}^{-2}$ の密度で存在する転位欠陥であり、その多くはエピタキシャル層成長開始時にエピタキシャル層と基板の界面で貫通刃状転位(TED: Threading Edge Dislocation)に変換され、一部のBPDがエピタキシャル層を貫通し、通電により拡大して三角形の積層欠陥となる。しかしながら、近年、特に大電流を流した際に、TEDに変換されたBPDからも、三角形や帯状の積層欠陥が発生することが報告されている<sup>(5)~(7)</sup>。エピタキシャル層/基板の界面のTED変換点より下のBPDからも積層欠陥が拡大することから、従来のBPD-TED変換効率を高めることに加え、BPDからの積層欠陥の拡大を抑制する根本的な対策が必要である。

BPDから積層欠陥が拡大する現象モデルについては、積層欠陥のエネルギー準位(伝導帯の底からおよそ0.3eVの深さ)に捕獲される電子-ホールペアの密度が一定量を超えると引き起こされると推測されている<sup>(8),(9)</sup>。そこで今回、このモデルに従って、BPD近傍に注入されるキャリア密度(特に少数キャリアであるホールの密度)を低くすることで、積層欠陥への電子-ホールペアの捕獲量を抑制し、エピタキシャル層/基板界面を起点とした積層欠陥の拡大を抑制することを試みた。具体的には、図3(b)に示すよう

<注2> 基底面転位: SiC単結晶(0001)面に存在する転位

<注3> 貫通刃状転位: SiC単結晶(0001)面を貫通する刃状転位

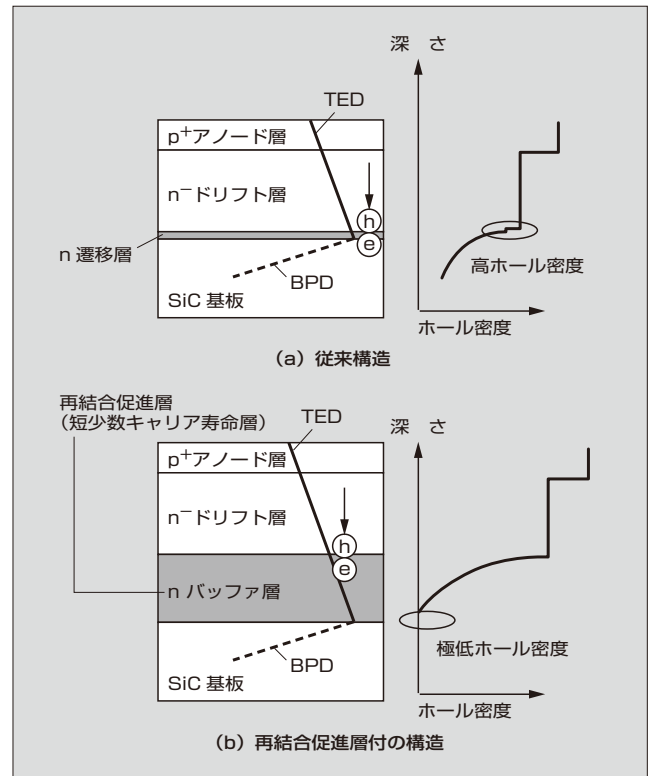


図3 積層欠陥の拡大抑制のためのダイオード構造

にn-ドリフト層とSiC基板間に少数キャリア寿命を短くしたnバッファ層(再結合促進層)を挿入することにより、エピタキシャル層/基板界面のBPDに到達するホールを減少させた。再結合促進層については、窒素(N)を高密度にドーピングしてオージェ再結合・直接再結合を促進したエピタキシャル層により実現した。また、再結合促進層のNドーピング密度評価手法として、共焦点ラマン測定を検討した。

### ③ N高密度ドープによる少数キャリア寿命の低減

再結合促進層向けの少数キャリア寿命の短い層を得るために、少数キャリア寿命のNドープ密度依存性を調査した。4H-SiC4度オフSi面n+型基板上に厚さ30 $\mu\text{m}$ 、N密度 $4\times 10^{17}\sim 9\times 10^{18}\text{cm}^{-3}$ のn形エピタキシャル層を成膜した。次いで、励起レーザー(波長355nm)を用いた時間分解フォトルミネッセンス(TRPL: Time Resolved PL)法により、室温から250 $^{\circ}\text{C}$ までの少数キャリアの寿命を評価した。N密度については二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で評価した。なお、TRPLでは、PL強度のピークの $1/e$ から $1/e^2$ の範囲の減衰時定数として少数キャリア寿命を求めている。

N高密度ドープエピタキシャル層のPL減衰波形と少数キャリア寿命のN密度依存性を、図4に示す。N密度を $1\times 10^{18}\text{cm}^{-3}$ 以上にするにより、250 $^{\circ}\text{C}$ の高温におい

<注4> 時間分解フォトルミネッセンス: バンド端PL発光の減衰時間評価

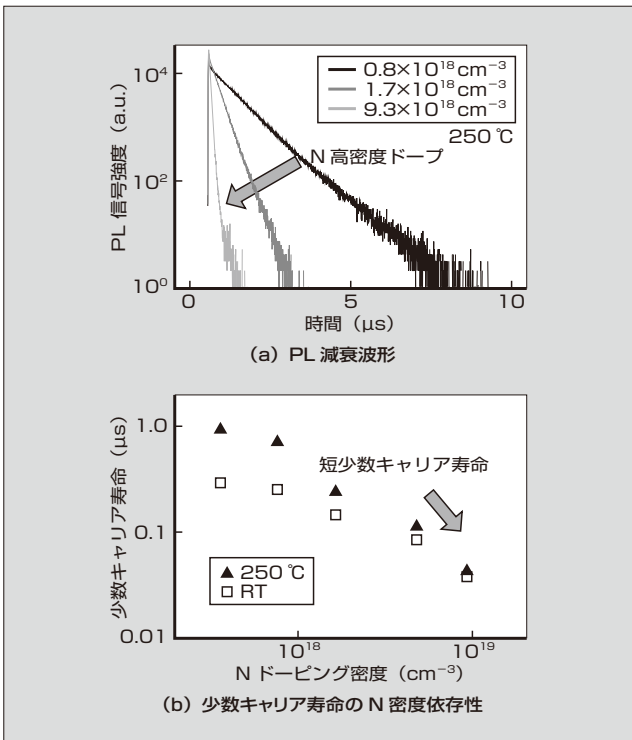


図4 N 高密度ドーピングによる少数キャリア寿命低減

ても少数キャリアの寿命が 200 ns から 40 ns まで大きく低減することが分かった。また、少数キャリア寿命の温度変動も N 高密度ドーピングで小さくなることが分かった。これは N ドーピングにより、自由キャリア密度が増加すること、オージェ再結合・直接再結合が促進されているためと考えられる<sup>10)</sup>。

#### 4 再結合促進層による pn ダイオードの順方向通電劣化抑制

MOSFET のボディダイオードを想定して、エピタキシャル層/基板界面に少数キャリア寿命の短い n バッファ層 (再結合促進層) を備えた pn ダイオードによる順方向通電劣化評価を行った。4H-SiC 度オフ Si 面 n<sup>+</sup> 型基板上に再結合促進層として N ドーピングバッファ層 (N :  $1 \times 10^{18} \text{ cm}^{-3}$ , 10  $\mu\text{m}$ ) を成膜し、さらにその上に n-ドリフト層 (N :  $1 \times 10^{16} \text{ cm}^{-3}$ , 10  $\mu\text{m}$ ) を成膜した。p<sup>+</sup> アノード層は、Al イオン注入 ( $2 \times 10^{20} \text{ cm}^{-3}$ , 0.3  $\mu\text{m}$ ) により形成した。素子サイズは 3 mm 角である。順方向通電試験は、DC300 A/cm<sup>2</sup> から DC600 A/cm<sup>2</sup> の通電を行った。600 A/cm<sup>2</sup> での通電後に電極を剥離し、励起波長 425 nm で PL イメージを評価して、積層欠陥の拡大の有無を調査した (ダイオード B)。

N 低密度ドーピングした n 遷移層 (N :  $4 \times 10^{17} \text{ cm}^{-3}$ , 0.1  $\mu\text{m}$ ) を備えた pn ダイオード A をリファレンスとして作製し、同様に評価した。DC300 A/cm<sup>2</sup>  $\times$  1 時間のスクリーニングを行った後、オン電圧変動のなかった 6 チップを選別し、DC300 A/cm<sup>2</sup> から DC600 A/cm<sup>2</sup> までステップ状に増やした電流密度で各 1 時間通電を行った。図 5 のグラフ

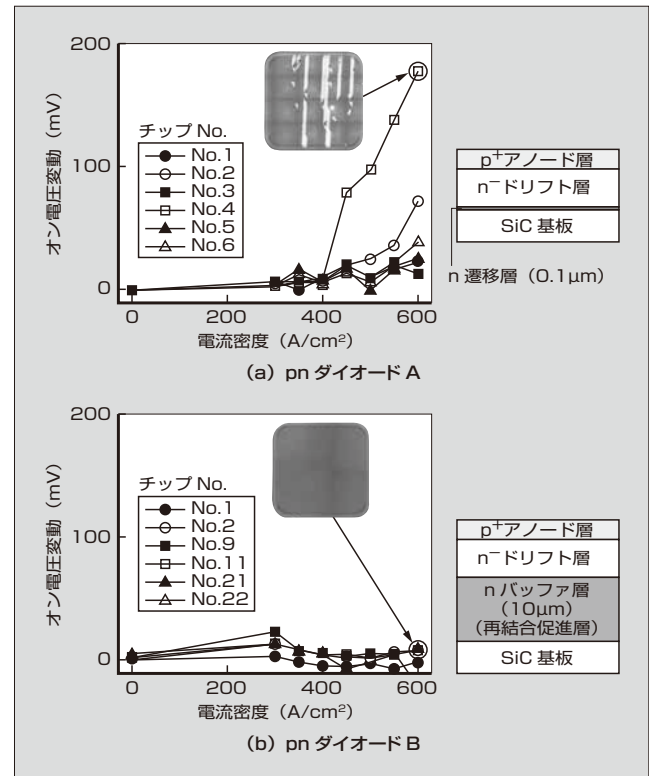


図5 再結合促進層付ダイオードの順方向通電劣化抑制効果

に、オン電圧変動と電流密度の関係を示す。再結合促進層を備えた pn ダイオード B では、オン電圧はほぼ変動しなかったのに対し、遷移層を備えた pn ダイオード A は、オン電圧が 20 mV から 180 mV まで大きく変動し、電流密度を上げるほどオン電圧変動は大きくなった。

続いて、それぞれ電極を剥離して、PL イメージによりエピタキシャル層中における積層欠陥の発生の有無を評価した。典型的な PL イメージを図 5 のグラフ中に示す。再結合促進層を備えた pn ダイオード B では積層欠陥が一つも発生していないのに対し、pn ダイオード A では三角形や帯状の積層欠陥がそれぞれ複数発生していた。電流密度を上げるほどオン電圧変動が大きくなったこと、ならびにオン電圧変動量は積層欠陥面積と比例関係にあることから、電流密度を上げるほど新たに積層欠陥が拡大していることが示唆される。pn ダイオード A では、多量のキャリアがエピタキシャル層/基板界面に注入されているため、エピタキシャル層/基板界面に存在する BPD から積層欠陥が拡大していると考えられる。さらに、再結合促進層を備えた pn ダイオード B では、2,700 A/cm<sup>2</sup> までパルス通電試験を実施したが、積層欠陥の発生は見られなかった。

#### 5 N 高密度ドーピング再結合促進層の管理

少数キャリア寿命を N 密度により制御する場合、再結合促進層の N 密度評価が重要である。深さ方向の N 密度評価手法である広がり抵抗測定法や SIMS は、破壊検査であるため、ウェーハ受入れ検査への適用が難しい。そこで、光学的な非破壊検査が可能な共焦点ラマン測定を検討した。

SiCのラマン測定において、LOPC (LOフォノンプラズモン結合) ピークシフト [ $\omega_{LOPC} - \omega_{LO}$ :  $\omega_{LOPC}$ はLOPCピーク,  $\omega_{LO}$ はLOピーク (964.1 nm)] とキャリア密度が比例関係にあることが知られている<sup>(11)</sup>。これを利用して、基板上に一定のN密度で成膜した10  $\mu\text{m}$ のエピタキシャル層についてラマン測定を実施し、LOPCピークシフトとSIMSで定量したNドープ密度との間の関係を求めた。ラマン測定に通常用いるレーザ励起波長は、457.9 nmや532 nmを使うとSiCを透過するために基板の情報も出てきてしまう。そこで、共焦点光学系を利用してエピタキシャル層のみの信号を検出した。図6(a)に、LOPCピークシフトとNドープ密度の関係を、図6(b)にエピタキシャル層のラマンスペクトル波形を示す。図6(b)に示すように、N高密度ドープのエピタキシャル層ほどピークが高波数側にシフトし、ピーク強度が下がっているが、単一ピークとして評価できていることが分かる。また、図6(a)に示すように、LOPCピークシフトとSIMSで定量したエピタキシャル層のN密度とは相関があることが分かる。

次に、実際の再結合促進層の構造を積層したエピタキシャル層に対して、共焦点ラマン測定を実施した。評価に際しては、日本分光株式会社製NRS7500 (レーザ励起波長532 nm, グレーティング2,400本/mm) を使用している。図7(a)に示すように、サンプル構造は基板上にバッファ層とドリフト層が成膜されている。図7(b)に、表面側から基板側に深さを変えて複数点の共焦点ラマン測定を行った結果を示す。最表面から深くなるにつれ、徐々に高波数側にピークがシフトしていることが分かる。しかし、図6(b)の場合と異なり、深い位置では前後の複数層からの信号が混合しており、バッファ層に相当する深さのスペク

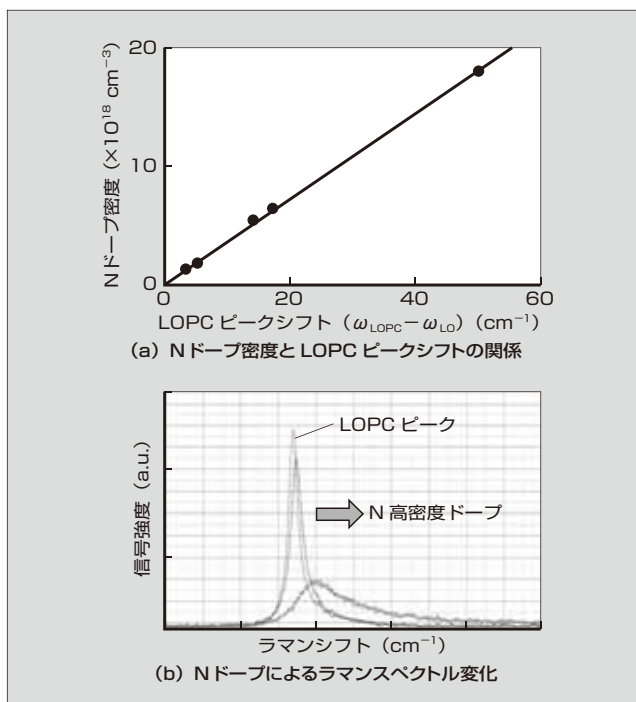


図6 ラマン測定によるNドープ密度定量

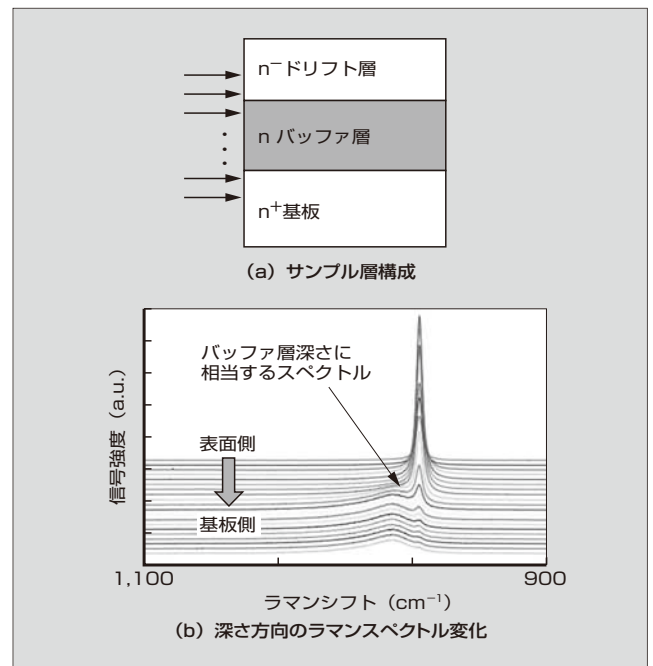


図7 共焦点ラマン測定によるバッファ層のNドープ密度定量

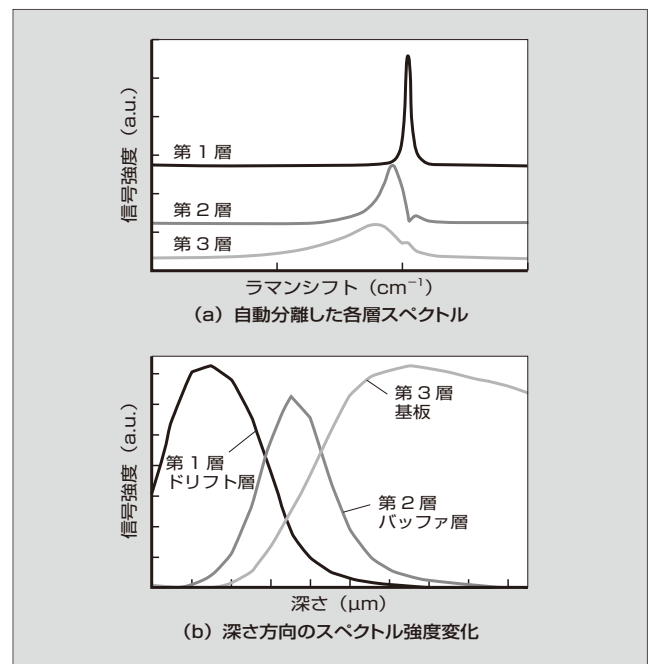


図8 MCRによるバッファ層のピーク分離

トル波形を取り出した後で、ピーク分離を行う必要があることが分かった。

取り出したスペクトルにピークフィッティングを行い、手動でピーク分離を行うことも可能であるが、測定者に依存せず安定した評価を行うために、多変量スペクトル分解法(MCR: Multivariate Curve Resolution)を用いて、バッファ層のスペクトルを自動分離し、そのピークを評価した。具体的には、深さ方向で取得した多数のラマンスペクトルが共通するスペクトルの和で成り立っていると仮定し、各スペクトルを分離し、それぞれのピーク位置を評価している。図8(a)に、自動分離した3種類のスペクトルを



示す。シングルピークのスペクトルに近い状態まで分離できていることが分かる。また図 8 (b)には、それぞれのスペクトル強度（面積を積分した値）の深さ方向の依存性を示す。この結果を見ると、深さ方向の関係性から、3種類のスペクトルがどのエピタキシャル層からの信号であるか一目瞭然である。バッファ層は第2層のスペクトルに該当しており、そのピーク位置から図 6 (a)に示した関係を用いて算出されたN密度は、別途SIMS測定を用いて評価した値と非常に近い値（差異8%）となり、精度よく評価できることが分かった。

## 6 あとがき

SiC-MOSFET のバイポーラ劣化抑制のためのバッファ層技術について述べた。本稿では、インバータ適用時に問題となるSiC-MOSFETの順方向通電劣化現象に対して、エピタキシャル層/基板界面に少数キャリア寿命の短いバッファ層を挿入し、BPD近傍のキャリア密度を減らすことでエピタキシャル層/基板界面からの積層欠陥の拡大を抑制する手法を提案した。実際に、再結合促進層としてN高密度ドープ層（ $N: 1 \times 10^{18} \text{cm}^{-3}$ ,  $10 \mu\text{m}$ ）を備えたpnダイオードにおいて、 $\text{DC}600 \text{ A/cm}^2 \times 1$ 時間の通電においても積層欠陥が拡大しないことを示した。さらに、再結合促進層のN密度管理手法として共焦点ラマン測定が有効であることを示した。

本論文の再結合促進層の開発、pnダイオードの検証は、一般財団法人 電力中央研究所 宮澤哲哉殿、土田秀一殿、国立研究開発法人 産業技術総合研究所 米澤喜幸殿、加藤智久殿、奥村元殿、京都大学 木本恒暢教授のご協力により得られた成果である。また共焦点ラマン測定は、日本分光株式会社殿のご協力により得られた成果である。また、本研究の一部は、総合科学技術・イノベーション会議のSIP（戦略的イノベーション創造プログラム）“次世代パワーエレクトロニクス/SiC 次世代パワーエレクトロニクスの統合的研究開発”〔管理法人：国立研究開発法人 新エネルギー・産業技術総合開発機構（NEDO）殿〕により実施された。関係各位に謝意を表す。

## 参考文献

- (1) J. P. Bergman, et al. Mater. Sci. Forum 353-356 (2001) 299.
- (2) H. Lendenmann, et al. Mater. Sci. Forum 433-436 (2003) 901.
- (3) A. Agarwall, et al. IEEE Electron Device Lett. 28 (2007) 587.
- (4) M. Skowronski, and S. Ha, J. Appl. Phys. 99 (2006) 011101.
- (5) J. J. Sumakeris, et al. Mater. Sci. Forum 457-460 (2004) 1113.
- (6) Konishi, K. et al. J. Appl. Phys. 114 (2013) 014504.
- (7) Tanaka, A. et al. J. Appl. Phys. 119 (2016) 095711.
- (8) Maeda, K. et al. Mater. Sci. Forum 725 (2012) 35.
- (9) N. A. Mahadik, et al. Appl. Phys. Lett. 100 (2012) 042102.
- (10) Tawara, T. et al. J. Appl. Phys. 120 (2016) 115101.
- (11) Nakashima, S. et al. Appl. Phys. Lett. 93 (2008) 121913.



### 俵 武志

SiC パワー MOSFET, SBD の研究・開発に従事。現在、国立研究開発法人 産業技術総合研究所先進パワーエレクトロニクス研究センター（富士電機より出向）。



### 呂 民雅

SiC パワー MOSFET, SBD の研究・開発に従事。現在、富士電機株式会社電子デバイス事業本部開発統括部 SiC 開発部。応用物理学协会会员。



### 宮里 真樹

SiC パワー MOSFET, SBD の研究・開発に従事。現在、国立研究開発法人 産業技術総合研究所先進パワーエレクトロニクス研究センター（富士電機より出向）。





\*本誌に記載されている会社名および製品名は、それぞれの会社が所有する  
商標または登録商標である場合があります。