

大容量 SiC ハイブリッドモジュール「HPnC」

“HPnC” Large-Capacity SiC Hybrid Module

関野 裕介 SEKINO, Yusuke

三本 孝博 MITSUMOTO, Takahiro

森谷 友博 MORIYA, Tomohiro

電鉄や太陽光発電、風力発電分野向けの大容量パワーモジュール「HPnC」を開発している。チップ技術には、第7世代「Xシリーズ」技術を適用し、チップの低損失化を行った。パッケージには、絶縁基板に窒化アルミニウム（AlN）セラミックを、ベース材にマグネシウムと炭化けい素の複合材料（MgSiC）を採用した。主端子の構造にラミネート構造を採用することにより、内部インダクタンスを10nHに低減し、超音波端子接合によりRoHS指令への対応を図った。これらの技術の適用により、従来品のHPMに対して電流密度を12%拡大し、高電流密度化を実現した。

Fuji Electric has been developing the “HPnC” large-capacity power module to be used with electric railcars and photovoltaic and wind power generation facilities. The chip uses 7th-generation “X Series” technology, enabling it to achieve lower power loss. The package employs an aluminum nitride (AlN) insulating substrate that utilizes a high heat-dissipating member, as well as base materials consisting of magnesium and silicon carbide composite materials (MgSiC). Adopting a laminated structure for the enclosure of the terminal makes the internal inductance decrease to 10nH. Furthermore, Ultrasonic terminal welding is used to comply with the RoHS directive. With these technologies, the module achieves a high current density, which is 12% greater than the conventional HPM.

1 まえがき

近年、地球温暖化防止の観点からエネルギー効率の改善とCO₂排出量の削減が求められている。このため、さまざまな分野にパワー半導体を用いた電力変換装置の適用が広がっている。特に、電鉄や太陽光発電、風力発電分野では、装置の大容量化かつ小型化が進んでいる。これらの装置に使用される大容量IGBT（Insulated Gate Bipolar Transistor）モジュールには、さらなる高電流密度化によ

る小型化が要求されている。

このような要求に応えるため、第7世代「Xシリーズ」IGBTチップ⁽¹⁾とSiC-SBD（Schottky Barrier Diode）チップ⁽²⁾搭載の新規パッケージを採用した大容量パワーモジュール「HPnC」（High Power next Core）を開発している（図1）。

2 製品ラインアップ検討

表1にHPnCの製品系列の一覧と特徴を示す。HPnCは、3,300V/450Aと1,700V/1,000Aの2系列のラインアップを検討している。IGBTはXシリーズを採用した。FWD（Free Wheeling Diode）は2種類あり、Si品としてはXシリーズのPiNダイオード、あるいは、さらに特性を向上したSiC-SBDを採用した。本稿では、3.3kV XシリーズIGBTとSiC-SBDを搭載した3,300V/450AのHPnCについて述べる。

回路構成は2in1であり、サーミスタを内蔵してモジュール内部の温度上昇を検知する。高放熱性と高信頼性を確保するため、絶縁基板には窒化アルミニウム（AlN）セラミックを採用した。また、ベース材には従来品のアルミニウムと炭化けい素の複合材料（AlSiC）と同等の線膨張係数であるが、熱伝導に優れたマグネシウムと炭化けい

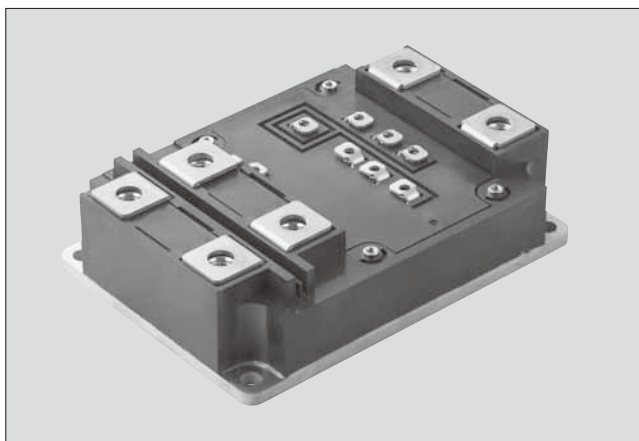


図1 大容量SiCハイブリッドモジュール「HPnC」

表1 製品ラインアップ

製品型式	定格電圧 (V)	定格電流 (A)	IGBT	FWD	パッケージ型式	回路構成	サーミスタ	絶縁基板	ベース
2MBI450XUF330-50	3,300	450	Xシリーズ	SiC-SBD	M288	2 in 1	内蔵	AlN	MgSiC
2MSI450XUF330-50				Xシリーズ					
2MBI1000XUF170-50	1,700	1,000		SiC-SBD					
2MSI1000XUF170-50				Xシリーズ					

素の複合材料 (MgSiC) を採用し、電鉄向けに高信頼性を確保した。図 1 にモジュールの外観を示す。パッケージは他社モジュールとの取付互換性を確保した。

③ 「HPnC」の特徴

表 2 に、電鉄向けモジュールである従来品の「HPM」(High Power Module) との特性の比較を示す。HPM に対して、サージ電圧を低減するために Parasitic inductance (モジュール内部インダクタンス) の改善, 高電流密度化, 並列接続時の組立性の改善のほかに, RoHS 指令^(注)に対応している。

3.1 低インダクタンスパッケージ

モジュール内部インダクタンスは, HPM の 42 nH に対して 76% 改善し, HPnC は 10 nH とした。図 2 に HPnC の断面構造図を示す。内部インダクタンスを低減するため, コレクタ端子とエミッタ端子の間にラミネート構造を採用した。図 3 に, HPnC と HPM のターンオフ時の波形比

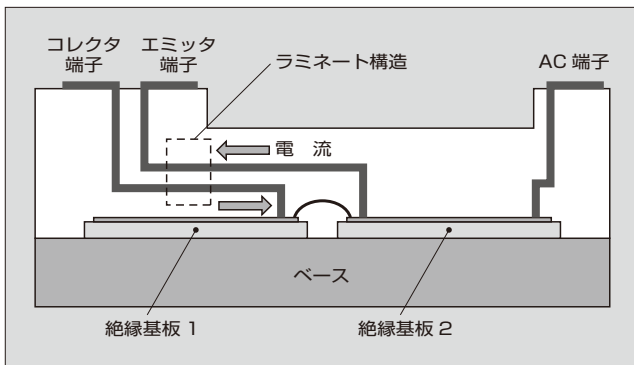


図 2 HPnC の断面構造図

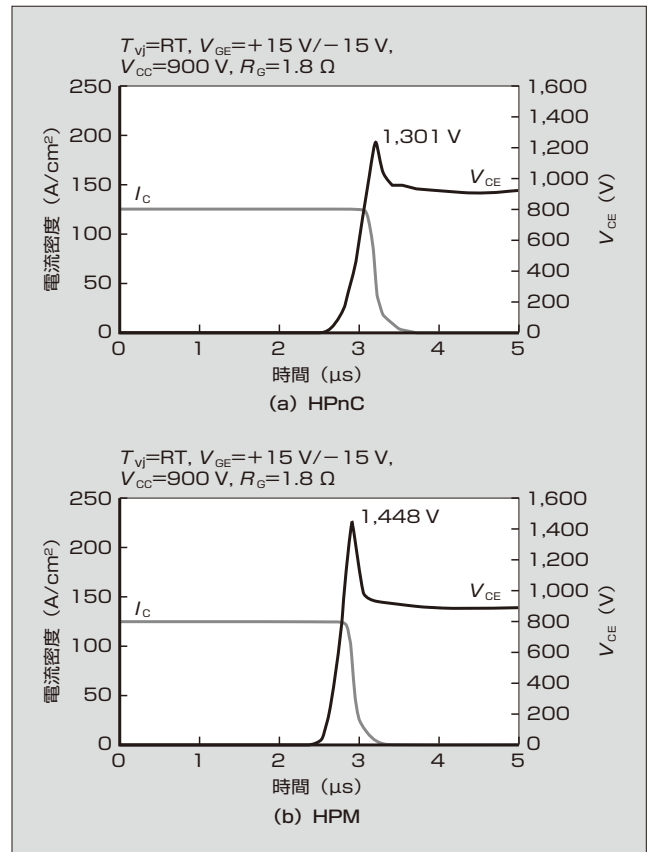
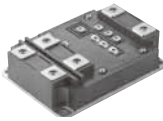



図 3 ターンオフ比較

較を示す。di/dt を同一の 5 kA/μs としたとき, HPnC のターンオフ時のサージ電圧は, インダクタンスの低減効果により HPM よりも約 150 V 低い。これにより, HPM よりも早い di/dt でターンオフが可能であり, さらにスイッチング損失が低減する。

表 2 パッケージ特性

パッケージ	HPnC	HPM (従来品)	改善率 (%)
外観/寸法 (mm)	W : 100 D : 140 H : 38 	W : 130 D : 140 H : 38 	—
回路	2 in 1	1 in 1	—
定格 (代表)	3,300 V/450 A+450 A	3,300 V/1,000 A	—
モジュール内部インダクタンス (Lp)	10 nH	42 nH (2 in 1 構成時)	76.2
サージ電圧 (V)	401	548	26.8
設置面積 (cm ²)	140	173.7	19.4
電流密度 (A/cm ²)	6.43	5.76	11.6
並列接続性	良い	悪い	—
2並列接続時インダクタンス (Lp)	2.5 nH	21 nH	89.0
RoHS指令	○	×	—

〈注〉 RoHS 指令 : 電気・電子機器に含まれる特定有害物質の使用制限についての EU (欧州連合) の指令

表 3 HPM と HPnC の並列接続の比較

	2 in 1 HPnC 4 並列 (トータル 3,300 V/1,800 A)	1 in 1 HPM 2 並列 (トータル 3,300 V/2,000 A)
モジュール並列接続時の組立性比較		
バラ接続時モジュールインダクタンス比較	<p>トータルインダクタンス: $10/4=2.5$ nH</p>	<p>トータルインダクタンス: $(21+21)/2=21$ nH</p>

(注)：構造を分かりやすくするため、スペーサを使用して表現した。

3.2 高電流密度化

フットプリントを基にした電流密度は耐圧 3.3 kV の HPM が 5.76 A/cm^2 であるのに対して、HPnC は 6.43 A/cm^2 となり、約 12% の高電流密度化を達成した。これは、低損失の第 7 世代 IGBT チップの採用と、HPM の AlSiC ベースよりも 1.5 倍の熱伝導率を持つ MgSiC ベースの採用により、熱抵抗 $R_{th(j-c)}$ を低減したことによる。

3.3 並列接続の組立容易性とインダクタンスの優位性

大容量 IGBT モジュールでは、モジュールの並列接続による大電流に対応することが多い。表 3 に、HPM と HPnC の並列接続時の組立性とインダクタンスの比較を示す。定格電流は、HPM では定格 1,000 A の 1 in 1 を直列接続して配置した 2 in 1 構成で 2 並列接続とし、トータルで定格 2,000 A とした。一方、HPnC では 450 A の 2 in 1 構成で 4 並列接続の定格 1,800 A とした。

並列接続の組立容易性は、主回路に取り付ける際、HPM は端子位置により、コレクタブスバー、AC ブスバー、エミッタブスバーの 3 層が重なり合い、ブスバーの組立が難しい。HPnC は、AC 端子をコレクタ端子とエミッタ端子とは反対側に独立で配置することで 3 層の重なり合いを防ぎ、組立性を改善した。

一方、インダクタンスは、HPM では、エミッタ端子の位置がコンデンサから遠くなるため、エミッタブスバーが長くなり、主回路インダクタンスが大きくなる。HPnC では、コレクタ端子とエミッタ端子をコンデンサの直近に設置することにより、ブスバーを短くして主回路のインダクタンスを低くした。また、モジュールの内部インダクタンスは、2 並列の HPM は 21 nH であるのに対して、4 並列の HPnC は 2.5 nH となり、約 90% 低減した。インダクタ

ンスは主回路とモジュールの内部インダクタンスで決まり、両者を低減させることにより、さらなる高速スイッチングが可能となる。

3.4 RoHS 対応

HPnC は、RoHS 指令に対応するため、はんだ接合ではなく超音波接合を用いて端子と絶縁基板を接合した。さらに、線膨張係数を合わせた材料を接合しているため、従来品以上の高信頼性を確保している。

4 チップ特性の改善

モジュールの小型化（高電流密度化）を行う上で重要な IGBT モジュールの発生損失の改善は、IGBT チップと FWD チップの特性に大きく依存する。

4.1 IGBT チップ特性の改善

図 4 に、 $T_{vj}=150^\circ\text{C}$ における従来の IGBT チップからの特性の改善を示す。ターンオフ損失 E_{off} は同等だが、コレクタ・エミッタ電圧 $V_{CE(sat)}$ は、従来 IGBT チップが 3.7 V に対して、X シリーズ IGBT チップでは 2.5 V となり 1.2 V 改善している。X シリーズ IGBT は、エッジ構造の最適化による活性面積の拡大とドリフト層を薄くすることによって、 $V_{CE(sat)}$ と E_{off} のトレードオフを改善した。

4.2 SiC-SBD の採用によるスイッチング損失の低減

図 5、図 6 に、従来シリーズの 3.3 kV Si-IGBT (HPM) と定格電流を合わせるため、2 並列接続時の 3.3 kV X シリーズ SiC ハイブリッドモジュール (HPnC) の波形比較を示す。SiC ハイブリッドモジュールは、逆回復時のピーク電流 I_{rr} の大幅な低減により、ターンオン損失 E_{on} が大

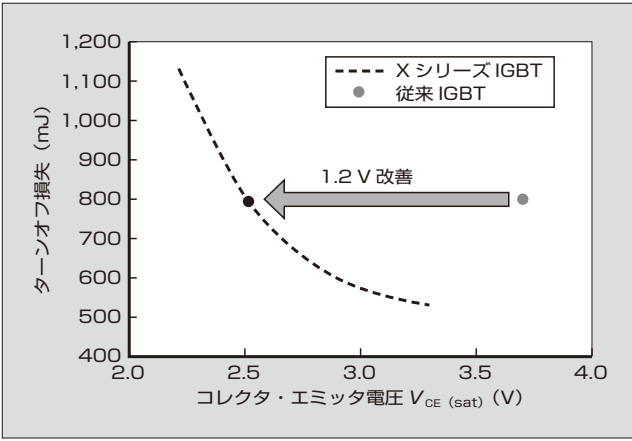


図4 3.3kV「Xシリーズ」IGBTチップの特性改善

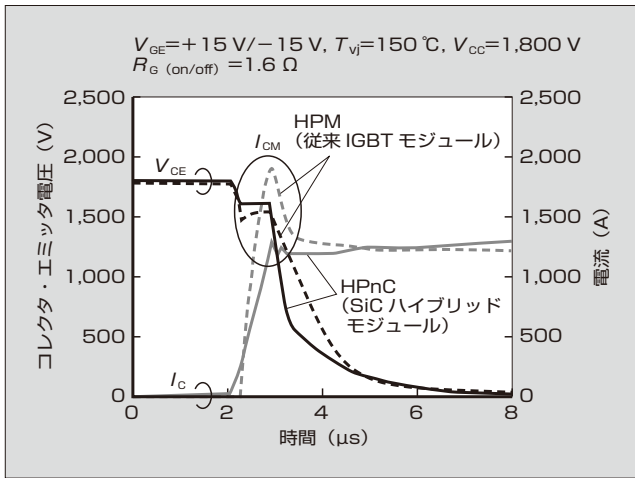


図5 ターンオン波形比較

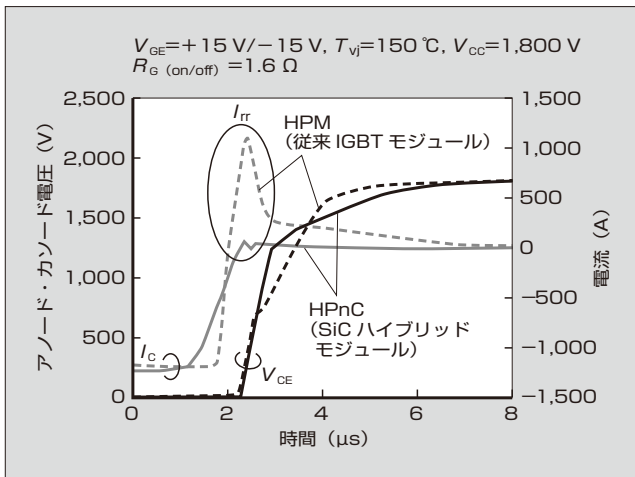


図6 リカバリー波形比較

幅に低減し、リカバリー損失 E_{rr} は発生しない。これは、SiC-SBDがユニポーラデバイスであることから、キャリアの掃出しが起きないため、 I_{rr} が発生しないことによる。表4に示すとおり、 E_{on} は32%、 E_{rr} は99.8%の大幅な改善を達成した。

表4 スwitching損失比較

(単位: mJ)

	ターンオン損失 E_{on}	ターンオフ損失 E_{off}	リカバリー損失 E_{rr}	トータル損失 E_{total}
HPM (従来品)	3,493	2,417	903	6,813
HPnC (SiCハイブリッド)	2,374	2,294	2	4,670
改善率 (%)	32	5	99.8	31

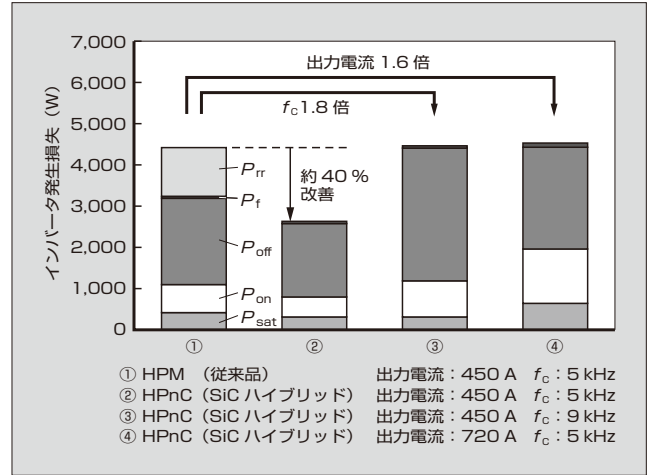


図7 インバータ発生損失シミュレーション結果

4.3 インバータ発生損失

図7に、3,300V/1,000AのHPMと3,300V/450Aで2並列接続したHPnCとのインバータ発生損失シミュレーション結果の比較を示す。

キャリア周波数 f_c が5kHz、出力電流450Aのとき、HPMに比べてトータル損失が約40%改善する。また、同一出力電流では、HPMの f_c が5kHzであるのに対して、1.8倍の9kHzまで上げることができる。一方、出力電流に対しては、 f_c が5kHzで同一のとき、出力電流を450Aから720Aまで1.6倍にすることができる。このような出力電流の拡大による電流密度の拡大や f_c の拡大によるフィルタの小型化によって、インバータの小型化や低損失化に貢献する。

5 あとがき

大容量SiCハイブリッドモジュール「HPnC」について述べた。耐圧3.3kVのSiCハイブリッドモジュールHPnCでは、パッケージ構造において、ラミネート構造の採用と主端子位置の最適化によるインダクタンスの低減により、サージ電圧を抑制し、さらなる高速スイッチングや、並列接続による大電流化に対応できる。また、超音波端子接合技術の導入により、従来品と同等の高信頼性を確保しつつ、RoHS指令への対応を実現した。

一方、チップにおいては、XシリーズIGBTとSiC-SBDを搭載することによる特性の改善から、インバータ発生損失を低減させ、高電流密度化と f_c の拡大を可能とし、

小型化を達成した。今後も、さらなるパッケージの改善とチップ技術の改善により、パワーエレクトロニクス技術の発展に貢献する所存である。

本研究の一部は、共同研究体 つくばパワーエレクトロニクスコンステレーション (TPEC) 殿の事業として行われた。関係各位に謝意を表す。

参考文献

- (1) 川畑潤也ほか. 第7世代「Xシリーズ」IGBTモジュール. 富士電機技報. 2015, vol.88, no.4, p.254-258.
- (2) 小根澤巧ほか. 1,700 V 耐圧SiCハイブリッドモジュール. 富士電機技報. 2015, vol.88, no.4, p.245-248.
- (3) 福知輝洋, 金子悟史. 3.3 kV IGBTモジュールの系列拡大. 富士電機技報. 2012, vol.85, no.6, p.422-425.



三本 孝博

大容量 IGBT モジュールの開発・設計に従事。現在、富士電機株式会社電子デバイス事業本部開発統括部パッケージ開発部。



森谷 友博

SiC デバイスの開発・設計に従事。現在、富士電機株式会社電子デバイス事業本部開発統括部デバイス開発部。



関野 裕介

SiC ハイブリッドモジュールの開発・設計に従事。現在、富士電機株式会社電子デバイス事業本部事業統括部産業モジュール部。





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。