

DFN8×8 パッケージの「Super J MOS S2 シリーズ」 「Super J MOS S2FD シリーズ」

“Super J MOS S2 Series” and “Super J MOS S2FD Series” for DFN 8×8 Packages

島藤 貴行 SHIMATO, Takayuki

渡邊 荘太 WATANABE, Sota

松本 和則 MATSUMOTO, Kazunori

富士電機は、スーパージャンクション構造を採用した第2世代低損失SJ-MOSFET「Super J MOS S2 シリーズ」と「Super J MOS S2FD シリーズ」を、従来のD2-PACKパッケージよりも小型で薄型の面実装タイプのDFN8×8パッケージに搭載し、系列化した。本パッケージは電極パッドがパッケージ裏面に配置されており、リード端子を持たない構造である。D2-PACKに対して実装面積を58%低減し、パッケージ高さを0.85mmとしたことで高密度実装が可能である。スイッチング動作の高速化のためにサブソース端子を設けている。

Fuji Electric has launched the DFN8×8 package line-up of the “Super J MOS S2 Series” and “Super J MOS S2FD Series” 2nd-generation low power loss SJ-MOSFETs having a super-junction structure. This surface mount package is smaller and thinner than the previous D2-PACK package. The DFN8×8 package doesn't have a lead terminal, but all electrode pads are arranged on its back surface. Compared with the D2-PACK, the mounting area has been reduced by 58% and the package height to 0.85 mm, thus making high-density mounting possible. It also comes equipped with a sub-source terminal for speeding up switching operations.

1 まえがき

新興国を中心とした世界の人口増加や中国を中心とした経済発展、ならびに近年のIT革新に伴う情報量の増大により、エネルギー消費は増加の一途をたどっている。エネルギー消費の増加に伴い、電力変換部の高効率化はもちろんであるが、その設置スペースの確保も重要な要素の一つである。データセンターなどでは限られたスペースを有効に活用するために、そこで使用される通信電源には小型・薄型で高出力の電源が求められている。また、近年ではIoT (Internet of Things) により、PCやサーバといったIT関連機器だけでなく、デジタル家電をはじめとするさまざまな機器がインターネットに接続されるようになった。各種通信機能などが付加されることで、それら機器に搭載する電源の占有スペースも限られてきている。

このような背景から、各種機器に搭載される電源の小型・薄型化がよりいっそう求められるようになってきている。電源の小型・薄型化を行うためには、トランス・コンデンサなどの受動部品および半導体スイッチング素子の小型・薄型化が必要不可欠であり、これを実現するためには、電源の高周波動作化が有効である。そのため、半導体スイッチング素子においては、高周波動作が可能なパワーMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) が使用されることが多く、従来よりも高速スイッチング動作が可能で低損失のパワーMOSFETが求められてきている。

2 製品系列と主要特性

富士電機は、パワーMOSFETの損失を改善するために従来のプレーナ型MOSFETに替え、スーパージャン

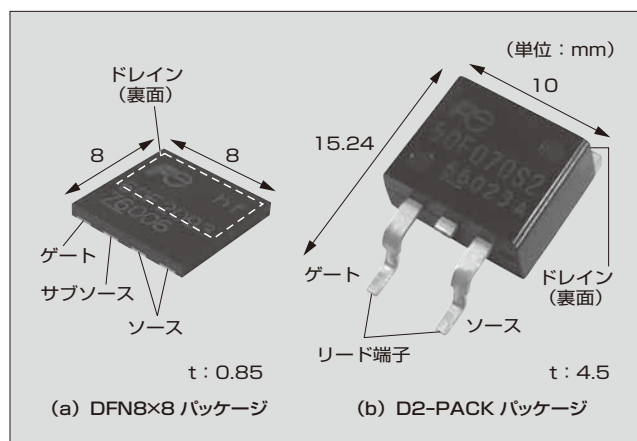


図1 パッケージの外観

表1 DFN8×8パッケージの製品系列と主要特性

シリーズ名称	型式	オン抵抗 $r_{DS(on)(max)}$ (mΩ)	耐圧 V_{DS} (V)
Super J MOS S2 シリーズ	FML60N091S2	91	600
	FML60N103S2	103	
	FML60N115S2	115	
	FML60N146S2	146	
	FML60N187S2	187	
	FML60N223S2	223	
Super J MOS S2FD シリーズ	FML60N093S2FD	93	600
	FML60N104S2FD	104	
	FML60N118S2FD	118	
	FML60N150S2FD	150	
	FML60N191S2FD	191	

クッション構造を採用した SJ-MOSFET 「Super J MOS シリーズ」を提供してきた。今回、電源の小型・薄型化に対応するために、最新シリーズの「Super J MOS S2 シリーズ」(S2 シリーズ) および S2 シリーズの寄生ダイオードを高速化した「Super J MOS S2FD シリーズ」(S2FD シリーズ) において、従来の D2-PACK パッケージよりも小型で薄型の面実装タイプの DFN (Dual Flat Nonlead) 8×8 パッケージに搭載した製品を系列化した。DFN8×8 パッケージの外観を図 1 に、これらの製品系列と主要特性を表 1 に示す。

3 特徴

3.1 小型・薄型

図 2 に DFN8×8 パッケージの外形寸法を示す。8mm×8mm の正方形であり、厚さが 0.85mm と非常に薄い。また、全ての電極パッドがパッケージの裏面に配置されており、リード端子を持たない構造となっている。これにより、D2-PACK のようなリード端子を持つパッケージよりもプリント基板への高密度実装が可能である。電極パッドの配列は、①ゲート、②サブソース、③④ソース、⑤ドレインとしており、サブソース端子を設けていることも特徴の一つである。

また、DFN8×8 パッケージ品の外形についての主な指標を、従来の標準的な面実装パッケージである D2-PACK との比で示す。

- (a) 実装面積：58% 低減
- (b) パッケージ高さ：81% 低減
- (c) パッケージ体積 (リード端子部を含む)：92% 低減

表 2 に、単位実装面積当たりと単位実装体積当たりのオン抵抗を示す。DFN8×8 パッケージ品は、D2-PACK 品に対して単位実装面積当たりのオン抵抗は 52% 低減し、単位実装体積当たりのオン抵抗は 91% 低減している。また、パッケージ高さを 0.85mm としたことで両面基板の裏面への搭載も可能となり、電源の小型・薄型・高電力密度化に対応している。

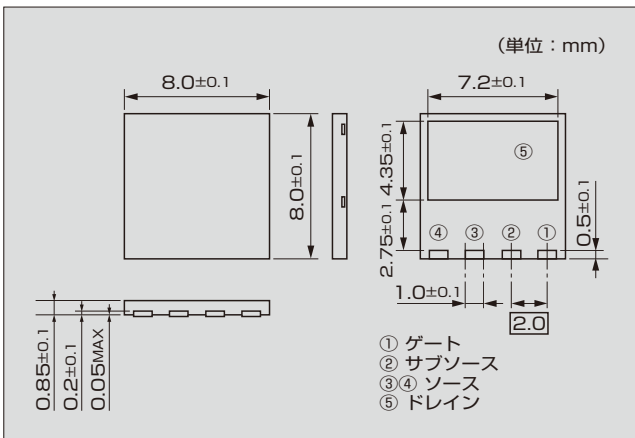


図 2 パッケージの外形寸法

表 2 単位実装面積当たりと単位実装体積当たりのオン抵抗

パッケージ	搭載可能 $r_{DS(on)}(max.)$	単位実装面積 当たり $r_{DS(on)}(max.)$	単位実装体積 当たり $r_{DS(on)}(max.)$
	Ω	$\Omega \cdot mm^2$	$\Omega \cdot mm^3$
DFN8×8	0.090	5.8	4.90
D2-PACK	0.079	12.0	54.18
比率 (DFN8×8/ D2-PACK)	113.9%	47.8%	9.0%

3.2 低スイッチング損失

図 3 に、DFN8×8 パッケージ品と標準的な 3 端子パッケージ品 (TO-220, D2-PACK など) のゲートドライブ回路を示す。標準的な 3 端子パッケージ品では、パッケージ内部のリードインダクタンス L_{s1} やソース基板配線インダクタンス L_{s2} などのインダクタンス L_s がゲートドライブ回路に含まれる構成となるため、MOSFET のスイッチング動作時にはドレイン電流の時間変化 di_D/dt によって、 L_s に発生する逆起電力がゲートドライブ電圧に影響を与える。この逆起電力は、MOSFET のターンオン時にはゲート電圧を押し下げる方向に作用し、ターンオフ時にはゲート電圧を押し上げる方向に作用する。そのためスイッチング時間を遅延させ、スイッチング損失低減および高周波化の障害となっている。

一方、DFN8×8 パッケージ品ではサブソース端子を設けているので、 L_s をゲートドライブ回路から分離し、 L_s に発生する逆起電力の影響を取り除くことができる。これ

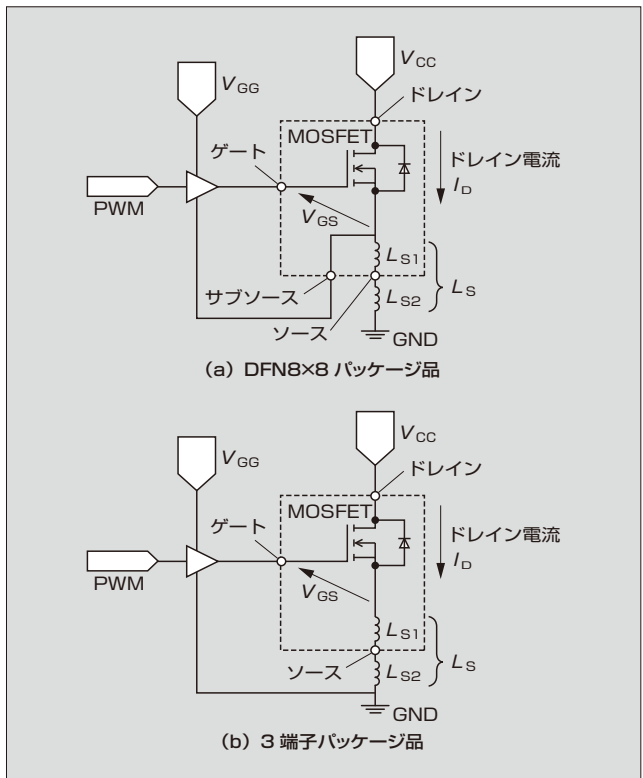


図 3 DFN8×8 パッケージ品と 3 端子パッケージ品のドライブ回路

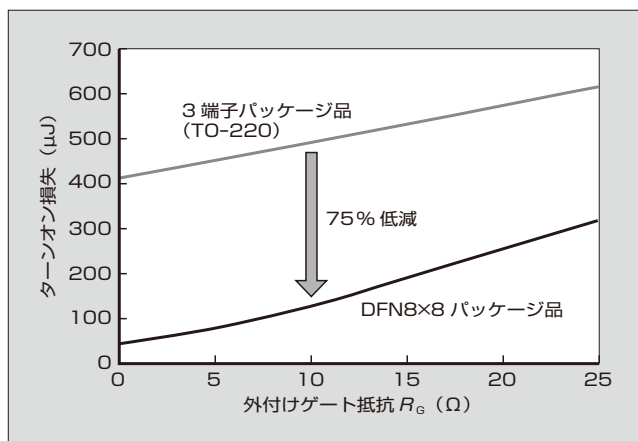


図4 ターンオン損失比較

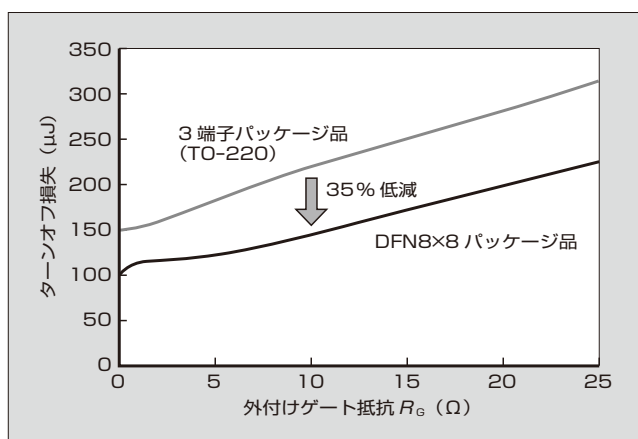


図5 ターンオフ損失比較

により、スイッチング時間の短縮によりスイッチング損失を低減し高周波化することができる。

図4に、チョッパ回路を用いてDFN8×8パッケージ品と3端子パッケージ品について、ターンオン損失のゲート抵抗依存性を比較した結果を示す。同様に、図5にはターンオフ損失を示す。測定素子には、DFN8×8パッケージ品として「FML60N150S2FD」(600V, 150mΩ)を、3端子パッケージ品としてTO-220の「FMP133S2FD」(600V, 133mΩ)を使用した。測定条件は、 $V_{CC}=400V$ 、 $I_D=20A$ 、 $V_{GG}=10V$ としている。

DFN8×8パッケージ品は、外付けゲート抵抗0～25Ωの全範囲において、ターンオン損失およびターンオフ損失が大幅に改善されている。外付けゲート抵抗10Ωにおいて、ターンオン損失が75%の低減、ターンオフ損失が35%の低減となっている。

4 適用効果

DFN8×8パッケージ品の適用効果を確認するために、図6に示すような力率改善(PFC)回路にDFN8×8パッケージ品と標準的な3端子パッケージ品としてTO-220を搭載し、電源性能を比較した。PFC回路の制御ICには、富士電機製の電流連続モードPFC制御ICで

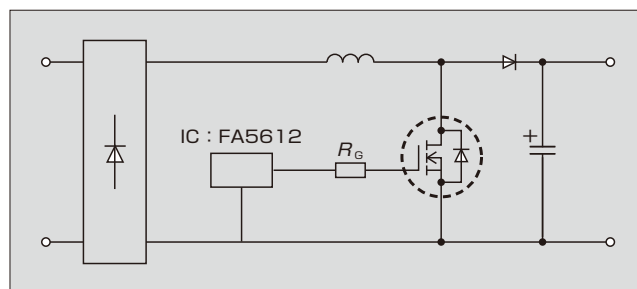


図6 PFCデモボード回路図

ある「FA5612」を使用し、入出力条件および回路定数は、入力電圧を100V/50Hz、出力電圧をDC390Vとし、MOSFETのゲート抵抗 R_G を22Ωとした。評価素子には、DFN8×8パッケージ品にFML60N223S2(600V/223mΩ)を、TO-220にFMP60N190S2(600V/190mΩ)を用いた。

図7に電源効率の負荷依存性を示す。負荷率50%以上の範囲で、DFN8×8パッケージ品はTO-220よりも効率が改善している。100%負荷時における効率では、0.2ポイントの効率改善結果が得られた。

図8に、100%負荷時におけるMOSFETに流れる電流が最大となる条件でのスイッチング損失の比較結果を示す。ターンオン損失およびターンオフ損失いずれもDFN8×8パッケージ品の方が小さく、スイッチング損失トータルで

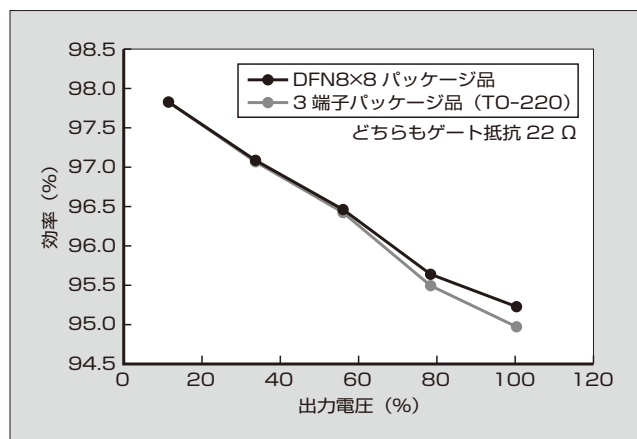


図7 電源効率特性

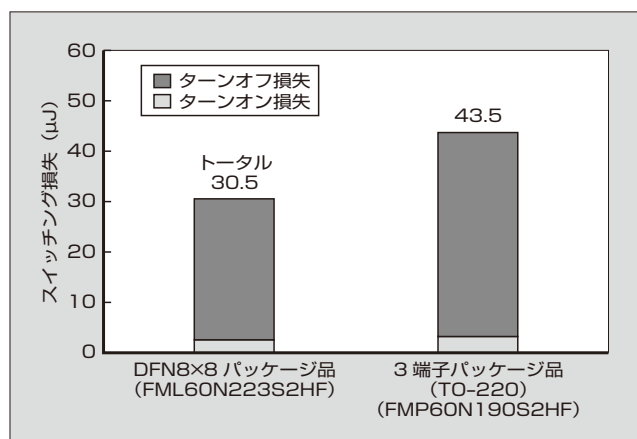


図8 スwitching損失比較

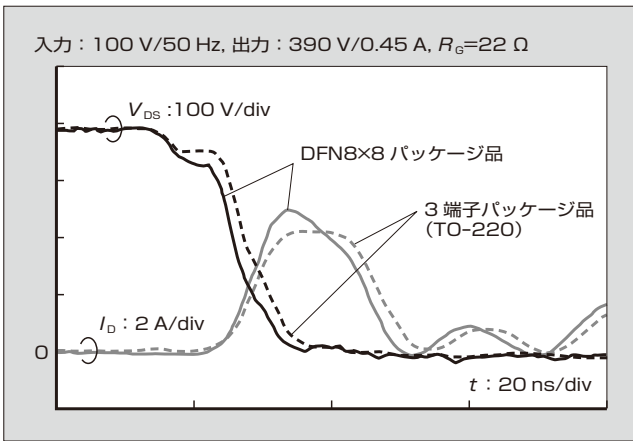


図9 ターンオン波形

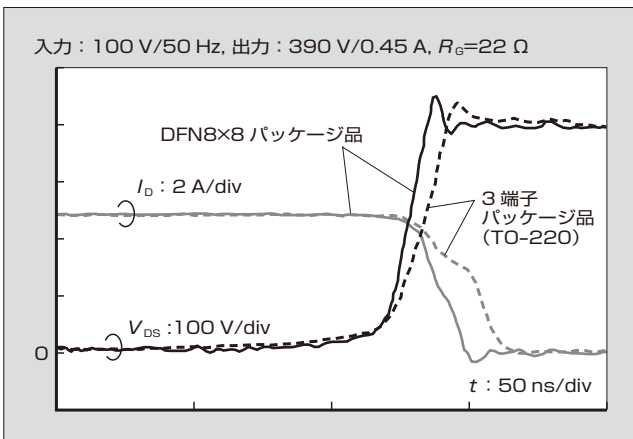


図10 ターンオフ波形

30% 低減している。これにより電源損失低減、効率改善が図られている。

図9と図10に、100% 負荷時における MOSFET に流れる電流が最大となる条件でのターンオン波形およびターンオフ波形を示す。実線が DFN8×8 パッケージ品の波形であり、破線が TO-220 の波形である。ターンオン、ターンオフのいずれも DFN8×8 パッケージ品のスイッチングスピードが速くなっている。また、スイッチング時のドレイン電圧 V_{DS} 波形とドレイン電流 I_D 波形のクロス期間が短くなっていることでスイッチング損失が小さくなっていることが分かる。これは図3で示したように、サブソース端子を用いることで、 L_s をゲート駆動回路から分離したことによる効果である。

このことから、DFN8×8 パッケージ品は高速スイッチング動作の実現と電源の高効率化に貢献できるものと考えられる。

5 あとがき

オン抵抗と低スイッチング損失を両立した「Super J MOS S2 シリーズ」および「Super J MOS S2FD シリー

ズ」を搭載した DFN8×8 パッケージ系列について述べた。低オン抵抗・低スイッチング損失の特徴に加え、パッケージ効果による高速スイッチング動作が可能な製品系列である。これにより、従来のパッケージ製品よりも電源の高周波動作が可能となり、電源の小型化・高電力密度化への貢献が期待できる。

今後も、市場ニーズの変化に対応していくために、パワー MOSFET の単位面積当たりのオン抵抗の向上および耐圧ラインアップの拡充に加え、パッケージ系列の拡充と併せて総合的なソリューションの提供に努めていく所存である。

参考文献

- (1) 田村隆博ほか. 低損失SJ-MOSFET 「Super-JMOS」. 富士時報. 2011, vol.84, no.5, p.340-343.
- (2) Tamura, T. et al. "Reduction of Turn-off Loss in 600 V-class Superjunction MOSFET by Surface Design". PCIM Asia 2011, p.102-107.
- (3) Watanabe, S. et al. "A Low Switching Loss Superjunction MOSFET (Super J-MOS) by Optimizing Surface Design" PCIM Asia 2012, p.160-165.
- (4) 大西泰彦ほか. Superjunction MOSFET. 富士時報. 2009, vol.82, no.6, p.389-392.
- (5) 渡邊荘太ほか. 第2世代「Super J MOS S2シリーズ」. 富士電機技報. 2015, vol.88, no.4, p.292-295.
- (6) 渡邊荘太ほか. 高速ダイオードを内蔵した第2世代低損失 SJ-MOSFET 「Super J MOS S2FDシリーズ」. 富士電機技報. 2016, vol.89, no.4, p.289-293.
- (7) Sakata, T. et al. "A Low-Switching Noise and High-Efficiency Superjunction MOSFET, Super J MOS® S2". PCIM Asia 2015, p.419-426.



島藤 貴行

パワー MOSFET の開発・設計に従事。現在、富士電機株式会社電子デバイス事業本部事業統括部産業ディスクリート部。



渡邊 荘太

パワー MOSFET の開発・設計に従事。現在、富士電機株式会社電子デバイス事業本部事業統括部産業ディスクリート部。



松本 和則

パワー半導体のフィールドアプリケーションエンジニアリング業務に従事。現在、富士電機株式会社電子デバイス事業本部営業統括部応用技術部。



*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。