

第2世代 SiC トレンチゲート MOSFET

2nd-Generation SiC Trench Gate MOSFETs

奥村 啓樹 OKUMURA, Keiji

木下 明将 KINOSHITA, Akimasa

岩谷 将伸 IWAYA, Masanobu

富士電機は、低炭素社会の実現に寄与するために種々のパワーエレクトロニクス機器を市場に展開している。さらなる省エネルギー化に貢献するために、第2世代 SiC トレンチゲート MOSFET を開発した。デバイスの微細化、SiC 基板の薄化と移動度向上により第1世代 SiC トレンチゲート MOSFET に比べて23%のオン抵抗を削減した。また、ゲート推奨駆動電圧を15Vに引き下げて、使いやすさも向上した。さらに、SiC-MOSFETの信頼性上の課題であるゲートバイアスによるゲートしきい値電圧の変動と、ボディダイオード通電による特性劣化（オン抵抗上昇）がないことを確認した。

Fuji Electric is offering various types of power electronics equipment for the market in order to contribute to the realization of a low-carbon society. To achieve further energy savings, we have developed the 2nd-generation SiC trench gate MOSFETs. As a result, on-resistance has been reduced by 23% compared with the 1st-generation SiC trench gate MOSFETs through the application of smaller design rules for the devices, a thinner SiC substrate and higher channel mobility. Furthermore, usability has improved because recommended gate drive voltage changed to 15 V. We have also confirmed that there were no gate threshold voltage fluctuation due to gate bias and no characteristic degradation (increase in on-resistance) due to body diode conduction, both of which cause reliability issues for SiC-MOSFETs.

① まえがき

富士電機は、低炭素社会の実現に寄与するために種々のパワーエレクトロニクス（パワエレ）機器を市場に展開している。現在、世界各国で環境規制が強化され、パワー半導体の需要が拡大しており、今後もさらに拡大すると予測されている。従来のパワー半導体材料として主にシリコン（Si）が用いられているが、優れた材料特性を持つ炭化けい素（SiC）への期待が年々増加している。SiCはバンドギャップが大きく、絶縁破壊耐量がSiの約10倍であるため、主に600V以上の耐圧が要求されるアプリケーションにおいて損失を大幅に低減できるメリットがある。

富士電機は、これまでSiCを用いたSBD（Schottky Barrier Diode）とプレーナゲートMOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）、トレンチゲートMOSFETを量産し、太陽光PCS（Power Conditioning system）や産業用インバータに採用して

いる。^{(1)~(5)}
これまで、第1世代SiCトレンチゲートMOSFETを量産してきており、今回、さらなるパワエレ機器の省エネルギー化に貢献するために、第2世代SiCトレンチゲートMOSFETを開発した。トレンチゲートMOSFETは、プレーナゲートMOSFETと比較すると、JFET（Junction Field Effect Transistor）抵抗が低減でき、セル密度を増加できるため、デバイスの抵抗を大幅に削減することができる。また、チャンネル濃度を高くすることができるため、高いしきい値と低いオン抵抗が両立できる。

本稿では、特性を改善した第2世代SiCトレンチゲートMOSFETについて述べる。

② 第2世代 SiC トレンチゲート MOSFET の構造

図1に、1,200V定格の第1世代SiCトレンチゲートMOSFETと第2世代SiCトレンチゲートMOSFETの構造を示す。第1世代SiCトレンチゲートMOSFETでは、トレンチ底部のゲート酸化膜に印加される高い電界を緩和するため、トレンチ底部のゲート酸化膜をpウェルで覆う構造としている⁽⁶⁾。第2世代SiCトレンチゲートMOSFETでは、この構造は変えず、プロセスの最適化によりセルピッチを約2/3まで微細化した。また、基板抵抗を減らすために、裏面研削を行うことでSiC基板の厚さを約1/4まで薄くした。さらには、チャンネル抵抗を減らすために、ゲート酸化膜の界面を改善し、チャンネル移動度を20%向上させている。これらにより、表1に示すように、ゲートしきい値電圧を5Vに維持したままで、単位面積換算のオン抵抗を約23%低減した。また、Si-IGBT（Insulated Gate Bipolar Transistor）と置き換えがしや

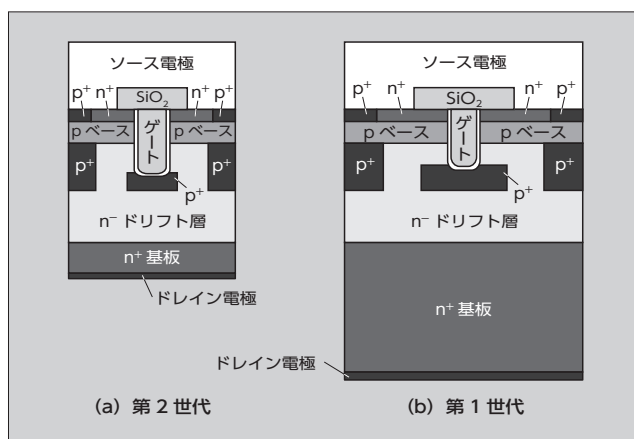


図1 第1世代と第2世代SiCトレンチゲートMOSFETの構造

表1 第1世代と第2世代トレンチゲート MOSFET の特性

項目	第2世代	第1世代
オン抵抗 (第1世代を1とする)	0.77	1.00
ゲートしきい値電圧	5.0V	5.1V
ゲート推奨駆動電圧	+15V/-3V	+20V/-3V
ゲート絶対最大定格電圧	+20V/-7V	+25V/-7V

すいよう、ゲート推奨駆動電圧を +15V になるようにデバイス構造を最適化している。

③ 第2世代 SiC トレンチゲート MOSFET の特性

3.1 第2世代 SiC トレンチゲート MOSFET の電流-電圧特性

図2に、1,200V 定格の第1世代と第2世代 SiC トレンチゲート MOSFET の導通時のドレイン電流 I_D -ドレイン電圧 V_{DS} の順方向特性の比較を示す。ゲート電圧 V_{GS} は各チップの推奨駆動電圧とした。 $V_{GS}=15V$ であるにもかかわらず、第2世代 SiC トレンチゲート MOSFET のオン抵抗の方が低いことが分かる。

図3に、逆導通時における第三象限の特性の比較を示す。トレンチゲート MOSFET をオンにし、ソースからドレイ

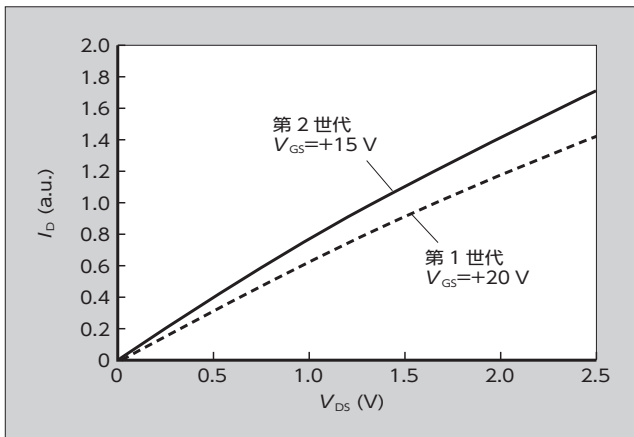


図2 第1世代と第2世代 SiC トレンチゲート MOSFET の I_D - V_{DS} 特性 (第一象限)

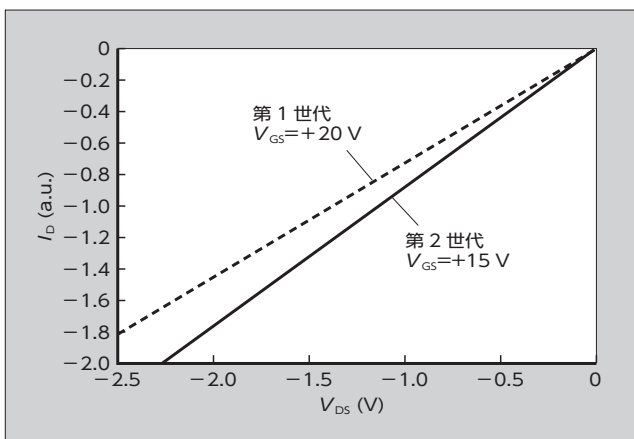


図3 第1世代と第2世代 SiC トレンチゲート MOSFET の I_D - V_{DS} 特性 (第三象限)

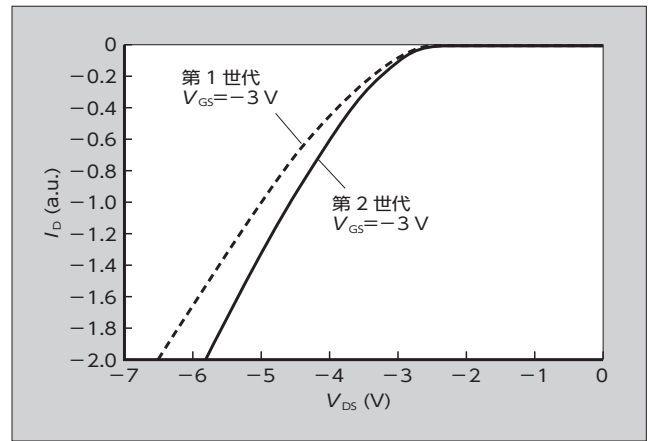


図4 第1世代と第2世代 SiC トレンチゲート MOSFET のボディダイオードの I_D - V_{DS} 特性 (第三象限)

ンに電流を流す際には、PN 接合に対して正バイアスされるため、JFET 抵抗が抑制され、順方向の特性よりも抵抗が低くなっている。また、順方向特性と同様に、第2世代 SiC トレンチゲート MOSFET のオン抵抗の方が低いことが分かる。

図4に、ゲートオフ時における MOSFET のボディダイオードの特性の比較結果を示す。第1世代、第2世代にかかわらず、ソース・ドレイン電圧が約 2.5V 以上になると、電流が流れ始める。これは、SiC のビルトインポテンシャルが表れているためである。電流が流れ始めた後のボディダイオードの微分抵抗は、第2世代 SiC トレンチゲート MOSFET の方が低く、これは SiC 基板の薄化による効果である。

これらの結果により、順逆の両方向の特性において、第2世代 SiC トレンチゲート MOSFET の抵抗は低く、実使用での導通損失を削減できるデバイスといえる。また、第三象限特性においては、Si よりもボディダイオードのビルトインポテンシャルが高いため、転流時などの MOSFET のソースからドレインに電流が流れる際には、ゲートをオンさせる方が損失を低減できる。

3.2 第2世代 SiC トレンチゲート MOSFET の温度特性

図5に、しきい値電圧およびオン抵抗の温度依存性を示す。しきい値電圧は $-50^{\circ}\text{C} \sim +200^{\circ}\text{C}$ の範囲では温度の増加とともに、約 8.6 mV/K で減少する。オン抵抗は $-50^{\circ}\text{C} \sim -25^{\circ}\text{C}$ の間ではほとんど変化せず、 $-25^{\circ}\text{C} \sim +200^{\circ}\text{C}$ の範囲で増加し、 25°C に対し 175°C で約 2 倍に増加している。第2世代 SiC トレンチゲート MOSFET のオン抵抗は正の温度係数を示すため、チップを複数並列接続した場合に電流アンバランスが抑制でき、有利に働く。SiC はチップサイズを大きくするのが難しい。そこで、小さなチップをモジュール内に複数並列接続し、モジュールの電流を確保することが多い。その際に、正の温度特性を示すため、仮に特定のチップに電流集中が起きたとしても、温度が上がって抵抗が増加し、電流が制限できるため、熱暴走が起きにくい。

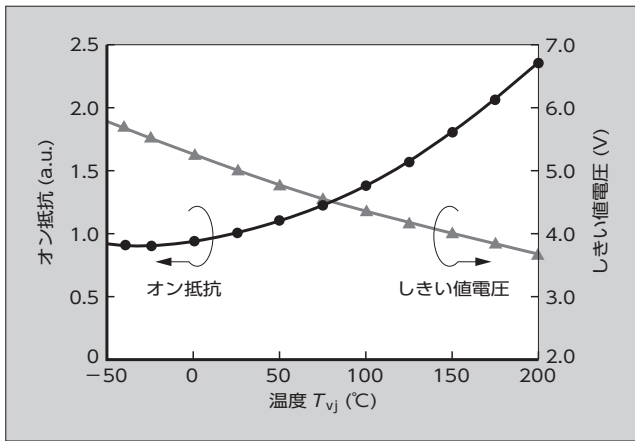


図5 第2世代 SiC トレンチゲート MOSFET のオン抵抗としきい値電圧の温度依存性

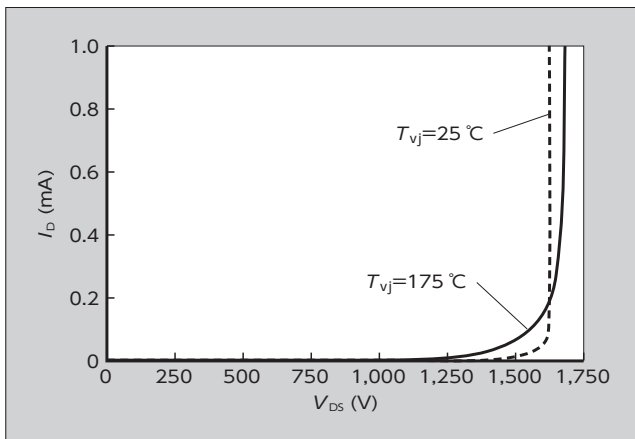


図6 第2世代 SiC トレンチゲート MOSFET のオフ時の I_D - V_{DS} 特性

図6に、オフ時のドレイン・ソース間の耐圧特性を示す。耐圧は25°Cで1,600V、175°Cで1,670Vとなり、1,200V 定格のデバイスとしては十分な耐圧を確保できている。また、第1世代 SiC トレンチゲート MOSFET と同様に、温度上昇とともに耐圧が増加している。

3.3 第2世代 SiC トレンチゲート MOSFET のスイッチング特性

図7にスイッチング試験回路を示す。図8、図9にター

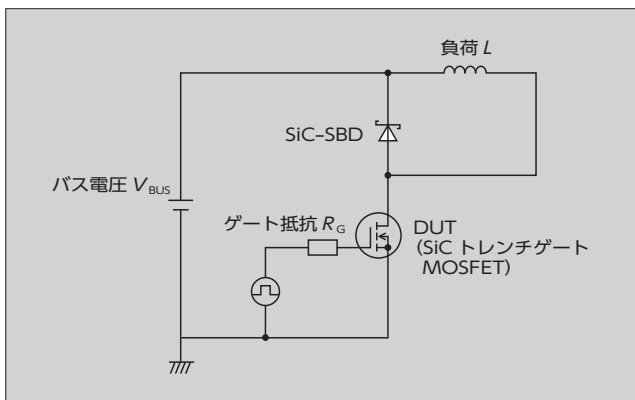


図7 スwitching評価回路

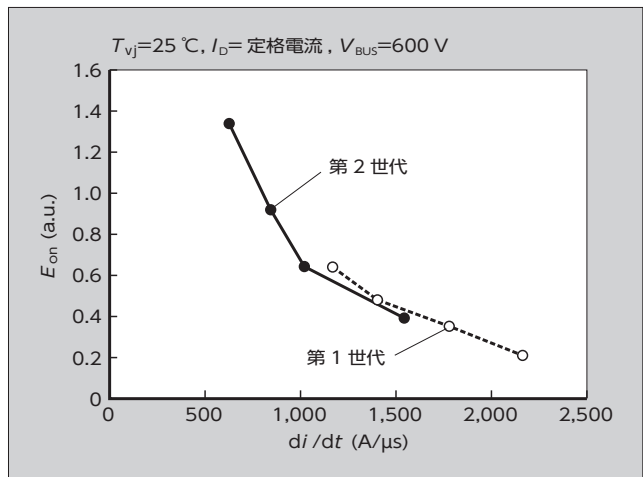


図8 ターンオン損失比較

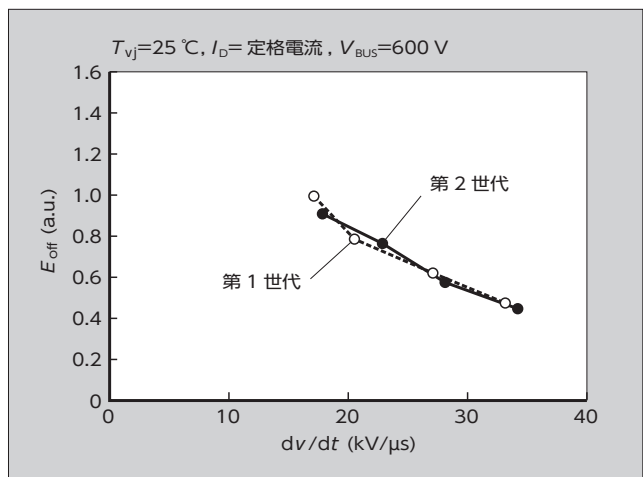


図9 ターンオフ損失比較

ンオンとターンオフ時の第1世代と第2世代 SiC トレンチゲート MOSFET のスイッチング損失を示す。ゲート抵抗を変えることで、 di/dt 、 dv/dt を変化させている。ゲート駆動電圧は、第1世代は $V_{GS} = +20V/-3V$ 、第2世代は $V_{GS} = +15V/-3V$ と、それぞれの駆動推奨条件を用いた。ターンオン、ターンオフともに、同一 di/dt 、 dv/dt ではスイッチング損失は同等であり、有意差がないことが分かる。

3.4 第2世代 SiC トレンチゲート MOSFET の信頼性

次に、第2世代 SiC トレンチゲート MOSFET の信頼性について述べる。従来の SiC-MOSFET はゲート酸化膜の界面準位密度が高いため、ゲートに電圧を印加するとゲートしきい値電圧が変動する問題があった。図10、図11に第2世代 SiC トレンチゲート MOSFET の高温ゲート正負バイアス試験の結果を示す。第2世代 SiC トレンチゲート MOSFET は、正負バイアスにかかわらず、ゲートのしきい値電圧の変動が小さく、安定した特性を得られていることが分かった。

また、SiC-MOSFET の信頼性の課題として、SiC-MOSFET のボディダイオードへの通電によるオン抵抗の

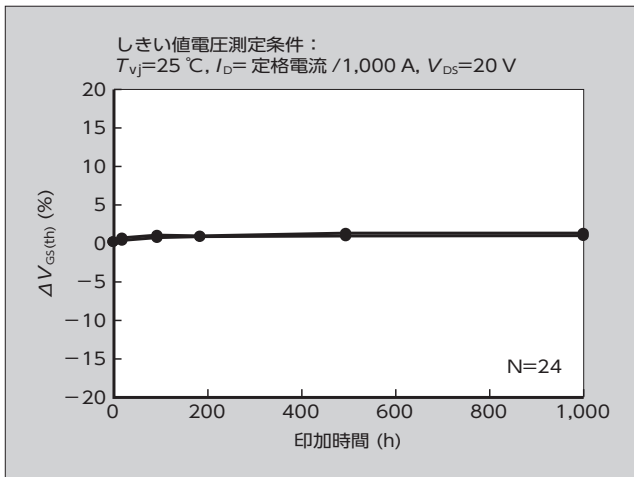


図10 高温ゲート正バイアス試験後のしきい値電圧の変動率 (印加条件: $T_{vj}=175^\circ\text{C}$, $V_{GS}=20\text{V}$)

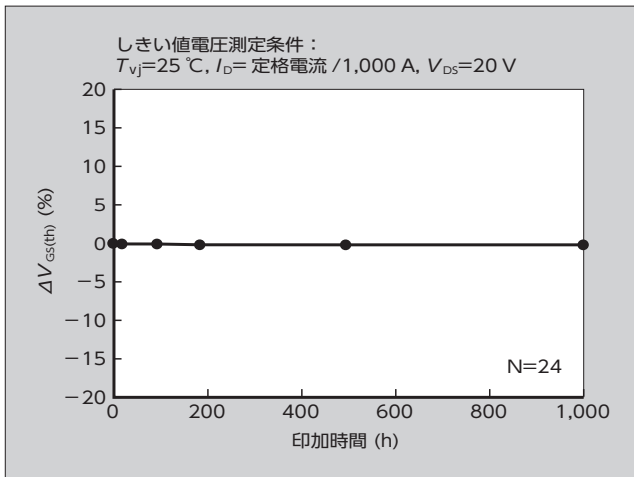


図11 高温ゲート負バイアス印加試験後のしきい値電圧の変動率 (印加条件: $T_{vj}=175^\circ\text{C}$, $V_{GS}=-7\text{V}$)

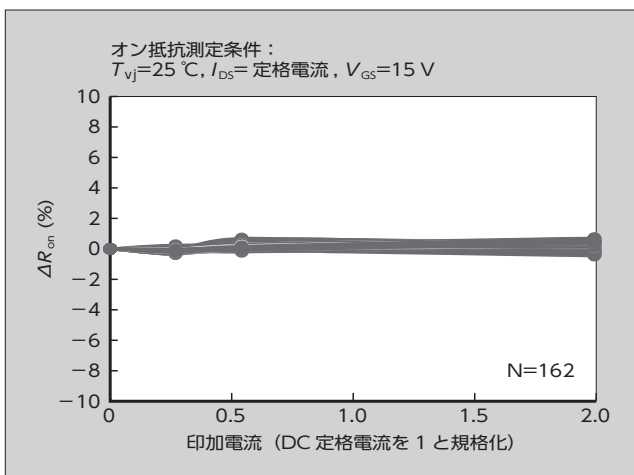


図12 ボディダイオードに通電試験後のオン抵抗変動率 (印加条件: $T_{vj}=175^\circ\text{C}$, $V_{GS}=-3\text{V}$, 時間 = 10 min)

増加もある。ボディダイオードに電流が流れる際に、SiC基板中に存在する基底面転位を起点として積層欠陥が拡張する。これにより、デバイスの電流経路を防ぎ、オン抵抗が増加する。第2世代 SiC トレンチゲート MOSFET では、SiC 基板とプロセスにおいて独自の技術を用いることで、ボディダイオードへの通電によるオン抵抗の増加を防止している。図12に、ボディダイオードに通電する電流を徐々に大きくした際のオン抵抗の増加率を調査した結果を示す。各電流において、10分間 $T_{vj}=175^\circ\text{C}$ で印加した。N=162個の調査の結果、DC 定格電流の2倍の電流が流れてもオン抵抗が増加しないことが分かる。

4 あとがき

第2世代 SiC トレンチゲート MOSFET について述べた。微細化と SiC 基板薄膜化と移動度向上により、第1世代 SiC トレンチゲート MOSFET に比べて23%のオン抵抗を削減した。SiC の信頼性上の課題であるゲートバイアスによるゲートしきい値電圧の変動と、ボディダイオード通電によるオン抵抗上昇がないことを確認した。2019年度は、650V 定格、1,700V 定格の第2世代 SiC トレンチゲート MOSFET の技術開発を計画している。

本研究は、共同研究体つくばパワーエレクトロニクスコンステレーション (TPEC) 殿の事業として行われた。関係各位に謝意を表する。

参考文献

- (1) 大島雅文ほか. All-SiCモジュール搭載のメガソーラー用 PCS 「PVI1000 AJ-3/1000」. 富士電機技報. 2015, vol.88, no.1, p.13-17.
- (2) 仲村秀世ほか. All-SiC モジュールのパッケージ技術. 富士電機技報. 2015, vol.88, no.4, p.241-244.
- (3) 蝶名林幹也ほか. All-SiC 2in1 モジュール. 富士電機技報. 2016, vol.89, no.4, p.238-241.
- (4) 中沢将剛ほか. SiCトレンチゲートMOSFET搭載All-SiCモジュール. 富士電機技報. 2017, vol.90, no.4, p.209-213.
- (5) 梨子田典弘ほか. メガソーラー用パワーコンディショナ向けAll-SiCモジュール. 富士電機技報. 2014, vol.87, no.4, p.244-248.
- (6) 辻崇ほか. 1.2kV SiCトレンチゲートMOSFET. 富士電機技報. 2016, vol.89, no.4, p.234-237.



奥村 啓樹

SiC パワー MOSFET, SBD の研究・開発に従事。現在、富士電機株式会社電子デバイス事業本部開発統括部デバイス開発部。



木下 明将

SiC パワー MOSFET, SBD の研究・開発に従事。
現在, 富士電機株式会社電子デバイス事業本部開
発統括部先端デバイス開発部。理学博士。応用物
理学会会員。



岩谷 将伸

SiC パワー MOSFET, SBD の研究・開発に従事。
現在, 富士電機株式会社電子デバイス事業本部開
発統括部プロセス開発部。応用物理学会会員。

特集
エネルギーマネジメントに貢献するパワー半導体





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。