

IPS 用オートゼロアンプ技術

Auto-Zero Amplifier Technology for Intelligent Power Switch

岩本 基光 IWAMOTO, Motomitsu

豊田 善昭 TOYODA, Yoshiaki

片倉 英明 KATAKURA, Hideaki

近年、自動車に搭載される電子部品が増加し、ECU 基板は高密度実装が求められている。ECU に搭載する部品には小型化や複数部品の統合化の要求があり、富士電機は電流駆動素子、電流検出アンプ、電流検出用シャント抵抗を 1 チップ化する次世代 IPS の開発を検討している。シャント抵抗をチップ内に内蔵する場合、アンプの精度を従来以上に高精度化する必要がある。そこで、出力誤差を自動補正する機能を備えた高精度アンプのオートゼロアンプ技術を開発した。これにより、電流検出精度を従来と同程度に維持しつつ、ECU 基板の実装面積を縮小することができる。

Electronic components installed in an automobile, recently increased in number, are required to be mounted with high density on the electronic control unit (ECU) board. They are also required to be miniaturized and integrated. Fuji Electric has therefore been studying the development of a next-generation intelligent power switch that integrates a current drive devices, current detection amplifier, and current detection shunt resistors into a single chip. Integrating shunt resistors into the chip will need a higher accurate amplifier than ever. We have thus developed a highly accurate auto-zero amplifier technology that automatically corrects output errors. This amplifier helps reduce an ECU board footprint while maintaining the same current detection accuracy as conventional products.

1 まえがき

近年、自動車に対して、環境、安全、快適性能の向上が強く求められている。環境では車両の燃費向上や電動化、安全では先進運転支援システムをはじめとした自動運転化、そして快適性能では広い室内空間を確保するための部品の小型化などが取り組まれている。

富士電機は車載パワー IC として IPS (Intelligent Power Switch)⁽¹⁾⁽²⁾、圧力センサ⁽³⁾、イグナイタ⁽⁴⁾を開発してきた。IPS は、トランスミッションを制御するためのソレノイドバルブを駆動する電流駆動素子として使用されている。IPS の小型化、周辺部品を取り込んだ 1 チップ化は ECU (Electronic Control Unit) 基板の小型化を可能にし、広い室内空間を実現することで快適性能の向上に寄与する。また、IPS の電流検出精度の向上はトランスミッションの高精度な制御を実現し、燃費向上に寄与する。

これまで別置されていた IPS と電流検出用のシャント抵抗を 1 チップ化することで ECU 基板の小型化が可能となるが、電流検出アンプ出力の誤差が従来よりも大きくなるため、電流検出精度が悪化する弊害がある。この課題を解決する手段として、IPS とシャント抵抗を 1 チップ化しても出力誤差の増加を防ぐことができるオートゼロアンプ技術を開発した。本稿では、その概要と適用事例について述べる。

2 リニア IPS の課題

2.1 リニア IPS の機能

IPS はパワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) に各種制御機能を付加したパワー IC である。IPS にはアンプを内蔵して負荷に流す電

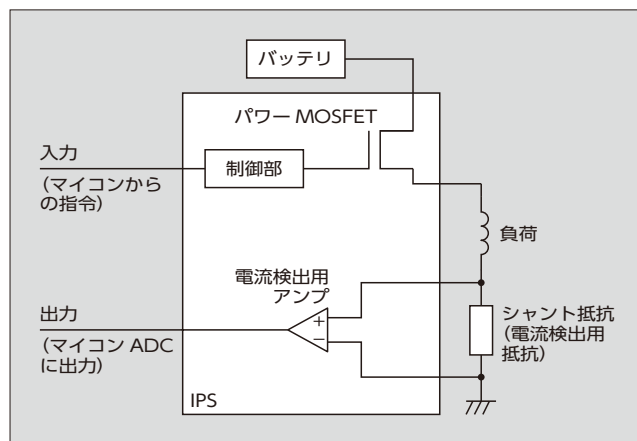


図1 従来のリニア IPS の使用形態

流をセンシングするリニア IPS がある。富士電機の従来のリニア IPS の使用形態を図1に示す。

リニア IPS は、マイコンからの指令により、負荷に電流を流す。負荷に流した電流はシャント抵抗で電圧に変換し、アンプで増幅してからマイコンに内蔵された ADC (Analog-Digital Converter) にフィードバックする。マイコンはフィードバックされた信号に基づいてリニア IPS への指令値を調整する。この仕組みにより、負荷 (ソレノイドバルブ) に正確な電流を流すことができる。

富士電機の従来のリニア IPS は、図1に示すように電流制御用のパワー MOSFET、制御部および電流検出用のアンプを 1 チップ化したパワー IC であり、ECU 基板の高密度実装に貢献している。また、電流検出用アンプは負荷に流れる電流を正確に検出するため、出力電圧に発生する誤差が最小になるように回路・レイアウト設計を最適化している。

2.2 1 チップ化の課題

リニア IPS に最も強く求められているのは、“ECU 基板の小型化”への貢献である。このため、さらなる小型化を目指すため、シャント抵抗のリニア IPS への内蔵化を検討した。

シャント抵抗内蔵化に当たって、最大の課題となるのは発熱である。現在市場で使用されている ECU と同じ抵抗値をチップ内に取り込むと、抵抗で発生するジュール熱でチップ温度が過度に上昇する問題がある。パッケージの放熱などを考慮すると、チップ内にシャント抵抗を内蔵するには抵抗値を現状の 1/4 にする必要がある。抵抗値を 1/4 にした場合、アンプの入力電圧も 1/4 になるため、入力電流 - アンプ出力電圧特性を維持するにはアンプの差動ゲインを従来の 4 倍にする必要がある (図 2、図 3)。

差動ゲインを 4 倍にすることで入出力特性は維持できるが、一方で、出力電圧で発生する誤差が増加するというデメリットが生じる。

オフセット電圧を持つ OP アンプを使った差動アンプの回路図を図 4 に示す。ここでオフセット電圧とは、OP アンプの入力部で発生する直流電圧の誤差である。これは差動対と呼ばれる対となった二つのトランジスタのしきい値電圧の、製造ばらつきに起因する差によって発生する。図 4 の差動アンプ回路について、入力電圧を V_{in} 、出力電圧を V_{out} 、オフセット電圧を V_{os} とすると、出力電圧 V_{out} は式(1)となる。

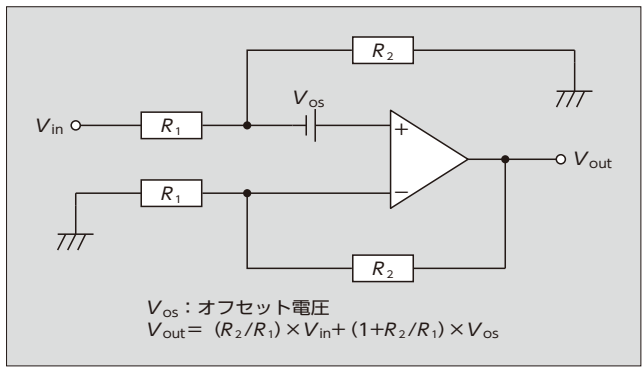


図 4 差動アンプの回路図

$$V_{out} = (R_2/R_1) \times V_{in} + (1 + R_2/R_1) \times V_{os} \dots\dots\dots(1)$$

- V_{in} : 入力電圧
- V_{out} : 出力電圧
- V_{os} : オフセット電圧
- R : シャント抵抗

ここで、 $(R_2/R_1) \times V_{in}$ は信号の大きさ、 $(1 + R_2/R_1) \times V_{os}$ はオフセット電圧による誤差である。この式(1)を図 2 に当てはめると、 R_2/R_1 が差動ゲイン G に相当し、 V_{in} が入力電流 $I_0 \times R$ に相当するため、式(2)となる。

$$V_{out} = G \times I_0 \times R + (1 + G) \times V_{os} \dots\dots\dots(2)$$

- V_{out} : 出力電圧
- V_{os} : オフセット電圧
- G : 差動ゲイン
- I_0 : 入力電流

一方、図 3 では出力電圧は、式(3)で表される。

$$V_{out} = 4G \times I_0 \times R/4 + (1 + 4G) \times V_{os} \\ = G \times I_0 \times R + (1 + 4G) \times V_{os} \dots\dots\dots(3)$$

式(2)、式(3)を比較すると、信号の大きさは $G \times I_0 \times R$ で変化がない一方で、誤差は $(1 + G) \times V_{os}$ から、 $(1 + 4G) \times V_{os}$ まで大きくなっている。例えば差動ゲイン G を 8 倍とすると、出力電圧で発生する誤差は $9V_{os}$ から $33V_{os}$ まで、約 4 倍に大きくなる。

このように、シャント抵抗を内蔵すると ECU 基板が小型化できるが、差動アンプの出力電圧の誤差が大きくなるという弊害が生じる。この問題を解決するには、差動アンプを構成する OP アンプのオフセット電圧を小さくする必要がある。

オフセット電圧を小さくする手法としては、チップ上のデバイス配置の最適化や、出荷テスト時のトリミングなどがある。しかし、デバイス配置の最適化では効果が限定的である。また、出荷テスト時のトリミングでは、調整後の温度変化などによるオフセット電圧の変動を補償することが困難である。これらを考慮し、今回はオフセット電圧を一定時間ごとに自己補償するオートゼロアンプ技術を開発し、適用した。

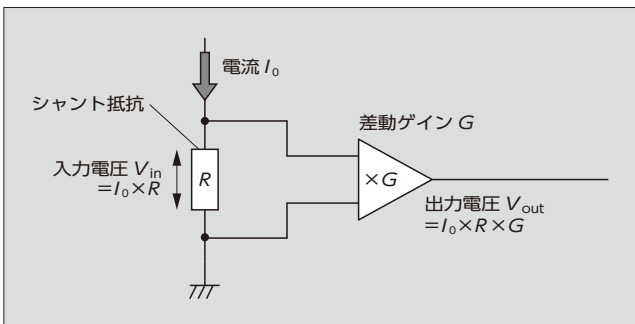


図 2 シャント抵抗と出力電圧 (従来品)

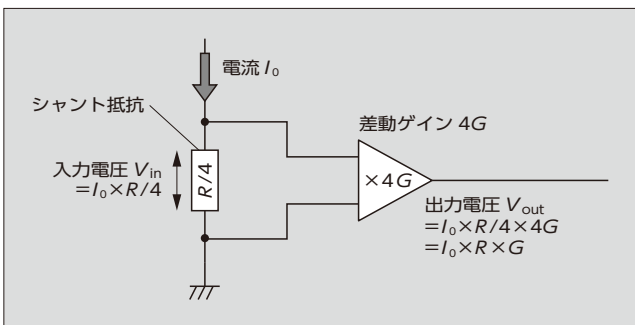


図 3 シャント抵抗と出力電圧 (開発品)

③ オートゼロアンプ技術の特徴

3.1 オートゼロアンプを適用した次世代 IPS の構成

図5に次世代IPSのブロック図を示す。シャント抵抗の内蔵化によって発生する誤差の増加への対策として、電流検出アンプにオートゼロアンプを適用している。要素デバイスとして、電流駆動用のパワー MOSFET、パワー MOSFET を制御する制御部、シャント抵抗、5V系の電流検出アンプ（オートゼロアンプ適用）があり、これらを1チップ化している。

3.2 オートゼロアンプ

(1) 動作原理

図6にオートゼロアンプの原理図を示す。

オートゼロアンプはメインアンプと補正アンプの二つのOPアンプで構成される。それぞれのOPアンプには、通常の+入力と-入力以外にオフセット電圧補正用の入力端子（図中のCO端子）が備わっている。 V_{os1} はメインアンプのオフセット電圧、 V_{os2} は補正アンプのオフセット電圧である。

SW1とSW2は交互にオン-オフし、SW3とSW4も交互にオン-オフする。スイッチングのタイミングは、

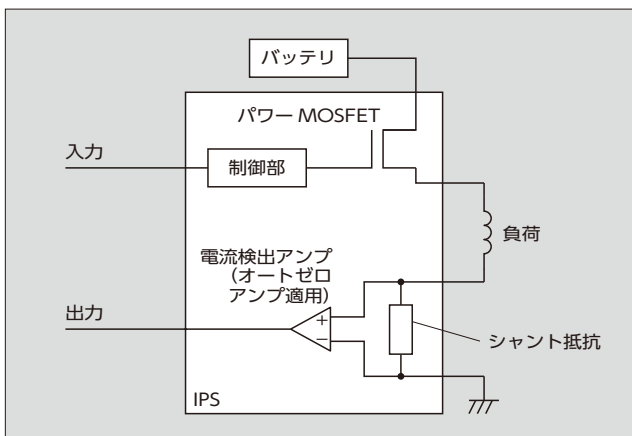


図5 次世代IPSのブロック図

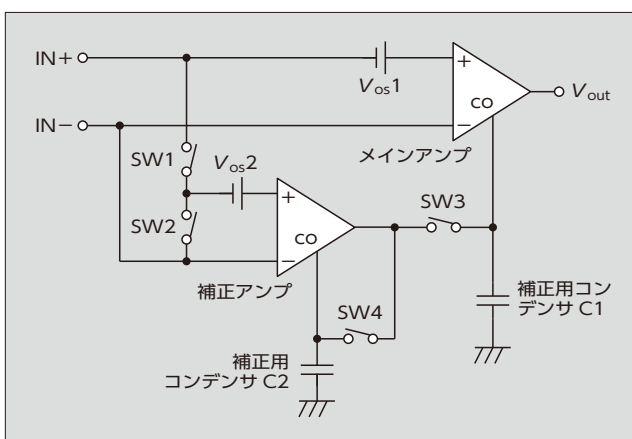


図6 オートゼロアンプの原理図

SW1とSW3が同時にオンし、SW2とSW4が同時にオンする。コンデンサC1とC2はメインアンプと補正アンプのそれぞれの補正電圧を保持する。

オートゼロアンプの動作はSWの接続状態によって二つのフェーズに分けられる。

(a) フェーズ1: SW1・SW3=オフ、SW2・SW4=オン

補正アンプが自己のオフセット電圧の補正を行う。補正アンプの両入力がショートされるため、補正アンプには自己のオフセット電圧 V_{os2} が入力される。補正アンプの出力はSW4を経由して自身の補正用端子COに接続される。このとき、補正用アンプは自身のオフセット電圧 V_{os2} をキャンセルする電圧を出力し、補正用コンデンサC2を充電する。

(b) フェーズ2: SW1・SW3=オン、SW2・SW4=オフ

メインアンプの補正を行う。補正アンプの+端子には自身のオフセット電圧 V_{os2} 経由でIN+が接続され、-端子にはIN-が接続される。補正アンプの+端子には V_{os2} が接続されているが、補正用アンプはフェーズ1でオフセット補正済みであり、出力にはオフセット電圧成分は重畳しない。

メインアンプは負帰還動作をするため、メインアンプの+端子と-端子の電位は等しくなる。故にIN+とIN-の電圧差がメインアンプのオフセット電圧 V_{os1} となる。補正アンプにはメインアンプのオフセット電圧 V_{os1} が入力される。補正アンプからはメインアンプのオフセット電圧 V_{os1} をキャンセルさせる電圧が出力され、メインアンプの補正コンデンサC1に補正電圧を充電する。

フェーズ1とフェーズ2を定期的に繰り返すことで、補正アンプとメインアンプの補正電圧は常に最適な値に保たれ、メインアンプ出力で発生する誤差を最小に抑えることが可能となる。

(2) 動作電源電圧の低減

次世代IPSでは、パワー MOSFET と5V系の回路を1チップに集積する必要があり、プロセスには第5世代IPSデバイス・プロセス技術⁽⁵⁾を使用してオートゼロアンプ技術の開発を行った。本プロセスの特徴は、電流駆動用のトレンチゲート MOSFET、中耐圧 MOSFET、三重拡散構造による低耐圧 MOSFET、およびシャント抵抗を1チップに集積できることである。これにより、車載用パワー ICとして必要な電流駆動能力・耐圧性能を備えつつ、オフセット電圧を自動補正するオートゼロアンプ技術を実現することが可能となる。

図7に第5世代IPSデバイスの断面構造を示す。一般的に、三重拡散構造では最上層の不純物濃度を高くする必要があり、その層に形成する MOSFET はしきい値電圧が高くなる傾向にある。今回採用した三重拡散構造の低耐圧 MOSFET も同様の傾向である。しきい値電圧の高い MOSFET で構成された回路は、動作可能な電源電圧が高くなる。一方で市場要求は、電源電圧変動への耐性向上のために低電源電圧で動作することが求められている。そこ

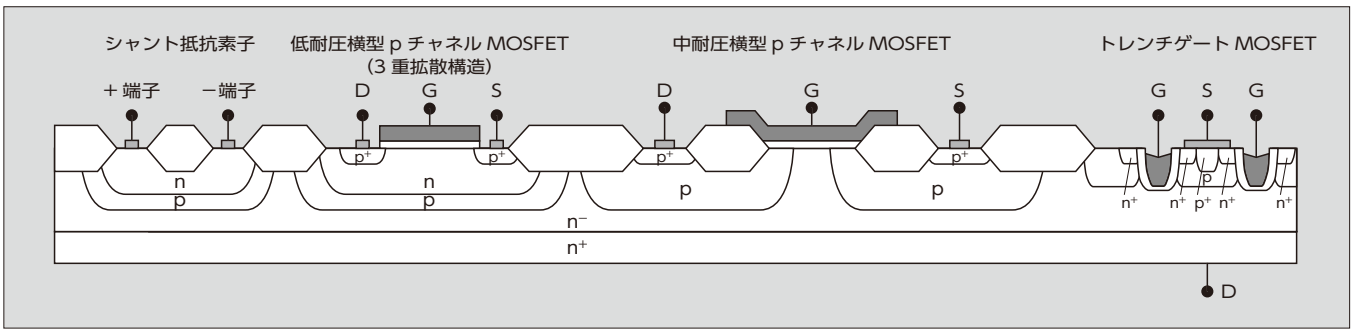


図7 第5世代IPSデバイスの断面構造

で、今回設計したオートゼロアンプでは次のような工夫をして動作電圧の低減を図った。

(a) バイアス回路

回路中で最も低い電源電圧で動作を開始する必要があるバイアス回路を見直した。具体的には、MOSFETの段数が多い箇所の回路構成の変更やMOSFETのバイアス条件の最適化により低電圧動作を実現した。

(b) UVLO (Under Voltage Lockout) 回路

電源電圧が低く、アンプの動作電圧に達していないときにはアンプ出力は不定となる。不定状態でマイコンのADCに信号を出力するとシステムの誤動作の原因となるため、アンプ出力が確定するまではアンプの出力を0Vに固定するUVLO回路を搭載した。アンプを0Vに固定する基準となる電圧が製造ばらつきによって変動すると動作保証電圧が高くなる。このことから、基準電圧への製造ばらつきの影響が最小となるように回路を改良した。

このような工夫により、三重拡散構造のプロセスで従来品と同等の動作電圧を実現することを可能とした。

4 オートゼロアンプの効果

図8にオートゼロアンプを使用した実機評価結果を示す。ゲインはシャント抵抗を従来の1/4にすることを考

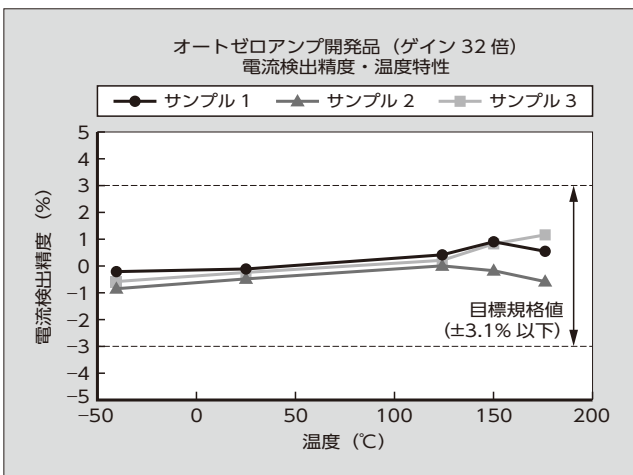


図8 オートゼロアンプを使用した実機評価結果

慮して従来品の4倍の32倍とした。アンプ入力には負荷電流1A、かつシャント抵抗が従来品の1/4に相当する入力電圧を印加した。この条件で温度 -40°C から $+175^{\circ}\text{C}$ の範囲で電流検出精度の評価を行った。目標値は第5世代IPS⁽⁵⁾と同等とした。

図8に示すとおり、ゲインを従来品の4倍の32倍としたにも関わらず第5世代IPSの目標仕様を満足している。

これらの評価結果から、IPSとシャント抵抗を1チップ化した際に発生する誤差の増加を、オートゼロアンプ技術を用いて解決できる目途が立った。シャント抵抗内蔵によりECU基板の小型化を実現し、かつ電流検出精度は従来と同等が実現できる見込みである。

5 あとがき

車載用パワーICに搭載可能な、IPS用オートゼロアンプ技術の開発を行った。これにより、電流検出精度を従来と同程度に維持しつつECU基板の小型化が期待できる。

急速に電子化が進む自動車分野においては、IPS以外にも広く用途があると考えている。今後適用範囲を広げるための検討を進め、自動車業界に貢献していく所存である。

参考文献

- (1) 中川翔ほか. ワンチップリニア制御用IPS「F5106H」. 富士電機技報. 2013, vol.86, no.4, p.273-276.
- (2) Toyoda, Y. "60 V-Class Power IC Technology for an Intelligent Power Switch with an Integrated Trench MOSFET". ISPSD. 2013, p.147-150.
- (3) 芦野仁泰ほか. 第7世代車載用高圧センサ. 富士電機技報. 2019, vol.92, no.4, p.257-261.
- (4) 細川英治ほか. 自動車用ワンチップイグナイト. 富士時報. 2007, vol.80, no.6, p.410-412.
- (5) 岩田英樹ほか. 車載用第5世代IPS「F5202H」. 富士電機技報. 2020, vol.93, no.4, p.219-223.



岩本 基光

パワー IC の開発に従事。現在、富士電機株式会社
半導体事業本部開発統括部デバイス開発部主査。



片倉 英明

パワー IC の開発に従事。現在、富士電機株式会社
半導体事業本部開発統括部デバイス開発部。



豊田 善昭

半導体デバイスの開発・設計に従事。現在、富士
電機株式会社半導体事業本部開発統括部デバイス
開発部主査。





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。