

トレンチ SBD 内蔵によりバイポーラ劣化を抑制した SiC-MOSFET

Trench SBD-Integrated SiC-MOSFET To Suppress Bipolar Degradation

馬場 正和 BABA, Masakazu

俵 武志 TAWARA, Takeshi

竹中 研介 TAKENAKA, Kensuke

SiC-MOSFET のボディダイオードに順方向通電を行うと、ドリフト層内に積層欠陥が拡張し、特性が劣化（オン電圧が上昇）する問題がある。これに対して、SiC トレンチゲート MOSFET にトレンチ SBD を内蔵することで、チップサイズを大きくすることなく、順方向通電時にボディダイオードに流れる電流を抑制できる。本構造では従来の SiC トレンチゲート MOSFET に対して、特性劣化が生じる電流密度を約 4 倍に高めることができた。また、外付けの SBD を用いないために製品の小型・軽量化が期待できるとともに、特性劣化が抑制されるので長期信頼性の向上も期待できる。

When the body diode of a SiC-MOSFET is forward biased, characteristic degradation occurs as on-voltage rises with stacking faults expanding within the drift layer. To avoid the issue, integrating a trench SBD into a conventional SiC trench gate MOSFET will suppress a body diode current under forward bias without the need for increased chip size. This structure has increased the current density at which characteristic degradation occurs by approximately four times compared with conventional SiC trench gate MOSFETs. Without using external SBDs, this technology is expected to reduce the size and weight of products and reduce characteristic degradation, improving long-term reliability.

1 まえがき

近年、脱炭素化社会実現のために、電力変換機器の低損失化が求められている。ワイドバンドギャップ材料である炭化けい素（SiC）はシリコン（Si）に比べて絶縁破壊電界強度が高く、電圧を支えるドリフト層を薄く、高濃度にするにより素子の低抵抗化が可能である。また、熱伝導率が高く、バンドギャップが広いいため、素子を高温で動作できることから冷却システムを簡素化でき、電力変換機器の小型・軽量化による恩恵が得られる。例えば電気自動車においては、SiC パワー半導体素子を用いることにより、インバータの小型・軽量化および損失低減による航続距離の伸長が可能となる。インバータなどの電力変換機器には、MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）や SBD（Schottky Barrier Diode）が用いられる。インバータ回路を小型化する際に、還流素子として外付けされる SBD の代わりに、MOSFET の内蔵 pn ダイオード（ボディダイオード）を用いることで素子数を減らす方法が知られている。しかしながら、SiC-MOSFET のボディダイオードに電流を流すと、オン電圧が増加する現象（バイポーラ劣化）によって損失が増加する懸念がある。

本稿では、トレンチ SBD 内蔵による SiC-MOSFET のバイポーラ劣化の抑制効果について述べる。

2 バイポーラ劣化と SBD 内蔵化による抑制効果

図 1 に SiC トレンチゲート MOSFET 素子の断面を示す。トレンチゲートの周囲に形成されるボディダイオードに通電すると、バイポーラ劣化により MOSFET のドレイン・ソース間にかかる、順方向電圧 V_F と動作開始時の電

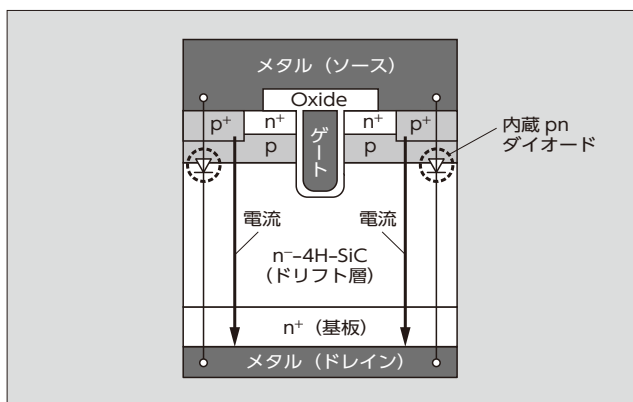


図 1 SiC トレンチゲート MOSFET 素子の断面

圧 V_{on} が上昇することが報告されている⁽¹⁾。バイポーラ劣化は順方向通電中に積層欠陥（SF：Stacking Fault）が拡張し、高抵抗層となることで引き起こされる。ボディダイオードが動作すると、ドレイン側から電子が、ソース側よりホールがドリフト層、基板に注入される。注入された電子、ホールの再結合によって放出されるエネルギーにより、ドリフト層や基板内に存在する基底面転位（BPD：Basal Plane Dislocation）を起点として SF が拡張する⁽²⁾。

BPD は SiC 基板内に存在する転位欠陥であり、ドリフト層のエピタキシャル成長開始時にドリフト層と基板の界面で貫通刃状転位（TED：Threading Edge Dislocation）に変換される。SF は、TED に変換されずに、ドリフト層を貫通した BPD より拡張する。また、大電流の通電により TED に変換された BPD からも SF が拡張することが報告されている⁽³⁾。

図 2 は従来の SiC トレンチゲート MOSFET について、ボディダイオードに 500 A/cm^2 まで順方向通電を行い、 V_F の通電前の初期値に対する変動量 ΔV_F をプロットした

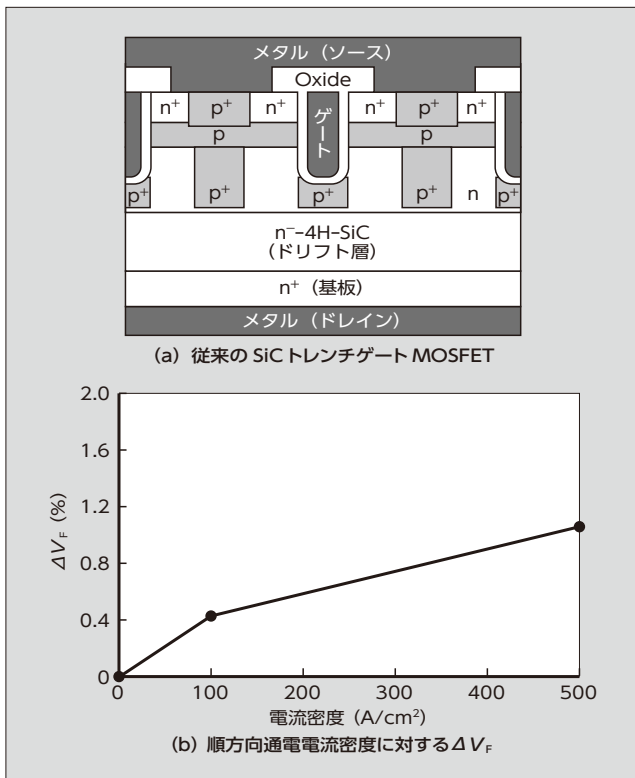


図2 従来のSiCトレンチゲートMOSFETとバイポーラ劣化

グラフである。未対策の状態では500 A/cm²の電流密度で順方向通電を行うと ΔV_F が増加しバイポーラ劣化が発生することを確認した。

富士電機は、バイポーラ劣化を抑制するための技術として再結合促進層を開発した⁽⁴⁾。再結合促進層はドリフト層と基板の間に形成される高キャリア濃度層で、少数キャリアであるホールのキャリア寿命が短い。そのため、ドリフト層から基板に注入されるホールが低減し、SFの拡張が抑制できる。将来、チップ面積の縮小が進み、より高電流密度で使われるようになった場合、再結合促進層をより高濃度・厚膜に最適化することが必要となる。そこで、バイポーラ劣化を抑制する代替手段の一つとして、ボディダイオードを動作させず、電子とホールを再結合させないことが有用であると考えた。本稿ではバイポーラ劣化の抑制方法として、SBDとMOSFETのワンチップ化(トレンチSBD内蔵)を検討した。

次に、トレンチSBD内蔵によるバイポーラ劣化抑制の原理を述べる。図3にSiCトレンチゲートMOSFETの断面構造とボディダイオード通電時の等価回路を示す。SiCトレンチゲートMOSFETとトレンチSBD下のp型層は、それぞれ奥行き方向で表面のp型コンタクトを介してソースに接続されている(不図示)。また、図3に示した等価回路は、ボディダイオード通電時の電流経路を示している。図3(a)のSiCトレンチゲートMOSFETに対して、図3(b)のトレンチSBD内蔵SiCトレンチゲートMOSFET(SBD内蔵MOSFET)では、トレンチSBDと内蔵pnダイオードが並列接続され、ドリフト層抵抗を共有する。並列接続により、トレンチSBDと内蔵pnダイオードにかかる電

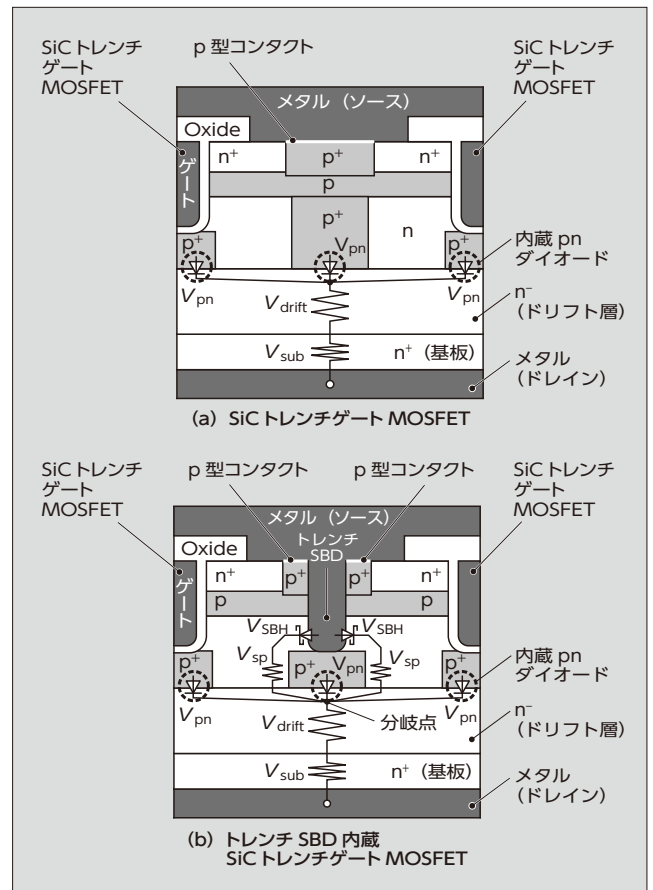


図3 SiCトレンチゲートMOSFET断面構造とボディダイオード通電時の等価回路

圧は等しいが、実際には内蔵pnダイオードと比べてトレンチSBDは、図3(b)の分岐点から離れた箇所形成されるため、SBDとドリフト層間の抵抗(広がり抵抗)も考慮する必要がある。図3(b)に示す内蔵pnダイオードにかかる電圧 V_{pn} は、SBDにかかる電圧 V_{SBH} と広がり抵抗にかかる電圧 V_{sp} の和に等しい。そのため、 V_{SBH} と V_{sp} の和を内蔵pnダイオードのビルトイン電圧 V_D よりも低くすれば内蔵pnダイオードはオンしない。一般的に V_{SBH} はショットキー接合による電位障壁の高さで決まり、 V_D よりも小さい。そのため、 V_{sp} を調整することで内蔵pnダイオードの動作を抑制することができる。結果として内蔵pnダイオードの代わりにトレンチSBDが動作するが、トレンチSBDはユニポーラデバイスであるためバイポーラ劣化が起きることはない。

③ トレンチSBD内蔵SiC-MOSFETの特性

今回、共同研究体つくばパワーエレクトロニクスコンステレーション(TPEC: Tsukuba Power-Electronics Constellations)のプロジェクトを活用し、SiCトレンチゲートMOSFETにトレンチSBDを形成する技術を確認し、デバイスを試作した。トレンチSBD内蔵に当たり、セルピッチの狭い従来のSiCトレンチゲートMOSFETに対して、プレーナ型のSBDを形成するとセルピッチが広

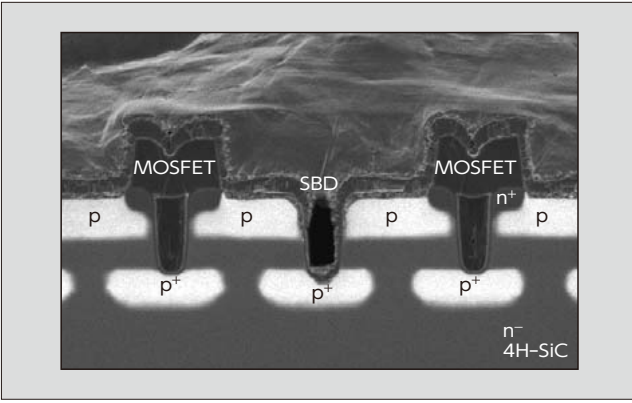


図4 トレンチ SBD を内蔵した SiC トレンチゲート MOSFET の断面 SEM 像

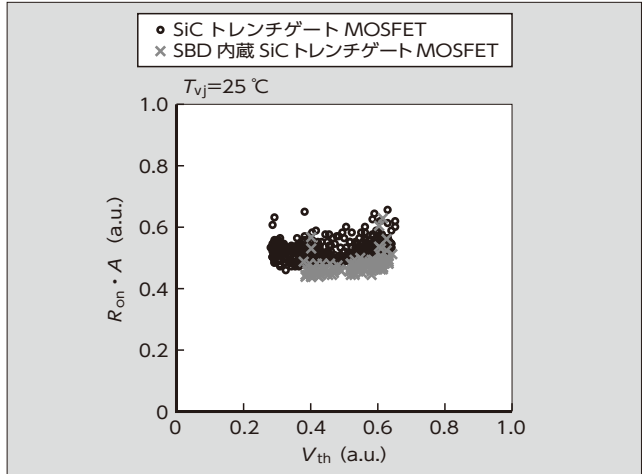


図6 $R_{on} \cdot A - V_{th}$ トレードオフ

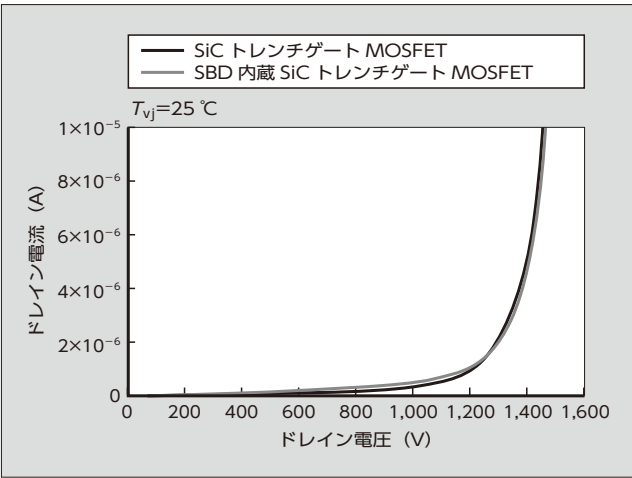


図5 耐圧波形

がり V_{on} が大きくなり損失が増加する。そこで、トレンチ SBD を形成することにより、セルピッチを広げることなくトレンチ SBD 内蔵を実現した。

図4 に試作したトレンチ SBD を内蔵した 1,200 V 耐圧 SiC トレンチゲート MOSFET の断面 SEM (走査型電子顕微鏡: Scanning Electron Microscopy) 像を示す。SiC トレンチゲート MOSFET のトレンチゲートの間にトレンチ SBD が形成できていることを確認した。

図5 は従来の SiC トレンチゲート MOSFET と SBD 内

蔵 MOSFET の室温における耐圧波形で、いずれの構造も 1,200 V 以上の耐圧を備えている。また、ドレイン・ソース間のリーク電流に有意差はなく、SBD 内蔵 MOSFET によるリーク電流への影響はないことを確認した。図6 は同セルピッチの SiC トレンチゲート MOSFET と SBD 内蔵 MOSFET の、室温における特性オン抵抗 $R_{on} \cdot A$ としきい値電圧 V_{th} のトレードオフである。ゲート構造、セルピッチ、活性領域の面積は両構造で変わらないため、ほぼ同等の特性となっている。

4 バイポーラ劣化抑制効果の検証

図7 は従来の SiC トレンチゲート MOSFET と、セルピッチが異なる 3 種類の SBD 内蔵 MOSFET の 150 °C におけるボディダイオードの $J-V$ 特性である。素子 A、素子 B、素子 C の順にセルピッチは狭くなる。

まず、従来の SiC トレンチゲート MOSFET について、内蔵 pn ダイオードが動作すると電子電流とホール電流、すなわちバイポーラ電流が流れ、図7 (a) に示したように指数関数的に増加する波形となる。対して、図7 (b)、図7 (c)、図7 (d) は $J-V$ 波形の立ち上がり初期においては線形特性を示した。内蔵 pn ダイオードのビルトイン電圧に対して V_{SBH} の方が小さいため、SBD のみが動作し電子電流のみ、

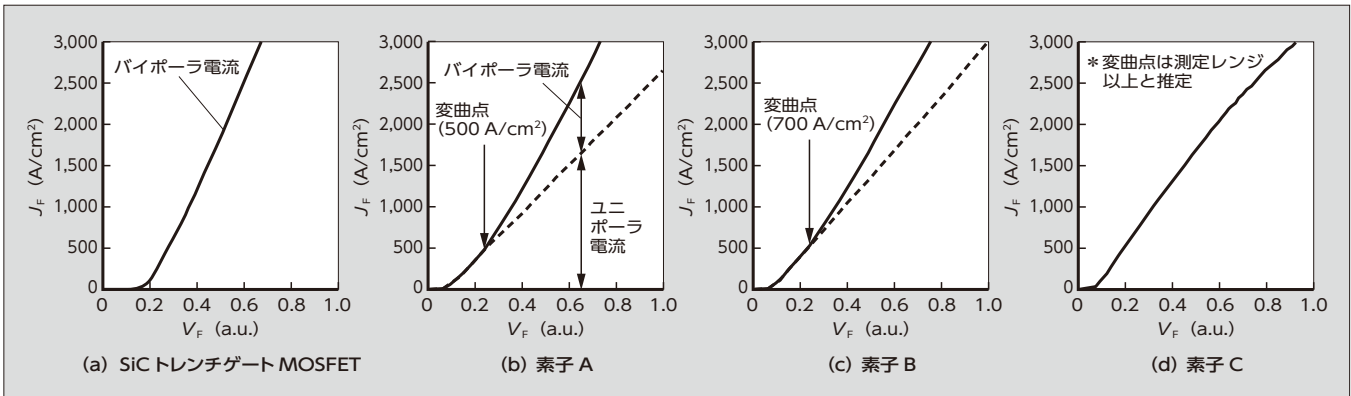


図7 150 °C におけるボディダイオードの $J-V$ 特性

すなわちユニポーラ電流が流れていると考えられる。また、素子 A、素子 B、素子 C について、印加電圧を増加させると電流密度が急峻（きゅうしゅん）に増加する傾向を示した。電流増加の傾きが急激に変化する条件（変曲点）を境界にして、トレンチ SBD に加えて内蔵 pn ダイオードが動作し始めたと考えられる。変曲点となる電流密度はセルピッチが狭いほど高くなる傾向がある。セルピッチが狭まると、図 3 (b) の分岐点と SBD 間の距離が短くなって広がり抵抗は減少し、 V_{sp} は低下する。その結果、内蔵 pn ダイオードがオンし難くなったと考えられる。図 7 (d) の特性から、セルピッチが最も狭い素子 C において、従来の SiC トレンチゲート MOSFET のバイポーラ劣化発生時の 6 倍となる $3,000 \text{ A/cm}^2$ 以上の電流密度においてバイポーラ劣化が生じないと推定される。

次に SBD 内蔵 MOSFET について順方向通電試験を実施し、バイポーラ劣化の抑制効果を検証した。通電試験に際して、変曲点前後での効果検証と、通電装置の最大電流密度 $2,000 \text{ A/cm}^2$ まで通電した際のバイポーラ劣化の有無を検証するため、素子 B と素子 C を試験した。まず、素子 B について、実使用を想定した 150°C に加熱し、通電による発熱を抑えるためデューティ比を調整したパルス印加により通電した。通電前の初期特性を測定後に、 300 A/cm^2 、 700 A/cm^2 、 $1,000 \text{ A/cm}^2$ 、 $1,500 \text{ A/cm}^2$ 、 $2,000 \text{ A/cm}^2$ でそれぞれ通電し、 $1,000 \text{ A/cm}^2$ までは実効通電時間 5 分、 $2,000 \text{ A/cm}^2$ については実効通電時間 2 分とした。通電後に再度測定し、 ΔV_F を評価した。

図 8 に、順方向通電電流密度に対する ΔV_F を示す。変曲点の 700 A/cm^2 より電流密度の低い条件では ΔV_F の増加はないことを確認した。 $1,000 \text{ A/cm}^2$ 以上の電流密度では ΔV_F が増加し特性劣化が確認された。変曲点以上の条件で電流密度が高くなるほど、バイポーラ電流成分は増加するため、ドリフト層に注入される電子、ホールが増加し、バイポーラ劣化が生じたと考えている。特性劣化した素子について、SF の有無を確認するために表面電極を剥離し、SF が発光する 420 nm の波長でフォトミルネッセンス (PL : Photo Luminescence) イメージング測定を

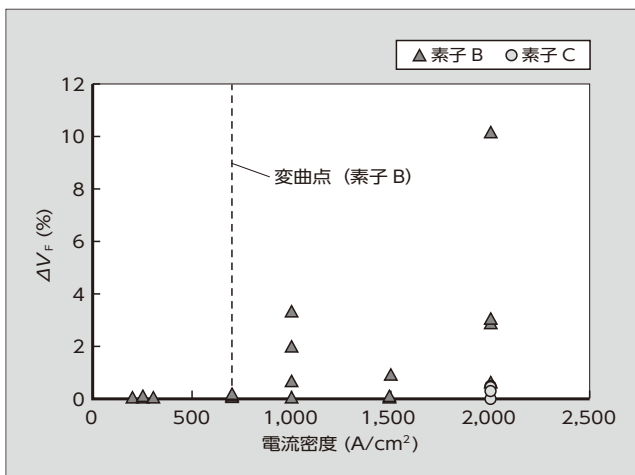


図 8 順方向通電電流密度に対する ΔV_F

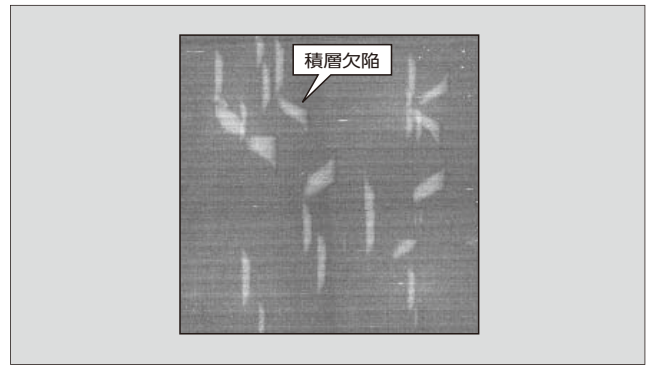


図 9 順方向通電後に ΔV_F が増加した素子の PL 像

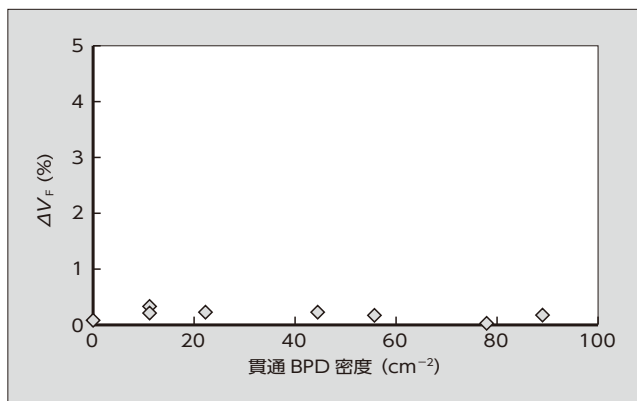
実施した。図 9 に順方向通電後に ΔV_F が増加した素子の PL 像を示す。図 9 で示している白色で表れている領域が拡張した SF である。この結果により、バイポーラ電流成分が小さい変曲点近傍や変曲点よりも低い電流密度では、ドリフト層への電子、ホール注入量が少ない、あるいは内蔵 pn ダイオードが動作しないため、バイポーラ劣化が発生しないことを確認した。

続いて、より高い電流密度の変曲点を示した素子 C について順方向通電試験を実施した。図 7 (d) の $J-V$ 波形から $2,000 \text{ A/cm}^2$ の電流密度でも ΔV_F は変動しないと推察される。そこで、素子 C は通電装置で最も厳しい条件の 175°C 、 $2,000 \text{ A/cm}^2$ で実効通電時間 2 分の試験を実施した。素子 C は図 8 に示すとおり、試験環境で最も厳しい条件においてバイポーラ劣化しないことが示された。本結果より、セルピッチの縮小により変曲点の電流密度を高めることによって、従来の SiC トレンチゲート MOSFET がバイポーラ劣化した電流密度の 4 倍である $2,000 \text{ A/cm}^2$ まで特性劣化しないことを実証した。

5 貫通 BPD 密度による影響評価

次に SF 拡張の原因となる貫通 BPD 密度に対する依存性を評価した。BPD 密度の異なる基板は複数のベンダから入手し、各基板上にエピタキシャル成膜と SBD 内蔵 MOSFET を試作し、バイポーラ劣化抑制の効果が同様に得られるかを検証した。試作に使用したエピタキシャル基板はドリフト層成膜後に PL イメージング測定を行うことでドリフト層を貫通する貫通 BPD の面内分布を確認し、特に貫通 BPD が含まれるチップを選定して試験を実施した。デバイス構造は 4 章でバイポーラ劣化が発生しなかった素子 C の構造とした。初期測定後に、 100 A/cm^2 、 150°C で 10 分間 DC 印加、 $2,000 \text{ A/cm}^2$ 、 175°C で 2 分間パルス印加による順方向通電を実施した。

図 10 は 1 チップ当たりに含まれる貫通 BPD の密度に対する ΔV_F を示している。評価した全素子について、通電前の初期値に対して変動量が小さく、特性劣化していないことを確認した。本結果から、SBD 内蔵化によるバイポーラ劣化抑制は、貫通 BPD の密度に関係なく効果があることが示された。

図 10 貫通 BPD 密度に対する ΔV_F

6 あとがき

ボディダイオード動作によるバイポーラ劣化を抑制する技術として MOSFET に SBD を内蔵する構造を検討した。トレンチ SBD 構造を用いることで、従来の SiC トレンチゲート MOSFET に対して特性を悪化させることなく SBD を内蔵できる。

ボディダイオードの $J-V$ 特性で示される変曲点から、バイポーラ劣化が抑制される電流密度を推定し、セルピッチを狭めるほど高い抑制効果が得られることを示した。実際の順方向通電試験から、従来の SiC トレンチゲート MOSFET のバイポーラ劣化発生時の 4 倍の電流密度 $2,000 \text{ A/cm}^2$ まで特性劣化が生じないことを実証した。また、エピタキシャル基板の貫通 BPD 密度に依らず安定してバイポーラ劣化を抑制できることを確認した。

本研究は、共同研究体つくばパワーエレクトロニクスコンステレーション (TPEC) の事業として行われた。試作・評価および議論に協力いただいた、国立研究開発法人産業技術総合研究所の原田信介殿、森本忠雄殿に謝意を表す。

参考文献

- (1) Agarwall, A. et al. "A New Degradation Mechanism in High-Voltage SiC Power MOSFETs". IEEE Electron Device Letters, vol.28, no.7, 2007, p.587-589.
- (2) Skowronski, M. et al. "Recombination-enhanced defect motion in forward-biased 4H-SiC p-n diodes". J. Appl. Phys. vol.92, no.8, 2002, p.4699-4704.
- (3) Konishi, K. et al. "Stacking fault expansion from basal plane dislocations converted into threading edge dislocations in 4H-SiC epilayers under high current stress" J. Appl. Phys. 114, 2013, p.014504-1-014504-5.
- (4) 俵武志ほか. SiC-MOSFET のバイポーラ劣化抑制のためのバッファ層技術. 富士電機技報. 2017, vol.90, no.4, p.214-218.



馬場 正和

SiC パワー MOSFET の研究開発に従事。現在、富士電機株式会社半導体事業本部開発統括部デバイス開発部。工学博士。応用物理学会会員。



俵 武志

SiC パワー MOSFET、SBD の研究開発に従事。現在、国立研究開発法人 産業技術総合研究所 先進パワーエレクトロニクス研究センター (富士電機より出向)。



竹中 研介

SiC パワー MOSFET の研究開発に従事。現在、国立研究開発法人 産業技術総合研究所 先進パワーエレクトロニクス研究センター (富士電機より出向)。応用物理学会会員。





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。