

DFN8×8 パッケージの「Super J MOS S2 シリーズ」 「Super J MOS S2FD シリーズ」

“Super J MOS S2 Series” and “Super J MOS S2FD Series” with DFN 8×8 Package

島藤 貴行* SHIMATO, Takayuki

渡邊 荘太* WATANABE, Sota

安田 貴弘* YASUDA, Yoshihiro

発展途上国を中心とした世界の人口増加や中国を中心とした経済発展、ならびに近年の IT 革新に伴う情報量の増大により、エネルギー消費は増加の一途をたどっている。限られたエネルギー資源を有効に利用するために、太陽光発電や風力発電などの再生可能エネルギーの活用と併せて、各種の電源を高効率化することによる省エネルギー化が必要である。対象となるものは、通信電源や電気自動車の充電ステーションなどの産業向けから TV などの一般家庭向けまでさまざまなものが挙げられる。これらの電源の電力変換部に用いられている半導体スイッチング素子として、特に小型化が要求される中容量以下の機器には高周波動作が可能なパワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) が採用されることが多い。これらの電源の高効率化と小型化のためには、電力変換部の主要部品である、パワー MOSFET の低損失・小型化が必要不可欠である。

1 製品系列と主要特性

富士電機は、パワー MOSFET の損失を改善するために従来のプレーナ型 MOSFET に替え、スーパージャンクション構造を採用した第 2 世代低損失 SJ-MOSFET

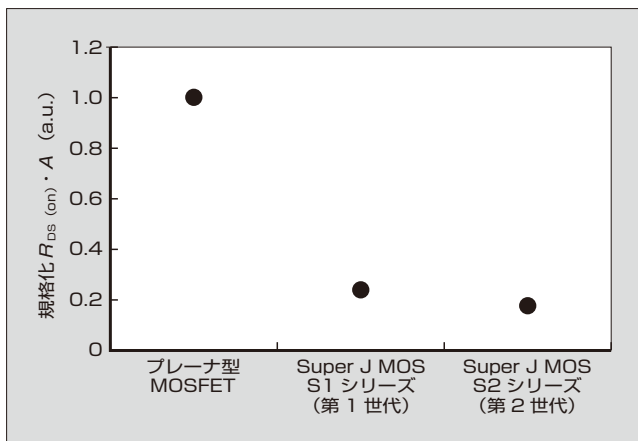


図 1 パワー MOSFET の $R_{on} \cdot A$ 性能のトレンド (600V 耐圧クラス)

* 富士電機株式会社電子デバイス事業本部事業統括部産業ディスクリート部

* 富士電機株式会社電子デバイス事業本部生産統括部半導体組立センター製造技術部

表 1 DFN8×8 パッケージの製品系列と主要特性

シリーズ名称	型 式	オン抵抗 $R_{DS(on) max.}$ (mΩ)	耐 圧 V_{DS} (V)
Super J MOS S2 シリーズ	FML60N090S2	90	600
	FML60N101S2	101	
	FML60N111S2	111	
	FML60N138S2	138	
	FML60N174S2	174	
	FML60N200S2	200	
Super J MOS S2FD シリーズ	FML60N093S2FD	93	600
	FML60N104S2FD	104	
	FML60N115S2FD	115	
	FML60N143S2FD	143	
	FML60N179S2FD	179	

「Super J MOS シリーズ」を提供してきた。図 1 に、パワー MOSFET の規格化 $R_{DS(on)} \cdot A$ 性能のトレンドを示す。600V 耐圧クラスの単位面積で規格化されたオン抵抗 $R_{DS(on)} \cdot A$ は世代を追うごとに改善され、低くなってきている。

電力変換部の小型化に対応するために、最新シリーズの「Super J MOS S2 シリーズ」(S2 シリーズ) および S2 シリーズの寄生ダイオードを高速化した「Super J MOS S2FD シリーズ」(S2FD シリーズ) において、従来の D2-PACK パッケージよりも小型で薄型の面実装タイプの DFN (Dual Flat Nonlead) 8×8 パッケージに搭載した製品を系列化し、サンプル展開を開始した。これらの製品系列と主要特性を、表 1 に示す。

2 特 徴

2.1 小型・薄型

図 2 に、DFN8×8 パッケージと従来の標準的な面実装パッケージである D2-PACK パッケージの外観を示す。また、DFN8×8 パッケージ品の主な特徴を次に示す。

- (a) 実装面積：58% 低減
- (b) パッケージ高さ：81% 低減
- (c) パッケージ体積：92% 低減

表 2 に、単位実装面積当たりと単位実装体積当たりのオン抵抗を示す。DFN8×8 パッケージ品は、最小オン抵抗が大きいものの、D2-PACK 品に対して単位実装面積

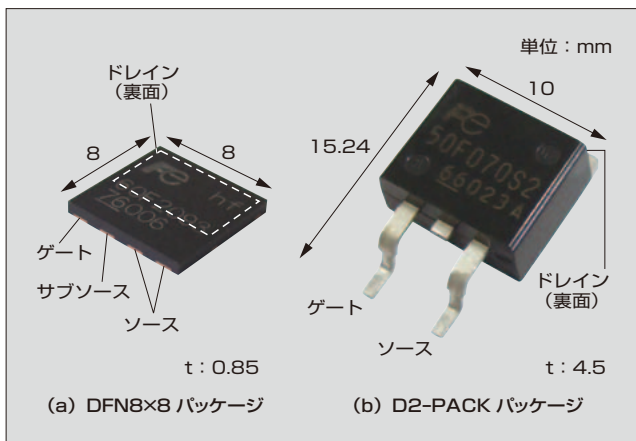


図2 パッケージの外観

表2 単位実装面積当たりと単位実装体積当たりのオン抵抗

パッケージ	搭載可能な 最小オン抵抗 $R_{DS(on)}$	単位実装面積 当たりのオン抵抗 $R_{DS(on)(max)} \cdot S$	単位実装体積 当たりのオン抵抗 $R_{DS(on)(max)} \cdot V$
	Ω	$\Omega \cdot \text{mm}^2$	$\Omega \cdot \text{mm}^3$
DFN8×8	0.090	5.76	4.90
D2-PACK	0.079	12.04	54.18
低減率	—	52.2%	91.0%

当たりのオン抵抗は52.2%低減，単位実装体積当たりのオン抵抗は91.0%低減している。これにより，電源の小型・高電力密度化に対応しているパッケージであることが分かる。

2.2 低スイッチング損失

図3に，DFN8×8パッケージ品と標準的な3端子パッケージ品（TO-220，D2-PACKなど）のゲートドライブ回路を示す。標準的な3端子パッケージ品では，パッケージ内部のリードインダクタンスやソース基板配線インダクタンスなどのインダクタンス L_s がゲートドライブ回路に含まれる構成となるため，MOSFETのスイッチング動作時にはドレイン電流の時間変化 dI_d/dt によって L_s に発生する逆起電力がゲートドライブ回路に影響を与える。この逆起電力は，MOSFETのターンオン時にはゲート電圧を押し下げる方向に作用し，ターンオフ時にはゲート電圧を押し上げる方向に作用する。そのためスイッチング時間を遅延させ，スイッチング損失低減および高周波化の障害となっている。

一方，DFN8×8パッケージ品ではサブソース端子を設けることで， L_s をゲートドライブ回路から分離し， L_s に発生する逆起電力の影響を取り除くことができる。これにより，スイッチング時間の短縮によりスイッチング損失を低減し高周波化することができる。

図4と図5に，チョップ回路を用いてDFN8×8パッケージ品と3端子パッケージ品とのターンオン損失およびターンオフ損失のゲート抵抗依存性を比較した結果を示す。測定素子には，DFN8×8パッケージ品として

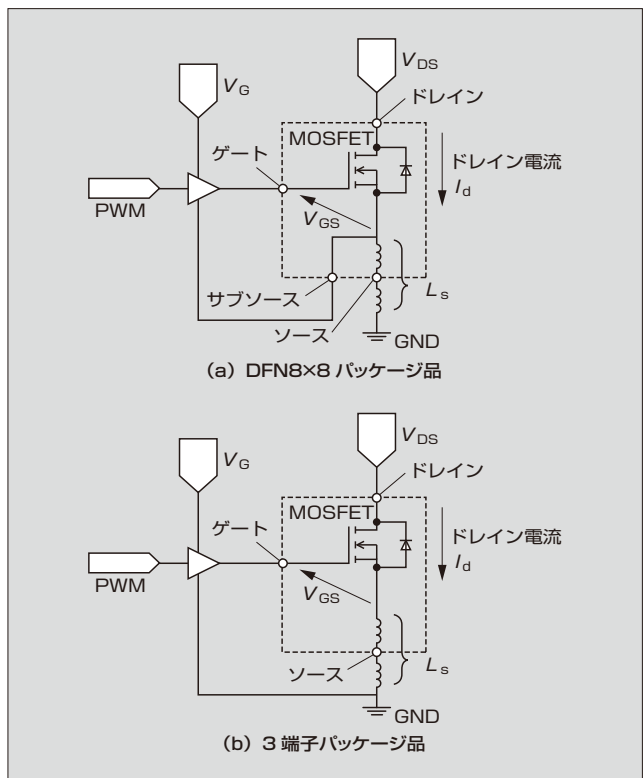


図3 DFN8×8パッケージ品と3端子パッケージ品のドライブ回路

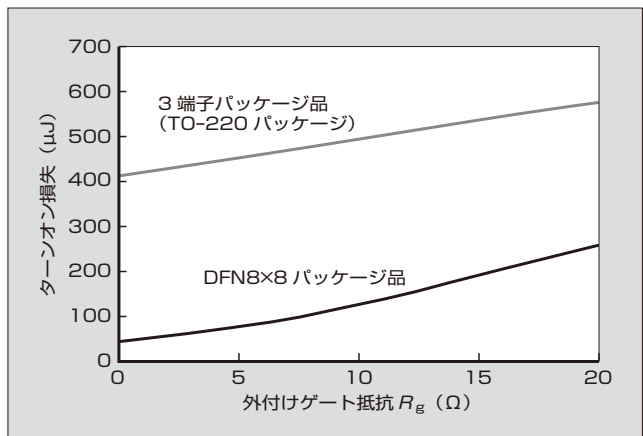


図4 ターンオン損失

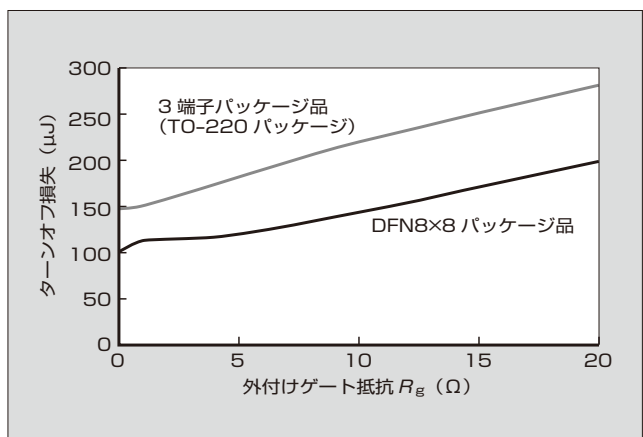


図5 ターンオフ損失

「FML60N143S2FD」(600 V, 143 mΩ) を、3 端子パッケージ品として TO-220 パッケージの「FMP133S2FD」(600 V, 133 mΩ) を使用した。測定条件は、 $V_{DD}=400\text{ V}$ 、 $I_D=20\text{ A}$ 、 $V_G=10\text{ V}$ としている。

DFN8×8 パッケージ品は、外付けゲート抵抗 0~20 Ω の全範囲においてターンオン損失およびターンオフ損失が大幅に改善されている。外付けゲート抵抗 10 Ω において、ターンオン損失が 75% の低減、ターンオフ損失が 35% の低減となっている。

発売時期

2017年10月

お問い合わせ先

富士電機株式会社

電子デバイス事業本部営業統括部営業第一部

電話 (03) 5435-7152





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。