

第6世代 MOSFET 「SuperFAP-E³ シリーズ」

特集

原 幸仁 (はら ゆきひと)

山田 忠則 (やまだ ただのり)

新村 康 (にいむら やすし)

1 まえがき

環境問題が注目される近年、電子機器およびそれらに搭載されるスイッチング電源においてもいっそうの省エネルギー化・省資源化が求められている。そのため、高効率化による低消費電力化や部品点数削減などによる回路の簡素化、また低ノイズ化が重要課題となっている。

上記を受け、電子機器（スイッチング電源を含む）におけるパワーデバイスへのニーズは、低損失かつ低ノイズで壊れにくく、使いやすいことが求められている。特に EMI (Electromagnetic Interference) ノイズは、各種法規制に対応する必要があるために、電子機器設計の最終段階で回路定数変更やフィルタ回路の追加などを余儀なくされ、調整に手間取る場合がある。そのため近年の電子機器の短い設計期間に対応するため、EMI ノイズ対策が容易で低ノイズなデバイスへのニーズがますます高まってきている。

富士電機では、これまで低オン抵抗と超高速スイッチング特性を両立させ、低損失化を実現した 100 ~ 900 V 耐圧のパワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 「SuperFAP-G シリーズ」をラインアップし、電子機器の高効率化に貢献してきた。

今回、低損失かつ低ノイズで壊れにくく使いやすいといった市場ニーズに対応するため、低損失特性と低ノイズを高次元でバランスさせ、高性能と使いやすさを両立した第6世代 MOSFET 「SuperFAP-E³ シリーズ」の開発を行ったので、以下にその特徴について紹介する。

2 製品の概要

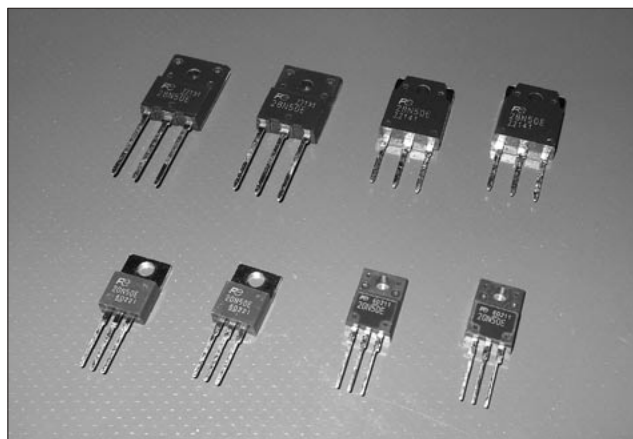
表1に今回開発した SuperFAP-E³ シリーズの代表機種と従来品との特性比較を示す。今回開発した型式では、同一チップサイズの従来品と比較してオン抵抗を約 18% 改善し、プレーナ型パワー MOSFET としては業界トップクラスの性能を実現した。図1に素子の外観を示す。

SuperFAP-E³ シリーズは、現在ドレイン-ソース間電

表1 SuperFAP-E³シリーズと従来品の特性比較 (同一チップサイズでの比較)

系 列	SuperFAP-E ³ シリーズ	SuperFAP-Gシリーズ (従来品)
型 式	FMA20N50E	2SK3683-01MR
パッケージ	TO-220F	TO-220F
V_{DS}	500V	500V
I_D	$\pm 20A$	$\pm 19A$
P_D	95W	95W
$V_{GS(th)}$	$3 \pm 0.5V$	$4 \pm 1.0V$
$R_{DS(on)max}$	0.31 Ω	0.38 Ω

図1 SuperFAP-E³シリーズの素子外観



圧 500 V, 600 V クラスの系列化を行っており、今後はゲート-ソース間ツェナーダイオード内蔵品および内蔵ダイオードを高速化した製品の開発も計画している。表2に量産化が完了している型式、および今後系列化予定の型式と代表特性を示す。

3 設計施策

MOSFET に対する要求をまとめると表3のようになる。低損失化には低オン抵抗化と低スイッチング損失化



原 幸仁

パワー MOSFET の開発・設計に従事。現在、富士電機デバイステクノロジー株式会社半導体事業本部情報・電源事業部技術部。



山田 忠則

パワー MOSFET の開発・設計に従事。現在、富士電機デバイステクノロジー株式会社半導体事業本部情報・電源事業部技術部。



新村 康

パワー半導体素子の開発・設計に従事。現在、富士電機デバイステクノロジー株式会社半導体事業本部産業事業部技術部。

表2 SuperFAP-E³シリーズの製品一覧

耐圧 BV_{DSS}	定格電流 I_D	オン抵抗 $R_{DS(on)}$	パッケージ					備考
			TO-220	TO-220F	T-pack (D2-pack)	TO-3P	TO-3PF	
500V	16A	0.380Ω	FMP16N50E	FMA16N50E	FMB16N50E	—	—	量産中
	20A	0.310Ω	FMP20N50E	FMA20N50E	FMB20N50E	—	—	量産中
	7.5A	0.790Ω	FMP08N50E	FMA08N50E	FMB08N50E	—	—	開発中
	12A	0.520Ω	FMP12N50E	FMA12N50E	FMB12N50E	—	—	開発中
	23A	0.245Ω	—	FMA23N50E	—	FMH23N50E	FMR23N50E	開発中
	28A	0.190Ω	—	—	—	FMH28N50E	FMR28N50E	開発中
600V	13A	0.580Ω	FMP13N60E	FMA13N60E	FMB13N60E	—	—	量産中
	16A	0.470Ω	FMP16N60E	FMA16N60E	FMB16N60E	—	—	量産中
	6A	1.200Ω	FMP06N60E	FMA06N60E	FMB06N60E	—	—	開発中
	10A	0.790Ω	FMP10N60E	FMA10N60E	FMB10N60E	—	—	開発中
	19A	0.365Ω	—	FMA19N60E	—	FMH19N60E	FMR19N60E	開発中
	23A	0.280Ω	—	—	—	FMH23N60E	FMR23N60E	開発中

(開発中の製品の特性値は目標仕様)

表3 スイッチング電源の市場ニーズとMOSFETへの要求特性

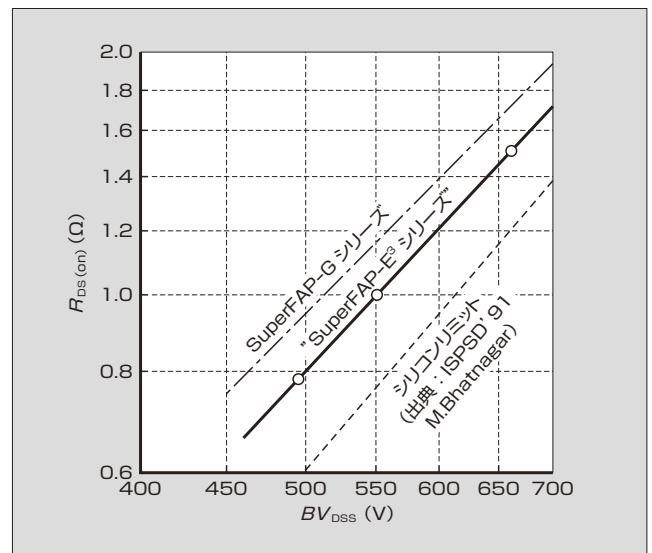
スイッチング電源の市場ニーズ	MOSFETへの要求特性
低損失と低ノイズ化	<ul style="list-style-type: none"> ○低オン抵抗 (高アバランシェ耐量との両立) ○スイッチング損失と放射ノイズのバランス設計 (トレードオフ改善)
壊れにくい	<ul style="list-style-type: none"> ○高アバランシェ耐量 (低オン抵抗特性との両立)
使いやすい	<ul style="list-style-type: none"> ○ソースコモン配線が長くてもV_{GS}リングングが発生しにくい

が必要である。しかし、ゲート抵抗を小さくし、スイッチング損失を抑制すると放射ノイズが大きくなる。すなわち、スイッチング損失と放射ノイズの間にはトレードオフの関係がある。また、電源の起動時に流れる大きな電流が遮断されるときに生じるドレイン電圧の跳ね上がりにより、MOSFETがアバランシェ降伏してもアバランシェ電流により破壊しないことが重要である。さらには電子機器の設計ごとに変わる基板レイアウトに動作が影響されにくく使いやすいMOSFETの要求もある。

3.1 活性セル設計

従来のSuperFAP-Gシリーズでは、pウェルを稠密(ちゆうみつ)に配置し、さらにpウェル間隔を極小化することにより、平面pn接合に近い擬平面接合(QPJ: Quasi-Plane-Junction)構造を適用してきた。さらなる低オン抵抗化のためには、より低抵抗なウェーハを適用する必要があるが、この擬平面接合ではより低抵抗なウェーハを適用するとアバランシェ耐量が十分確保できなかった。そこで、今回の新製品ではアバランシェ耐量を向上させる施策として、従来の擬平面接合をベースとしながらpウェル幅を狭くし電界集中箇所をチャネル下部のpn接合部からpウェル底面に移すことにより、寄生バイポーラトランジスタに流れ込むアバランシェ電流を減少させて

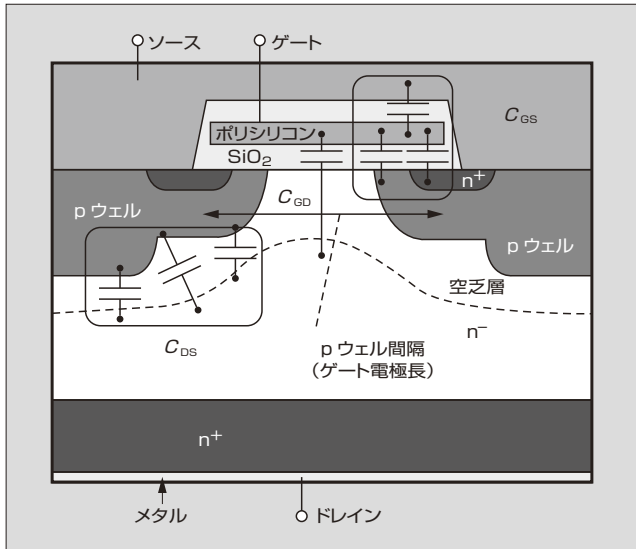
図2 $R_{DS(on)} - BV_{DSS}$ 特性



アバランシェ耐量の向上を図った。これにより、従来のSuperFAP-Gシリーズより低比抵抗のウェーハが適用可能となり、いっそうの低オン抵抗特性と、従来品と同様に高いアバランシェ耐量を達成した。図2にドレイン-ソース間オン抵抗とドレイン-ソース間ブレイクダウン電圧の関係($R_{DS(on)} - BV_{DSS}$)を示す。図2から従来品と比較して $R_{DS(on)}$ は18%改善していることが分かる。

放射ノイズはドレイン電圧のスイッチング dv/dt に相関がある。つまり、スイッチング損失とスイッチング dv/dt のトレードオフを改善する必要がある。これらの特性はゲートドレイン間容量(C_{GD})とドレイン-ソース間容量(C_{DS})への充電時定数の比率により決まる。図3にパワーMOSFETの断面図とその等価容量を示す。 C_{GD} はpウェル間隔(ゲート電極長)、 C_{DS} はpウェル幅にて決まり、これらの最適設計を行う必要があった。従来品では、擬平面接合により低オン抵抗特性・超高速スイッチング特性・

図 3 パワー MOSFET の断面図とその等価回路



低ゲートチャージ量 (Q_g) 特性を実現している^{(1)~(3)}。しかし、スイッチング損失とスイッチング dv/dt を改善するためには、 C_{GD}/C_{DS} を従来品より大きくする必要があった。しかし、pウェル間隔を広げると、pウェルコーナー部の電界が高くなり、擬平面接合状態が崩れ、耐圧が低下してオン抵抗特性が悪化する。また、コーナー部の電界が高くなるとアバランシェ耐量も低下するという問題がある。そこで、擬平面接合を維持しつつ、低オン抵抗特性とゲート抵抗によるスイッチング制御性を改善するために、ゲート電極対向部の n 基板の濃度を最適化し、pウェル間隔を広げて電界集中を緩和した。これにより C_{GD}/C_{DS} 比は従来の約 2 倍に改善されている。

3.2 耐圧構造設計

従来の SuperFAP-G では、低抵抗のウェーハを適用したことにより生じる耐圧構造部での電界集中を緩和させるため、不等間隔ピッチの多段ガードリング構造を適用し、活性部でのシリコンリミットに迫る発生耐圧に対応してきた^{(1)~(3)}。この多段ガードリングはフィールドプレート構造に対して表面電荷の影響を受けにくく高信頼性ではあるが、エッジ長が長くなりチップの面積利用率が悪くなるという問題点があった。SuperFAP-E³ では、単位長あたりの発生耐圧向上を狙い、ガードリング構造の最適化を行った。ガードリング構造の最適化により、高信頼性を確保したままエッジ長は従来の約 40% を実現した。

④ SuperFAP-E³ の効果と電源への適用例

SuperFAP-E³ は低損失かつ高アバランシェ耐量で、放射ノイズとスイッチング損失のトレードオフを改善している。従来品と SuperFAP-E³ を比較した結果について以下に述べる。

図 4 液晶テレビのスイッチング電源のオフラインコンバータにおける温度上昇

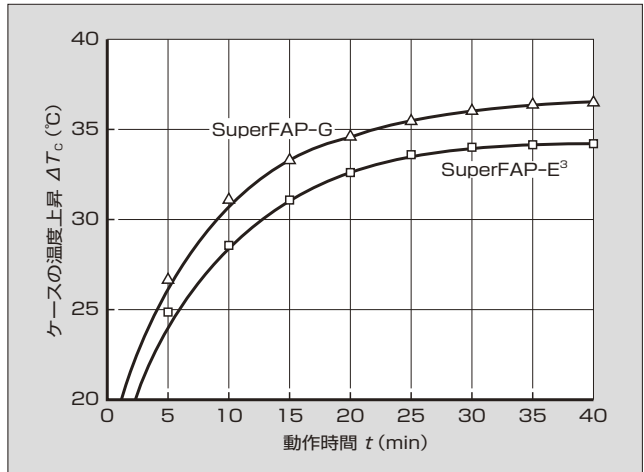
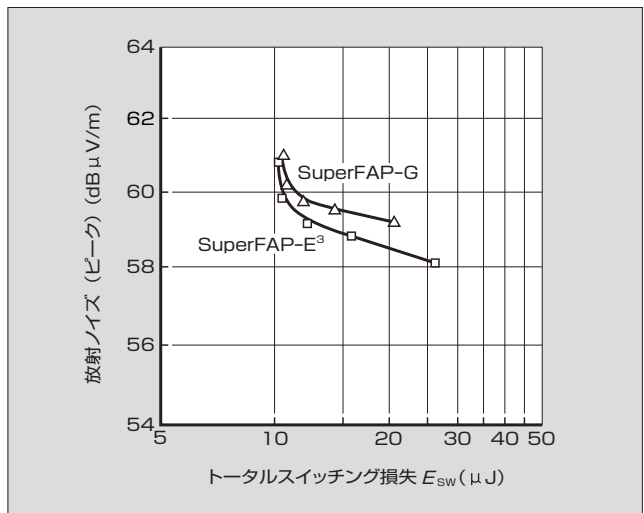


図 5 放射ノイズ-スイッチング損失特性 (オープンフレーム状態)



4.1 温度上昇の比較

図 4 に市販の液晶テレビのスイッチング電源オフラインコンバータでの通電時間と素子表面温度上昇の関係を示す。ドライブ条件としてドレイン電圧のターンオフ dv/dt をそろえるためにゲート抵抗を調整しているが、SuperFAP-E³ では従来品と比較して素子の表面温度が約 2℃ 低減している。

4.2 スwitching特性と放射ノイズの検証

図 5 にオープンフレーム状態の一般的な電源におけるスイッチング損失と放射ノイズの関係を示す。SuperFAP-E³ は従来品と比較して、スイッチング損失とドレイン電圧のスイッチング dv/dt のトレードオフが改善されて、かつ実機で使われる現実的なゲート抵抗の範囲において、放射ノイズの変化量が大きくなっており、ゲート抵抗によるドレイン電圧のスイッチング dv/dt 制御性が向上している。

図6 模擬回路構成

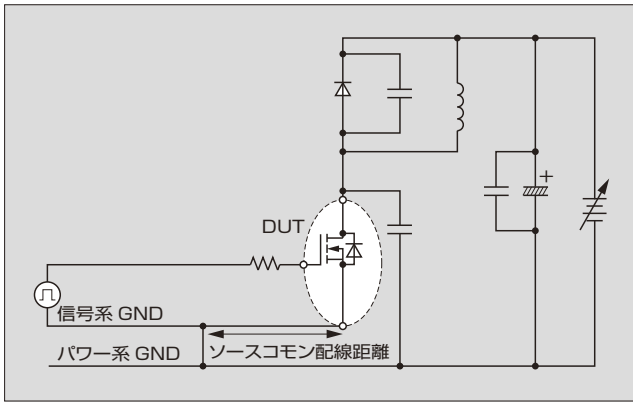
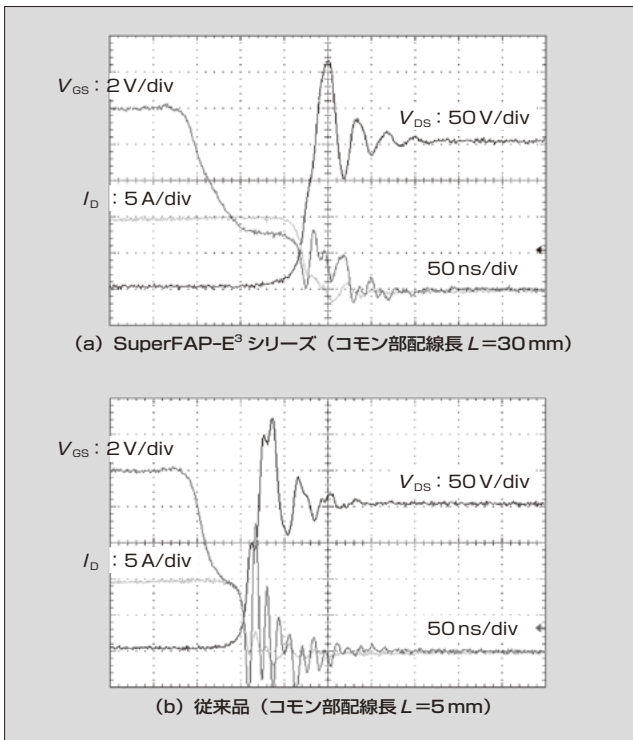


図7 模擬回路におけるソースコモン配線とリンギング現象



4.3 V_{GS} リンギングの比較

図6に模擬回路の構成、図7に模擬回路におけるターンオフ波形を示す。SuperFAP-E³は従来品と比較して、ソースコモン配線距離を6倍程度に長くしても、同等レベル以下のゲート-ソース間電圧 (V_{GS}) リンギングおよび波形ひずみとなっている。

以上から、SuperFAP-E³では従来品と比較して基板レイアウトの自由度が向上し、誤動作の発生確率が低く抑えられ使いやすくなっていることが分かる。

5 あとがき

富士電機が新たに開発した低損失・低ノイズを実現するパワー MOSFET である「SuperFAP-E³ シリーズ」の特徴について紹介した。今回開発した活性セルおよび耐圧構造技術を用いた 500V、600V クラスの系列拡大の開発を今後早急に行っていく所存である。

参考文献

- (1) Kobayashi, T. et al. High-Voltage Power MOSFETs Reached Almost to the Silicon Limit. Proceedings of ISPSD'01. 2001, p.435-438.
- (2) 山田忠則ほか. 低損失・超高速パワー MOSFET 「SuperFAP-G シリーズ」. 富士時報. vol.74, no.2, 2001, p.114-117.
- (3) 徳西弘之ほか. パワー MOSFET 「SuperFAP-G シリーズ」とその適用効果. 富士時報. vol.75, no.10, 2002, p.593-597.