

# 第5世代 PDP アドレスドライバ IC

野見山 貴弘 (のみやま たかひろ)

福知 輝洋 (ふくち あきひろ)

若林 孝昌 (わかばやし たかまさ)

## 1 まえがき

PDP (Plasma Display Panel) テレビや液晶テレビをはじめとする薄型テレビの需要は依然として強く、市場は今後も拡大していく見込みである。この市場の中でコスト構造の違いにより、大まかに 40 インチ以上は PDP テレビ、それ以下は液晶テレビとすみ分けられてきたが、近年では液晶パネルメーカーの積極的な投資により、液晶テレビにおいては大型化・高精細化と低コスト化が実現され、PDP テレビとの競争は年々激しくなっている。直近の PDP テレビの最大の課題としては、高精細なパネルを低コストで提供することである。

この課題に対して大きな役割を担うキーデバイスの一つとして PDP アドレスドライバ IC (以下、アドレス IC と略す) が挙げられる。アドレス IC はパネルの縦方向の電極を制御するために使用数が多く、コストへの影響が大きい。例えば、フル HD (High Definition) パネル (解像度 1,920 × 1,080) では 1 台あたり 192 チャンネルのアドレス IC を 60 個も使用しており、アドレス IC の低コスト化が強く要求されていると同時に高機能化や低消費電力化も求められている。

このような背景のもと、富士電機では第5世代のアドレス IC 技術を新たに確立し、高機能化と同時に大幅な低コスト化を達成した。

本稿では、第5世代アドレス IC 技術と製品の概要について紹介する。

## 2 プロセス・デバイス技術

富士電機では、従来からアドレス IC には、埋込みエピソードキシャルウェーハを用いた pn 接合分離技術<sup>(1)~(6)</sup>を適用しており、高性能で低価格な製品を供給してきた。今回、さらなる高機能化・低価格化要求に応えるために、プロセスの微細化とチップ小型化を目的とした新規プロセス・デバイス技術を開発した。

### 2.1 プロセス技術

今回開発したプロセス技術の特徴は以下のとおりである。

#### (1) 0.35 μm ルールロジック

③章(1)で述べるように、アドレス IC にはロジック部の高速動作化が要求されている。このため従来は 0.5 μm ルールであったが、0.35 μm ルールの微細化技術を開発した。この微細化技術の適用により、高速化と同時に IC を従来比で 10% 小型化することも可能となった。

#### (2) 90 V 最大定格の CDMOS (Complementary Double-diffused Metal-Oxide-Semiconductor) プロセス

アドレス IC の実際の動作電圧は 60 ~ 70 V であるため、90 V の最大定格を保証する必要がある。

#### (3) 4 層メタル配線

アドレス IC は 1 出力あたり 50 mA 以上、出力数は 192 以上と大電流を必要とすることから、電源・GND 配線幅は重要な設計項目の一つである。近年のアドレス IC はロジックデバイスの微細化ももちろんのことであるが、高耐圧デバイスの縮小化が進んでいるために、従来の 3 層配線では、電源・GND 配線幅の確保が困難となっていた。そのため第5世代 IC では、4 層メタル配線プロセスを適用することにより配線幅を確保している。また、セミスリムタイプ<sup>(5), (6)</sup>のレイアウトにおいて、複数層の電源・GND 配線を用いることで図 1 のように長手方向の端部を縮小することもできた。4 層化に伴う工程増加はあるが、IC 全体のレイアウトを最適化することでチップ小型化による低コスト化の効果が得られている。

### 2.2 高耐圧デバイス技術

PDP ドライバ IC では、高耐圧デバイスによって構成された出力回路がチップ面積の 50% 以上を占めることもあるため、チップの小型化には高耐圧デバイスの小型化が必須となる。また、フル HD パネルのような高精細な PDP では、アドレス電極の間隔が狭くなるために電極間容量が増大する傾向にある。一方でアドレス IC の出力スイッチング時間は短くなる傾向にあるために、出力電流値は今後増加させる必要がある。このため出力デバイスの単位面積



野見山 貴弘

CMOSIC の開発に従事。現在、富士電機デバイステクノロジー株式会社半導体事業本部情報・電源事業部技術部。SID 会員。



福知 輝洋

高耐圧デバイスの開発に従事。現在、富士電機デバイステクノロジー株式会社半導体事業本部情報・電源事業部技術部。電子情報通信学会会員。



若林 孝昌

CMOSIC のプロセス開発に従事。現在、富士電機デバイステクノロジー株式会社電子デバイス研究所プロセス開発部。

図1 4層配線化に伴うチップの小型化(模式図)

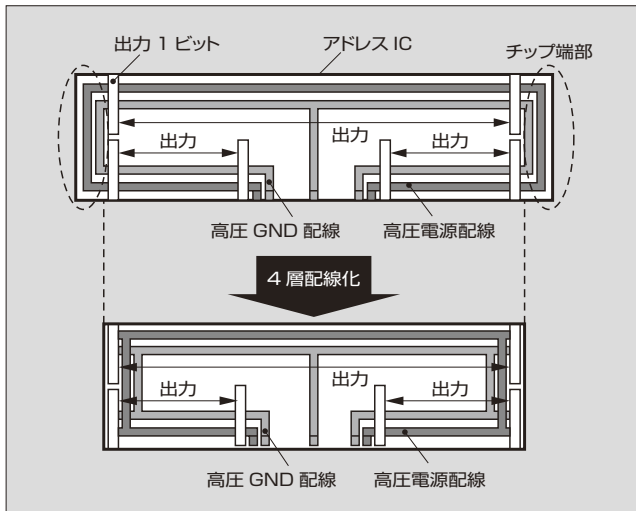
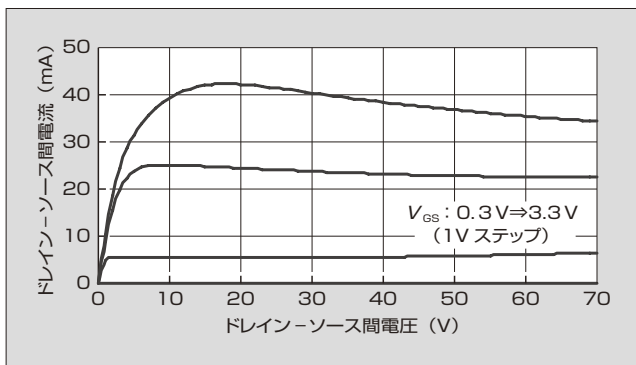


図2 高耐圧NMOSの電流・電圧特性



あたりの飽和電流値はアドレスICのチップ面積、つまりはコストに直接関係するため、非常に重要な特性である。

今回、高耐圧デバイスとして、70Vのスイッチング動作を保証する横型のnチャネルMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) (以下、NMOSという)とpチャネルMOSFET (以下、PMOSという)を第5世代アドレスICプロセスに合わせて開発した。両デバイスともに、従来と比べて単位素子あたりの電流駆動能力を向上させることでチップの小型化に貢献している。

図2、図3に今回開発したNMOSとPMOSの電流・電圧波形を示す。素子の低オン抵抗化による活性領域の面積縮小により、チップサイズの小型化を実現した。低オン抵抗化に対しては、チャンネル抵抗・ドレインオフセット抵抗の低減を目的に、以下の項目に取り組んだ。

- (1) ゲート酸化膜薄膜化 (NMOS)
- (2) ドレインオフセット低抵抗化 (PMOS)
- (3) チャンネル長の縮小 (NMOS)

この結果、オフ耐圧やESD (Electrostatic Discharge) 耐量などの特性を低下させることなく、単位面積あたりの電流値を第4世代のデバイスに対し、NMOSで10%、PMOSで8%増加させることができた。

図3 高耐圧PMOSの電流・電圧特性

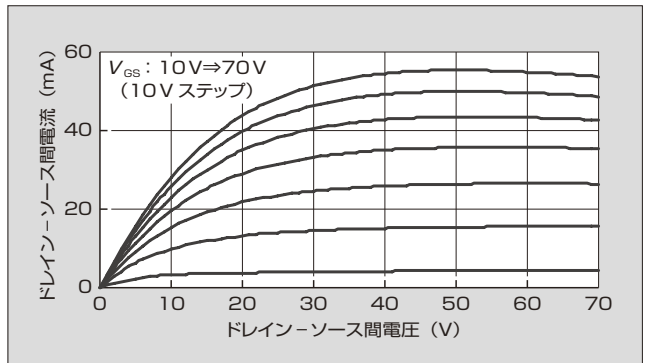
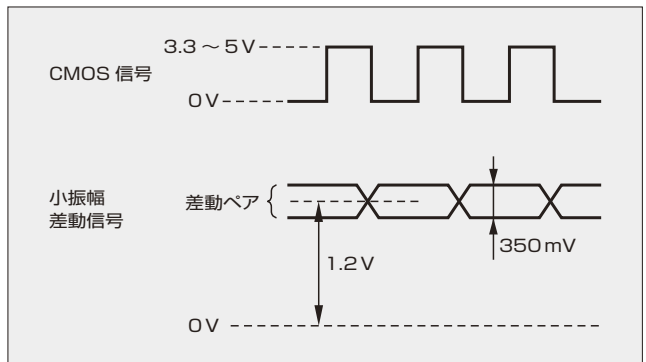


図4 CMOS信号と小振幅差動信号の比較



### ③ 高速データ伝送技術

第5世代PDPアドレスICでは小振幅差動信号のレシーバ回路を内蔵しており、画像処理用ASIC (Application Specific IC) からのデータ・クロック信号の伝送を高速化することが可能となった。なお、データ・クロック以外の入力信号は高速化の必要がないため、従来のCMOS (Complementary MOS) インタフェースである。データ・クロックのインタフェースを変更することで、以下の三つのメリットがある。

#### (1) データ伝送時間の短縮

アドレスICのデータ伝送時間は数百nsと限られている。近年では高精細化のためアドレスICの出力周波数を高くする傾向にあり、これに伴い入力側のデータ伝送時間も短くする必要がある。このために高速でデータ伝送できることが要求されている。

#### (2) 低コスト化

信号線1本あたりのデータ伝送速度が速ければバスライン数を削減できるため、低コスト化の効果もある。小振幅差動信号を用いることにより、CMOSインタフェースと比べてPDP1台あたり10本以上のバスライン削減が可能となる。

#### (3) 低EMI化、耐ノイズ性の向上

従来のCMOS信号の3.3~5Vの大振幅に比べて小振幅の小振幅差動信号(数百mV)であるために(図4)、数十cmにもなるデータバスラインからのEMI (Electro-

magnetic Interference) が抑えられる。さらに差動信号であるために、従来のCMOS信号と比べてコモンモードノイズ耐性が向上している。

小振幅差動信号レシーバ回路はコンパレータ(比較)回路と増幅回路から構成されている。小振幅差動信号レシーバは差動-CMOSのレベル変換回路である。低電流駆動である差動信号は終端抵抗で電圧に変換され、コンパレータによりHまたはLと判断され、ICの中へと伝送される。

PDPドライバでは出力のレベルはH、Lの2値であり、液晶パネルのソースドライバICのような階調出力ではないために、シリアル-パラレル変換回路は搭載していない。第5世代アドレスICでは、一つの作動ペア入力につき200Mbit/s以上のレートでデータ伝送が可能である。

4 第5世代アドレスIC製品の概要

ここでは前章までに述べた技術を適用した第5世代アドレスICの一例として「SFCE3276K」を紹介する。

ブロック図を図5に示す。入力部には2ペアの差動データ入力があり、チップとして400Mbit/s以上でのデータ伝送が可能である。回路構成としては入力部を除いて従来と同様であり、シフトレジスタ回路、ラッチ回路、高耐圧出力部H/L/Z(High/Low/High Impedance)制御用の

ゲート回路、低消費電流レベルシフト回路、出力プッシュプル回路から構成されている。

なお、入力部シフトレジスタは128ビットであり、IC内に2個のシフトレジスタを搭載している。

通常動作時の入力信号のタイミングチャートの例を図6に示す。クロックは立上り、立下りの両エッジでデータを取り込む。入力は2差動ペアであるため、各入力で128個のデータがシフトレジスタに入力された後、ラッチ信号によってゲート回路を通じて出力される。

第4世代の256出力ICとの比較を表1に示す。今回、0.35μmルールの適用により、ロジック部の最大定格は4V(通常動作時3.3V)となっている。SFCE3276Kはクロック+データ入力に必要なバスラインについては3本も削減され、最大クロック周波数は0.35μmルールの適用により60MHzから120MHzへと倍増している。出力部の特性は従来と同等の能力であり、軽負荷時のEMI対策として出力ゲート充放電コントロール回路を適用してある。

チップの外観を図7に示す。セミスリムタイプのレイアウトを採用しているためにICの長手方向の両側に出力があり、一方の中央部に入力端子および電源・GND端子が配置されている。各端子には金バンプ加工が施されている。

チップサイズに関しては、SFCE3276Kは従来と同等のPDP駆動能力を持つ製品と比較して30%の小型化を達成している。図8に富士電機製のアドレスICについて、1出力あたりのサイズを示す。第5世代アドレスICは、1出力あたりの面積で換算すると0.047mm<sup>2</sup>である。

図5 SFCE3276Kのブロック図

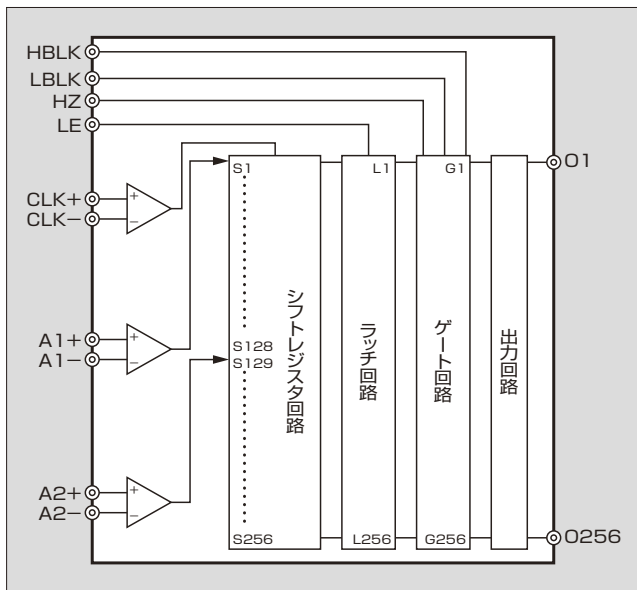


図6 入力信号のタイミングチャート

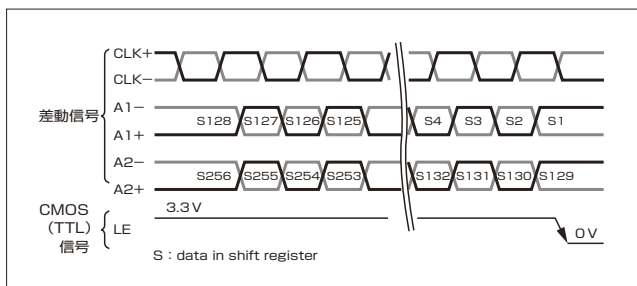


表1 第4世代ICと第5世代ICの仕様比較

項目	分類	第4世代IC <sup>(5)</sup>	第5世代IC (SFCE3276K)
最大定格 (ロジック部)		7V	4V
最大定格 (高圧部)		90V	90V
出力電流 (ソース/シンク)		-52mA/35mA	-52mA/35mA
データ入力 インタフェース		TTL (CMOS)	小振幅差動信号
データ+クロック 必要バスライン本数		9本	6本
最大クロック周波数		60MHz	120MHz
出力数		256	256
チップ形状		セミスリム	セミスリム
実装形態		TCP	TCP

図7 SFCE3276Kのチップ外観

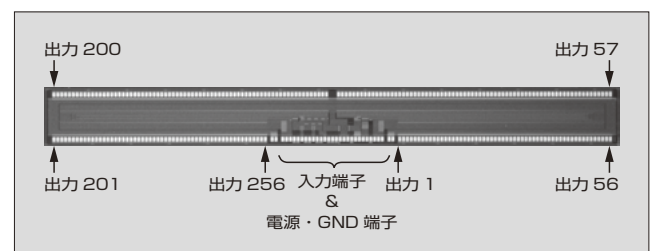
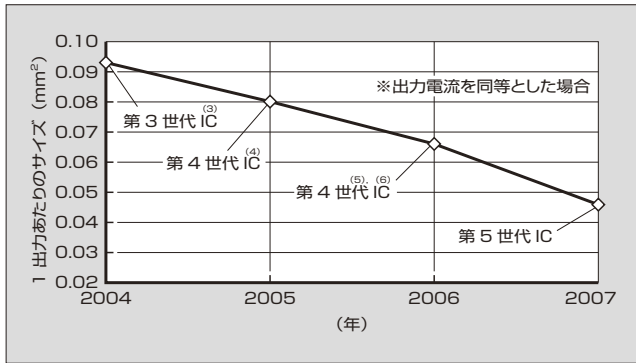


図8 富士電機製アドレスICの1出力あたりの面積



富士電機のアドレスICは過去3年間で約50%の小型化を達成し、近年のPDPテレビの急激な低価格化に対応している。富士電機ではPDPテレビのいっそうの低価格化に対応するため、第6世代のアドレスICを開発中であり、さらなる高機能化・低コスト化を進めていく予定である。

5 あとがき

富士電機の第5世代PDPアドレスICについて、高速データ伝送技術、チップ小型化技術の詳細、および製品と

して「SFCE3276K」を紹介した。この技術・製品開発によりPDPの高性能化と低価格化に対応可能となった。今後とも薄型テレビ市場でのPDPへの要求は厳しくなることが考えられるが、富士電機としてはさらなるPDPアドレスICの新技术・新製品開発を通じてPDPテレビの普及に貢献していく所存である。

参考文献

- (1) 野口晴司ほか、第二世代PDPアドレスドライバIC、富士時報、vol.74, no.10, 2001, p.574-577.
- (2) Meguro, K. et al. Advances of Driver IC Technique for PDP. Proc. International Display Workshop '02. 2002, p.733-736.
- (3) 多田元ほか、PDPアドレスドライバIC技術、富士時報、vol.76, no.3, 2003, p.172-174.
- (4) 川村一裕ほか、PDPアドレスドライバIC、富士時報、vol.78, no.4, 2005, p.299-302.
- (5) Nomiyama, T. et al. New 256-ch PDP Address Driver IC with Reducing Switching Noise. Proc. International Display Workshop '05. vol.1, p.453-456.
- (6) 野見山貴弘ほか、256ビットPDPアドレスドライバIC、富士時報、vol.79, no.5, 2006, p.390-393.

