

第6世代パワー MOSFET 「SuperFAP-E³ 900V シリーズ」

久保山 貴博 (くぼやま たかひろ)

山田 忠則 (やまだ ただのり)

新村 康 (にいむら やすし)

特集

① まえがき

地球温暖化やエネルギー資源の減少などの環境問題が社会問題としてクローズアップされる昨今、電子機器はいっそうの省エネルギー化、省資源化が求められている。これに伴い、電子機器に搭載されるスイッチング電源にも、高効率化による低消費電力化や部品点数削減などによる回路の簡素化、低ノイズ化が重要課題となっている。

特に高効率化要求は、国際エネルギー省プログラム^(注1)や欧州連合の EuP 指令^(注2)により電子機器の省電力化プログラムの基準が整備され、デスクトップパソコン向けのスイッチング電源には、平均効率 85% (85PLUS) が求められるなど、従来以上の高効率化が要求されている。使用される電子デバイスも低損失化を図り、高効率化に寄与することが必要となっている。

富士電機では、これまで低オン抵抗と超高速スイッチング特性を両立させ低損失化を実現した第5世代パワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 「SuperFAP-G シリーズ」を 100 ~ 900V 耐圧にてラインアップし、電子機器の高効率化に貢献してきた。

今回、さらに低損失特性と低ノイズ特性を両立した第6世代パワー MOSFET 「SuperFAP-E³ 900V シリーズ」を

<注1> 国際エネルギー省プログラム：OA 機器の省エネルギーのための国際的な環境ラベリング制度。経済産業省と米国環境保護庁の相互承認の下で運営している。

<注2> 環境配慮設計に関する EU (欧州連合) の指令

開発したので、その特長を紹介する。

② 製品の概要

表1に今回開発中の SuperFAP-E³ 900V シリーズの代表機種と従来製品との主な特性比較を示す。今回開発したシリーズでは、単位面積あたりのオン抵抗改善 (約 10%) と TO-220F パッケージへの搭載チップサイズの拡大 (約 30%) により、TO-220F で従来よりオン抵抗が約 36% 低くなっている。

表2に、今後系列化予定の型式と代表特性を示す。

③ 設計施策

900V 耐圧の MOSFET が主に使用されるデスクトップパソコンやパソコンサーバなどのスイッチング電源に対する市場ニーズおよび MOSFET に対する要求をまとめると

表1 SuperFAP-E³と従来品の特性比較
(TO-220Fパッケージ最大チップでの比較)

系 列	SuperFAP-E ³	SuperFAP-G (従来品)
型 式	FMV11N90E	2SK3679-01MR
パッケージ	TO-220F	TO-220F
V _{DS}	900V	900V
I _D	±11A	±9A
V _{GS(th)}	4±0.5V	4±1.0V
R _{DS(on)max}	1.0Ω	1.58Ω

表2 SuperFAP-E³ 900Vシリーズの製品一覧

耐圧 BV _{DSS}	定格電流 I _D	オン抵抗 R _{DS(on)}	パッケージ				
			TO-220	TO-220F	T-pack (D2-pack)	TO-3P (N)	TO-3PF
900V	11A	1.0Ω	—	FMV11N90E	—	FMH1N90E	FMR11N90E
	9A	1.4Ω	FMP09N90E	FMV11N90E	FMB09N90E	FMH09N90E	FMR09N90E
	6A	2.5Ω	FMP06N90E	FMV05N90E	FMB06N90E	—	—



久保山 貴博

パワー MOSFET の開発・設計に従事。現在、富士電機デバイステクノロジー株式会社半導体開発営業本部開発統括部ディスクリート・IC 開発部。



山田 忠則

パワー MOSFET の開発・設計に従事。現在、富士電機デバイステクノロジー株式会社半導体開発営業本部開発統括部ディスクリート・IC 開発部。



新村 康

パワー半導体素子の開発・設計に従事。現在、富士電機デバイステクノロジー株式会社半導体開発営業本部開発統括部デバイス技術部。

表3 のようになる。

低損失（高効率）化には低オン抵抗化と低スイッチング損失化が必要である。国際エネルギースタートプログラムの適合基準では、20%、50%、100% 負荷の平均効率の高効率化を要求しており、重負荷時の効率向上のために低オン抵抗化、軽負荷時の効率向上のために低スイッチング損失化を両立する必要がある。また従来の SuperFAP-G シリーズは、スイッチングスピードが速く低損失であったが、放射ノイズや MOSFET の誤動作の要因となるゲートソース間電圧 V_{GS} のリングングが大きかった。この V_{GS} リングングを抑制するためにゲート抵抗を大きくすると、スイッチング損失が大きくなる。すなわち、スイッチング損失と V_{GS} リングングの間にはトレードオフの関係があり、これを改善し低損失化を図ることが重要である。

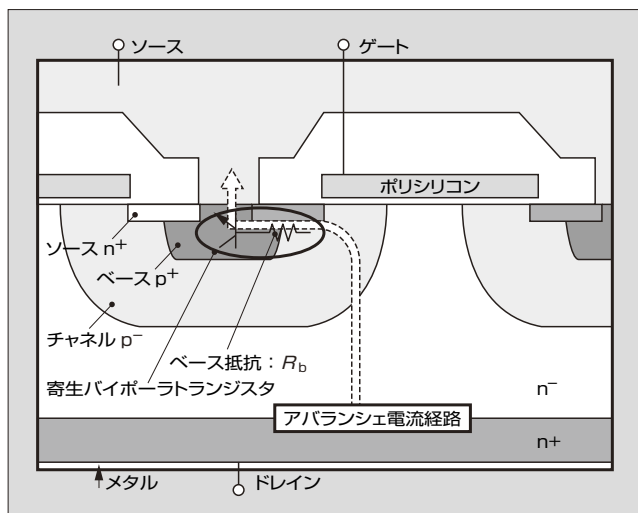
また、壊れにくいデバイスとするためには、電源の起動時など非定常動作時に生じるドレイン電圧の跳上りにより MOSFET がアバランシェ降伏してもアバランシェ電流により破壊しないことが重要である。

使用される電源は、電子機器の設計やメーカーごとに回路の基板レイアウトや配線長が異なっている。電源の誤動作の要因となりうる MOSFET の V_{GS} リングングは、基板の配線長が長くなると増幅する傾向がある。このため、チップ構造を工夫し MOSFET の V_{GS} リングングを抑制する必要がある。

表3 スwitching電源の市場ニーズとMOSFETへの要求特性 (デスクトップパソコン電源向け)

スイッチング電源の市場ニーズ	MOSFETへの要求特性
低損失（高効率）	○低オン抵抗 ○スイッチング損失の低減
壊れにくい	○高アバランシェ耐量
使いやすい (基板レイアウトがしやすい)	○回路パターンや配線の影響を受けにくい ○ソース共通配線が長くても V_{GS} リングングが発生しにくい

図1 アバランシェ電流経路



3.1 活性部セル設計

500 ~ 600 V 耐圧の SuperFAP-E³ シリーズでは、従来の SuperFAP-G シリーズに比べ低抵抗なウェーハを適用し低オン抵抗化を図ってきた。今回の 900 V 耐圧シリーズでも同様に、より低抵抗ウェーハを適用している。しかし低抵抗化はバランシェ耐量とトレードオフの関係にある。そこで、アバランシェ耐量を向上させる施策として、アバランシェ電流が流れ込む寄生バイポーラトランジスタの動作の抑制、アバランシェ時の各セル間の不均一の解消の2点を実施した。

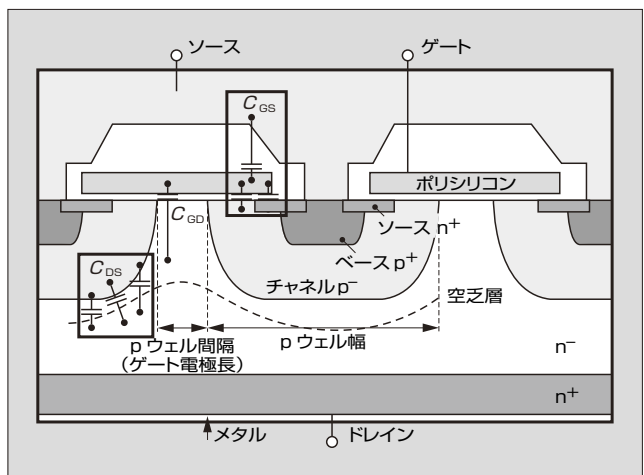
富士電機では SuperFAP-G シリーズより平面 pn 接合に近い擬平面接合構造を適用している。この構造で低抵抗なウェーハを適用すると、アバランシェ破壊時に寄生バイポーラの動作がより顕在化することが破壊波形から確認できた。図1にアバランシェ電流の経路を示す。この中でソース n⁺ 領域の横方向長さがバイポーラトランジスタのベース抵抗 R_b となっている。そこで、ソース n⁺ 領域の横方向を短くし、寄生バイポーラトランジスタのベース抵抗 R_b を低減させ、バイポーラトランジスタの動作を抑制し、アバランシェ耐量を向上させた。

さらに、活性部内セルのゲート抵抗が均一になるようにゲートランナーを追加し、各セル間の不均一を解消した。これにより、各セル間の内蔵ゲート抵抗の違いによるスイッチング特性のばらつきを抑え、アバランシェ突入時に特定セルだけにアバランシェ電流が集中するのを防ぎアバランシェ耐量を向上させた。

これらの施策により、低抵抗なウェーハを適用しても、従来品に対し約2倍のアバランシェ耐量を達成した。

低損失化と使いやすさを達成するため、スイッチング損失と V_{GS} リングングとのトレードオフを改善する必要がある。 V_{GS} リングングを抑制するためにはゲートドレイン間容量 C_{GD} を大きくする必要があるが、これはスイッチング損失を大きくしてしまう。そこで、ドレインソース間容量 C_{DS} との比率 C_{GD}/C_{DS} を SuperFAP-G より大きくし、トレードオフの改善を図った。図2にパワー

図2 パワー MOSFET の断面図とその等価回路



MOSFET の断面図とその等価容量を示す。C_{GD} は p ウェル間隔 (ゲート電極長), C_{DS} は p ウェル幅で決まる。C_{GD} を大きくするため p ウェル間距離を長くすると, pn 接合の擬平面状態が崩れ, 耐圧が低下しオン抵抗特性が悪くなる。そこで, p ウェル幅を極小化し, C_{GD}/C_{DS} の比率を大きくし, かつ単位距離におけるセル数を増加し, オン抵抗特性も改善した。この結果, SuperFAP-G の低スイッチング損失特性を確保しつつ, 単位面積あたりの C_{GD} を従来の 2~3 倍とし V_{GS} リンギング特性とのトレードオフを改善した。

3.2 耐圧構造設計

500 ~ 600 V 耐圧の SuperFAP-E³ シリーズと同様に,

図3 アバランシェ耐量 (破壊電流値)

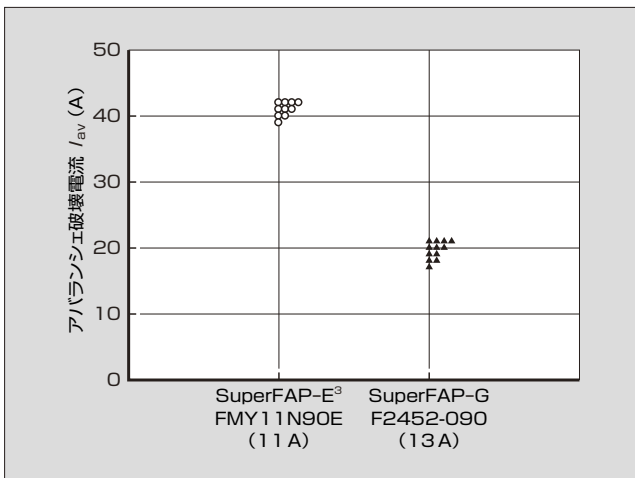
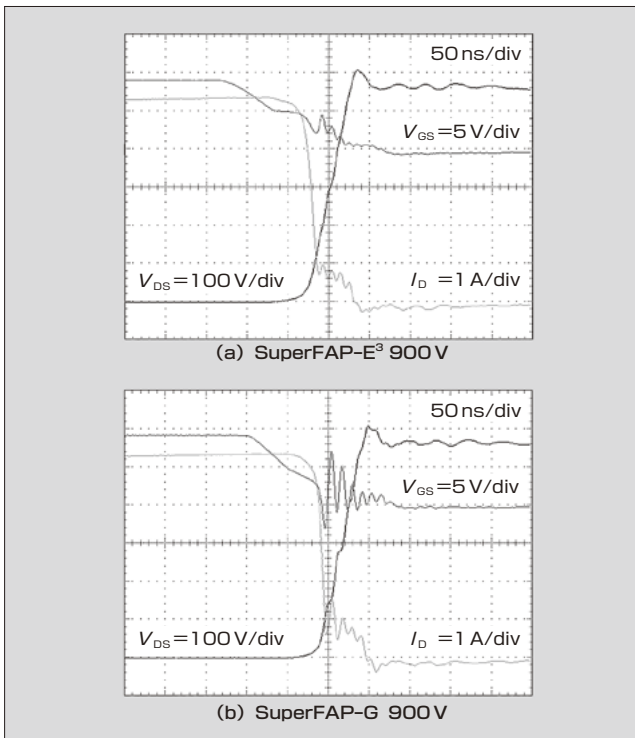


図4 デスクトップパソコン用スイッチング電源におけるターンオフ波形 (同一ドライブ条件)



単位長あたりの発生耐圧向上をねらうため, ガードリング構造の最適化を行った。さらに, 900 V シリーズでは, 拡散深さを最適化し, 電圧を持たせるためのエッジ部分の幅を短くしている。この結果, 高耐圧・高信頼性を確保したままエッジ長を SuperFAP-G の約 60% とし, チップサイズシュリンクを図っている。

4 SuperFAP-E³ の効果と電源への応用例

SuperFAP-E³ 900 V は, 高アバランシェ耐量で, 低スイッチング損失と低 V_{GS} リンギング性とのトレードオフを改善している。以下に SuperFAP-G との比較を示す。

4.1 アバランシェ耐量の比較

図3 に, アバランシェ耐量 (破壊電流値) を示す。同一オン抵抗品で, SuperFAP-E³ 900 V のアバランシェ耐量は約 2 倍となっている。

SuperFAP-G シリーズの一部型式では, アバランシェ保証電流を定格の 50% に低減していたが, SuperFAP-E³ 900 V シリーズでは, 全型式において定格電流保証している。

4.2 スwitching損失と V_{GS} リンギングの比較

市販のデスクトップパソコン用のスイッチング電源

図5 損失比較 (同一ドライブ条件)

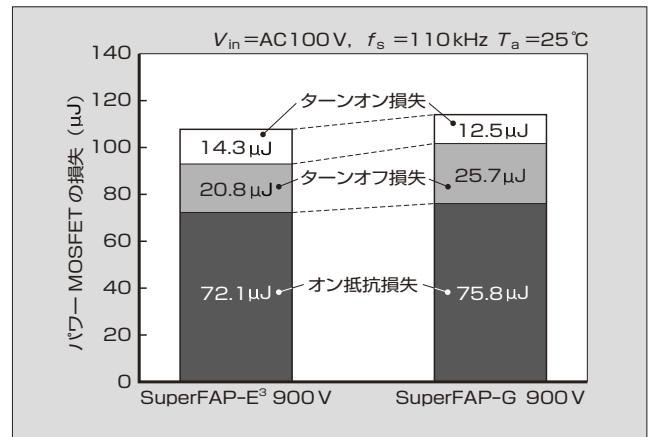


図6 模擬回路構成

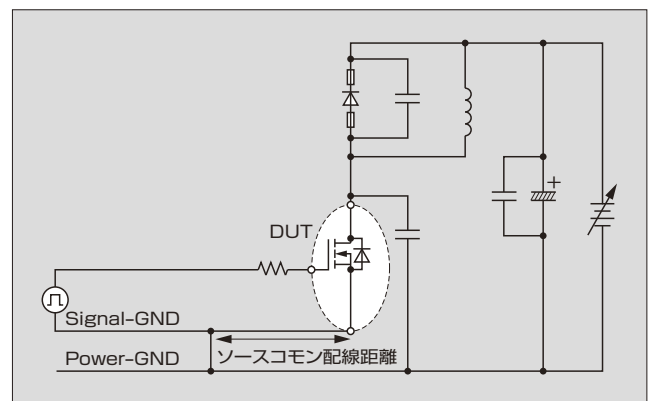
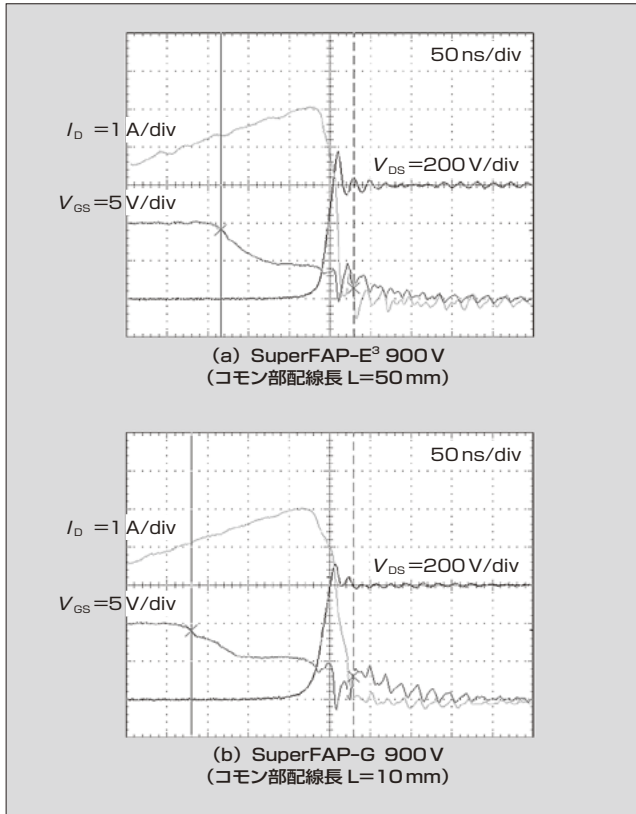


図7 模擬回路におけるソースコモン配線長とリングング現象



のメインコンバータにおけるターンオフ時の動作について、図4に比較波形を、図5に損失比較の結果を示す。図4のV_{GS}波形に見られるように、SuperFAP-E³ 900VはSuperFAP-Gと比較して、ターンオフの時のV_{GS}振幅が大幅に低減され、リングングはほとんど見られない。ドレイン-ソース間電圧V_{DS}についても波形のひずみが見られなくなり、大幅に改善している。V_{GS}リングング性とトレードオフの関係にあるスイッチング損失についても、SuperFAP-Gに対し約8%低減しており、業界トップク

ラスの低スイッチング損失特性を達成した。

4.3 V_{GS} リングングの比較

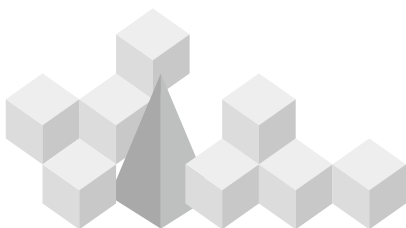
図6に模擬回路の構成、図7に模擬回路におけるターンオフ波形を示す。SuperFAP-E³ 900VはSuperFAP-Gと比較してソース-コモン配線距離を5倍程度に長くしても、同等レベルのV_{GS}リングングおよび波形のひずみとなっている。このことより、SuperFAP-E³ 900VはSuperFAP-Gと比較して基板レイアウトの自由度が向上し、電源メーカーにとって使いやすいデバイスとなっている。またMOSFETの誤動作を抑制しMOSFETおよび周辺デバイスの破壊を防いでいる。

5 あとがき

富士電機が新たに開発した第6世代パワー MOSFET「SuperFAP-E³ 900V シリーズ」について、高アバランシェ耐量、低損失、低V_{GS}リングング性といった特長を紹介した。今後、今回開発した活性セルおよび耐圧構造部の設計・製造技術を用いて、700～900V耐圧の製品系列化を行っていく所存である。

参考文献

- (1) Kobayashi, T. et al. High-Voltage Power MOSFETs Reached Almost to the Silicon Limit. Proceedings of ISPSD '01. 2001, p.435-438.
- (2) 山田忠則ほか. 低損失・超高速パワー MOSFET「SuperFAP-G シリーズ」. 富士時報. vol.74, no.2, 2001, p.114-117.
- (3) 徳西弘之ほか. パワー MOSFET「SuperFAP-G シリーズ」とその適用効果. 富士時報. vol.75, no.10, 2002, p.593-597.
- (4) 原幸仁ほか. 第6世代 MOSFET「SuperFAP-E³ シリーズ」. 富士時報. vol.80, no.6, 2007, p.432-435.





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。