

第6世代パワー MOSFET 「SuperFAP-E^{3S} 低 Q_g シリーズ」

荒木 龍 (あらかき りゅう)

原 幸仁 (はら ゆきひと)

渡邊 荘太 (わたなべ そうた)

特集

1 まえがき

近年、環境対策への取組みは温室効果ガス削減目標と同時に、ASEAN, BRICs を代表とする新興国の経済成長に伴う将来的なエネルギー需給動向を背景として、省エネルギー化の動きが加速している。特に、急速に普及する各種電子機器の消費電力に対する省エネルギー化の動きは、国際エネルギースタートプログラム^(注)により電力効率の向上が規制化され、これらに電力を供給するスイッチング電源の高効率化に対する要求がますます高まっている。さらには、各種ノイズ規制に対応するため、低ノイズ化要求への対応も必要不可欠となっている。

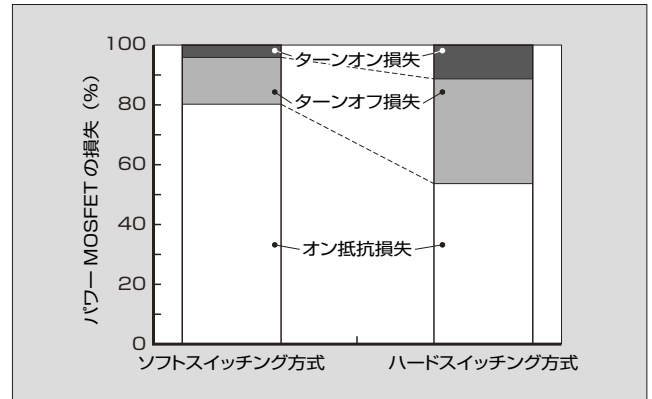
そこで、これらの要求に対応するべくスイッチング電源に搭載されるパワーデバイスへの要求は低損失かつ低ノイズであり、加えて壊れにくく使いやすいことが求められている。

スイッチング電源は現在までさまざまな変換方式が提案され、メインコンバータ部には電流共振コンバータ、擬似共振コンバータなどのソフトスイッチング方式が増加してきているものの、従来方式であるフライバック方式、フォワード方式、および力率改善回路 (PFC: Power Factor Correction) においてはハードスイッチング方式が数多く使われている。図1に両者の方式におけるパワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) の損失分析結果を示す。ソフトスイッチング方式ではオン抵抗損失が支配的となるため低オン抵抗特性のデバイスが求められる。一方でハードスイッチング方式では損失の大半をオン抵抗損失とターンオフ損失が占めるため、この回路に適用されるパワーデバイスには低オン抵抗による低損失化と同時に、スイッチング性能の向上が求められる。

富士電機では、これまでスイッチング電源の高効率化、

〈注〉国際エネルギースタートプログラム: OA 機器の省エネルギーのための国際的な環境ラベリング制度。経済産業省と米国環境保護庁の相互承認の下で運営している。

図1 ソフトスイッチング方式、ハードスイッチング方式におけるパワー MOSFET の損失分析結果



低ノイズ化を実現するパワー MOSFET として低オン抵抗による低損失化と低ノイズ特性を両立した「SuperFAP-E^{3S} シリーズ」を汎用系列としてラインアップしてきた。

今回、PWM (Pulse Width Modulation)-IC (ハードスイッチング方式) 向けに従来シリーズの特徴である低オン抵抗特性、低ノイズ性能とゲート抵抗制御性はそのままに、スイッチング性能の改善を図った第6世代パワー MOSFET 「SuperFAP-E^{3S} 低 Q_g シリーズ」の開発を行った。以下にその特徴と適用効果について紹介する。

2 製品の概要

今回、開発した SuperFAP-E^{3S} 低 Q_g シリーズは PWM-IC (ハードスイッチング方式) 向けとして、既存の SuperFAP-E³ シリーズのプレーナ型での業界最小の低オン抵抗性能を持ったまま、ゲートチャージ特性 Q_g を従来比で約 20% 低減させ、スイッチング損失の低減を実現している。表1は新製品の代表的な電気的特性と従来シリーズとの比較を示す。図2に製品の外観を、表2に 500V, 600V 耐圧における系列化一覧を示す。以下に具体的な設計施策について述べる。



荒木 龍

パワー MOSFET の開発・設計に従事。現在、富士電機デバイステクノロジー株式会社半導体開発営業本部開発統括部ディスクリート・IC 開発部。



原 幸仁

パワー MOSFET の開発・設計に従事。現在、富士電機デバイステクノロジー株式会社半導体開発営業本部開発統括部ディスクリート・IC 開発部。



渡邊 荘太

パワー半導体素子の開発・設計に従事。現在、富士電機デバイステクノロジー株式会社半導体開発営業本部開発統括部デバイス技術部。

特集

③ 適用技術

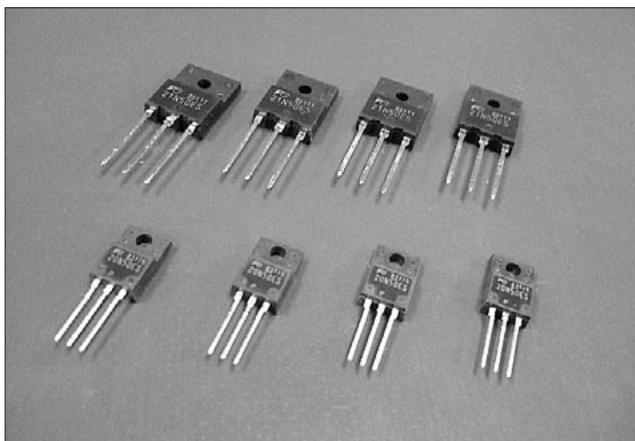
SuperFAP-E^{3S}低Q_gは従来のSuperFAP-E³における“低オン抵抗特性による低損失、低ノイズ特性、かつ壊れにくくて使いやすい”というコンセプトのもと、さらにスイッチング特性の向上をねらった製品である。

ターンオフ損失を低減してスイッチング性能向上するた

表1 特性比較

	SuperFAP-E ^{3S} 低Q _g シリーズ	SuperFAP-E ³ シリーズ (従来製品)
型 式	FMV23N50ES	FMA23N50E
パッケージ	TO-220F	TO-220F
V _{DS}	500V	500V
I _D	23A	23A
R _{DS(on)max}	0.245Ω	0.245Ω
V _{GS}	4.2V (typ)	3V (typ)
g _{fs}	16S (typ)	28S (typ)
Q _G	76nC (typ)	93nC (typ)

図2 新製品外観



めに低Q_g化を行った。さらに、ターンオン時の突入電流によるノイズ低減のためにゲイン特性であるg_{fs}を低減した。

そこで、Q_gとg_{fs}を低減する施策として、ゲート酸化膜厚の厚膜化を行っている。ゲート酸化膜を厚膜化させていくとゲートしきい値電圧V_{GS(th)}が上昇し、オン抵抗が増加するので、スイッチング性能向上と低オン抵抗特性の両立化が図れなくなる。オン抵抗を悪化させない範囲で厚膜化を行う必要がある。一般的なスイッチング電源用PWM-ICの駆動電圧が10V以上であることを考慮し、従来比約30%の厚膜化とした。また、ゲート酸化膜を厚膜化すると拡散形状が変わり、SuperFAP-E³と同等レベルの擬平面接合(QPJ: Quasi-Plane-Junction)構造が維持できなくなり、耐圧が低下してしまう。よって、この対策として表面n層の濃度の最適化とチャンネルp拡散層の最適化により従来と同等の耐圧を確保している。

以上の設計により、図3に示すようにゲートチャージQ_gを従来比で約20%低減できた。さらに、g_{fs}低減の施策として、QPJ構造を維持したまま、チャンネル密度を下げ表面構造の最適化を行うことにより図4に示すようにゲイン特性は従来比で約40%低減している。

図3 Q_g比較

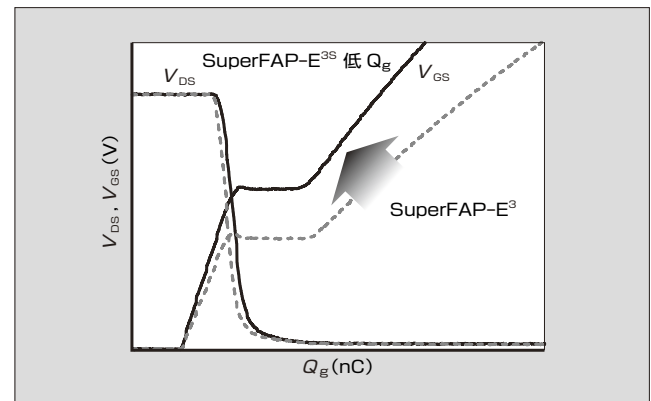


表2 SuperFAP-E^{3S}低Q_gシリーズの製品一覧

耐圧 BV _{DSS}	定格電流 I _D	オン抵抗 R _{DS(on)}	ゲート チャージQ _g	パッケージ				
				TO-220	TO-220F	T-pack	TO-3P	TO-3PF
500V	12A	0.52Ω	36nC	FMP12N50ES	FMV12N50ES	FMI12N50ES	—	—
	16A	0.38Ω	48nC	FMP16N50ES	FMV16N50ES	FMI16N50ES	FMH16N50ES	—
	20A	0.31Ω	59nC	FMP20N50ES	FMV20N50ES	FMI20N50ES	—	—
	21A	0.27Ω	66nC	—	FMV21N50ES	—	FMH21N50ES	FMR21N50ES
	23A	0.245Ω	72nC	—	FMV23N50ES	—	FMH23N50ES	FMR23N50ES
	28A	0.19Ω	100nC	—	FMV28N50ES	—	FMH28N50ES	FMR28N50ES
600V	6A	1.2Ω	27nC	FMP06N60ES	FMV06N60ES	FMI06N60ES	—	—
	12A	0.75Ω	37nC	FMP12N60ES	FMV12N60ES	FMI12N60ES	—	—
	16A	0.47Ω	58nC	FMP16N60ES	FMV16N60ES	FMI16N60ES	—	—
	17A	0.40Ω	69nC	—	FMV17N60ES	—	FMH17N60ES	FMR17N60ES
	19A	0.365Ω	81nC	—	FMV19N60ES	—	FMH19N60ES	FMR19N60ES
	23A	0.28Ω	100nC	—	—	—	FMH23N60ES	FMR23N60ES

図4 g_{fs} 比較

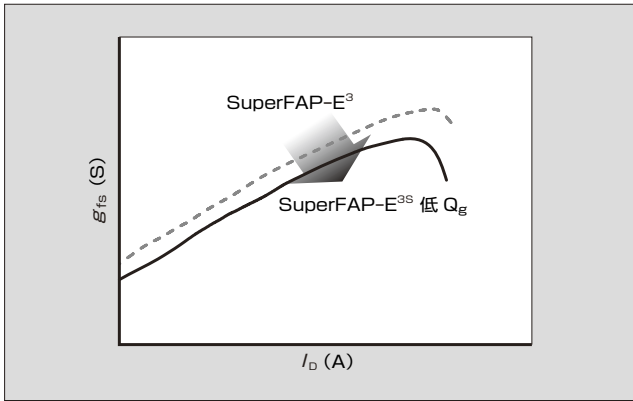


図5 ターンオフ損失 E_{toff} - ターンオフ dv/dt 特性

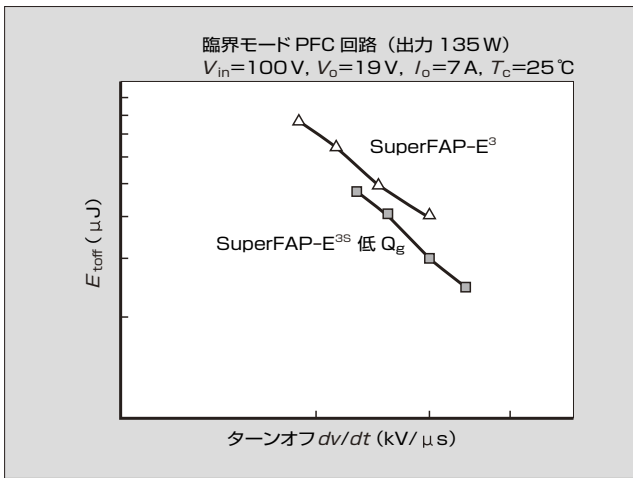
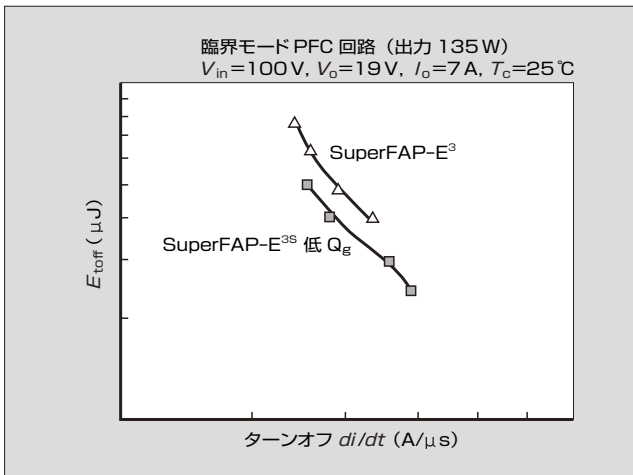


図6 ターンオフ損失 E_{toff} - ターンオフ di/dt 特性



これら Q_g 低減と g_{fs} 低減施策によりスイッチング性能を改善しており、スイッチング損失とスイッチング時のノイズの原因となる dv/dt とトレードオフとの関係を図5に示す。

ターンオフ損失 E_{toff} とターンオフ時のドレイン電圧変化率 dv/dt のトレードオフは従来製品のゲート抵抗制御性はそのままに、同一 dv/dt 条件下において約 25% 改善している。また、図6に示すターンオフ時の電流変化率 di/dt

図7 臨界モード PFC 回路におけるターンオフ波形比較

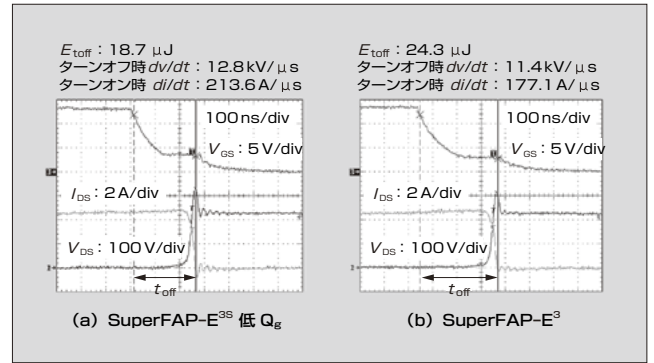
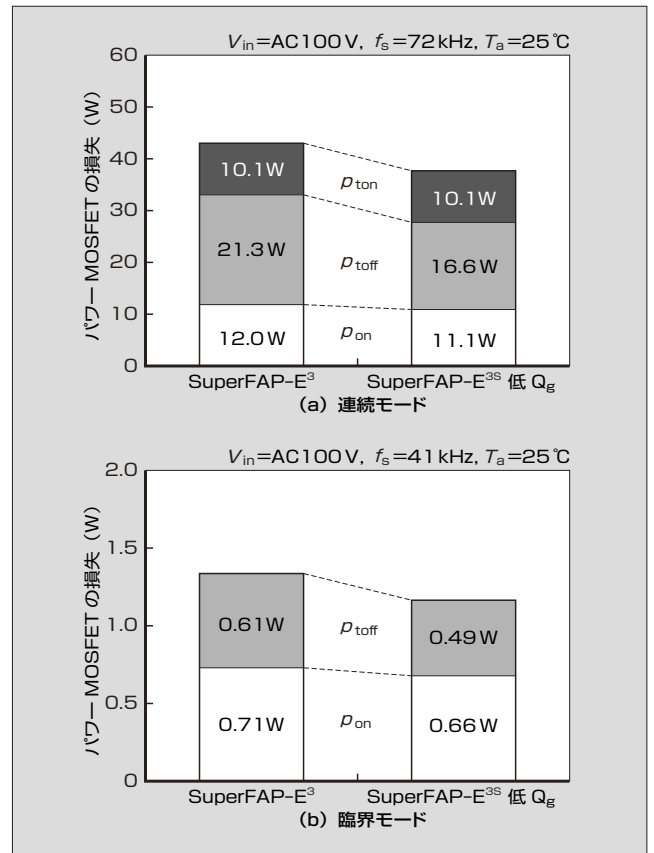


図8 PFC 回路における損失分析結果



特性とターンオフ損失との関係もトレードオフを改善する方向性を示しスイッチング性能の向上を実現している。

4 適用効果

4.1 連続・臨界モード PFC 回路への適用

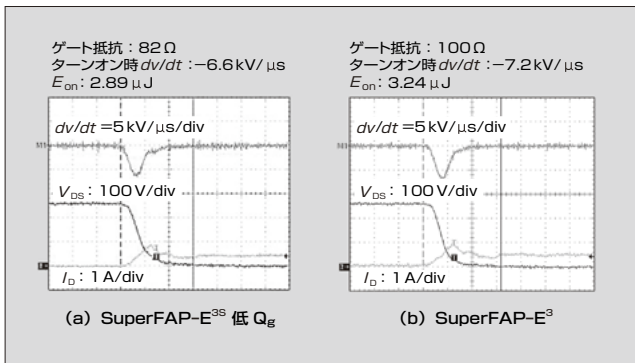
図7に、実回路における適用効果として臨界モード PFC 回路に使用した場合のターンオフ時の波形を示す。SuperFAP-E^{3S} 低 Q_g は従来品 SuperFAP-E³ と比較して低ゲートチャージ特性によりターンオフ期間 t_{off} が短絡されており、スイッチング損失は約 20% の低減を実現している。

図8に、実アプリケーションにおける連続モード PFC 回路、臨界モード PFC 回路それぞれの発生損失の分析結

表3 アプリケーションへの適用効果

アプリケーション	適用回路と方式	項目	従来品	新製品	改善効果
ACアダプタ 135W	PFC回路 (臨界モード)	電力効率 η	86.7%	87.1%	+0.4%
		ケース温度上昇 ΔT_c	34℃	30℃	-4℃
パソコン電源 400W	PFC回路 (連続モード)	電力効率 η	72.9%	73.3%	+0.4%
		ケース温度上昇 ΔT_c	98℃	92℃	-6℃
ACアダプタ 65W	メインコントニタ (フライバック)	電力効率 η	87.3%	87.7%	+0.4%
		ケース温度上昇 ΔT_c	90℃	84℃	-6℃

図9 フライバック回路におけるターンオン特性比較

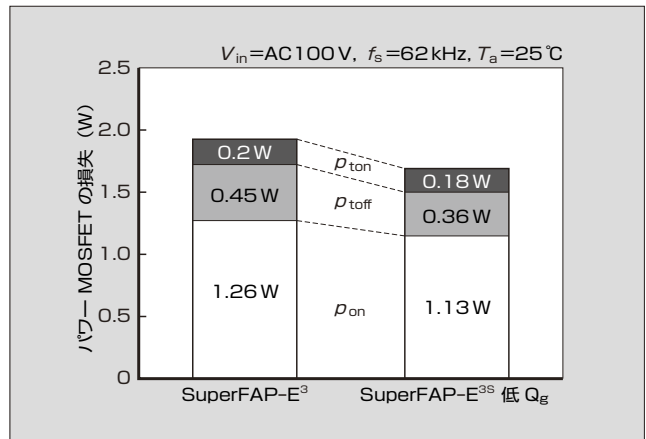


果を示す。図中の P_{on} はオン抵抗損失, P_{toff} はターンオフ損失, P_{ton} はターンオン損失を表している。連続モード PFC 回路においても、臨界モード PFC と同様にターンオフ損失が SuperFAP-E³ と比較して約 20% 低減する効果が得られている。また、それぞれの回路ともターンオフ損失の低減効果により全損失も SuperFAP-E³ と比較して約 17% 低減されており、表 3 に示すようにデバイス温度上昇としては約 $\Delta 4 \sim 6^\circ\text{C}$ 低減し、電力変換効率 η は約 +0.4% 向上し、電源システムの性能向上が実現できる。

4.2 フライバック回路への適用

図 9 に、フライバック回路におけるノイズ発生原因の一つであるターンオン時の突入電流低減効果を示す。従来品 SuperFAP-E³ では、突入電流抑制のためゲート抵抗を SuperFAP-E^{3S} 低 Q_g に比べ約 20% 大きく設定する必要があるため、ターンオン損失が増加していた。一方 SuperFAP-E^{3S} 低 Q_g では、ゲート抵抗を大きくした従来品と同等以下の突入電流と低ターンオン損失を実現してい

図10 フライバック回路における損失分析結果



る。この SuperFAP-E^{3S} 低 Q_g をフライバック回路に置き換え適用すると、突入電流によるノイズを低減し、低減損失を実現することが可能である。

また、図10に SuperFAP-E^{3S} 低 Q_g 適用における損失分析結果を示す。この SuperFAP-E^{3S} 低 Q_g では従来品と比較してターンオン、ターンオフ損失の低減効果により全損失が約 12% 低減できる。デバイス温度上昇は約 $\Delta 6^\circ\text{C}$ 低減し、 η は約 +0.4% 向上し、電源システムの性能向上が実現できる。

5 あとがき

富士電機が新規開発した低ゲートチャージ特性によりスイッチング性能向上を実現したパワー MOSFET として「SuperFAP-E^{3S} 低 Q_g シリーズ」の製品特徴と適用効果について紹介した。本製品は、スイッチング電源に搭載されるパワーデバイスの要求である低オン抵抗、低スイッチング損失、低ノイズのバランスとトレードオフを改善できたため、本製品を適用することにより電子機器システムとしての電力効率向上と温度上昇低減を実現し、省エネルギー化に貢献できるものと確信する。

参考文献

- (1) Kobayashi, T. et al. High-Voltage Power MOSFETs Reached Almost to the Silicon Limit. Proceedings of ISPSD '01. 2001, p.435-438.
- (2) 原幸仁ほか、第6世代 MOSFET「SuperFAP-E³ シリーズ」、富士時報、vol.80, no.6, 2007, p.432-435.



*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。