

インテリジェントパワー MOSFET

特集

岩田 英樹 (いわた ひでき)

岩水 守生 (いわたず もりお)

豊田 善昭 (とよだ よしあき)

1 まえがき

自動車電装業界では“環境”“安全”“快適”をキーワードとする自動車電子制御システムの進化に拍車がかかっている。環境・安全・快適性能向上のためには、エンジン、トランスミッション、ブレーキなどの電子制御が、従来のオンオフ制御、機械制御からリニア制御やモータ制御に高度化され、これらをコントロールする各 ECU (Electronic Control Unit) の統合化も進んでいる。さらに、これら ECU の大規模化に伴う搭載スペース捻出のため、ECU の小型化が切望されている。ECU に搭載され、電子制御システムの手足の役割を受け持つパワーデバイスも同様に、高性能化、小型化が求められている。

富士電機では、制御・保護・自己診断などの回路と出力段パワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) などのパワーデバイスを自己分離型 CMOS/DMOS (Complementary MOS/Diffusion MOS) プロセス構造を用いてワンチップ化したインテリジェントパワー MOSFET を系列化して上述した要求に応えてきた。特に切望されている小型化要求に関し、ECU の大規模化と富士電機のインテリジェントパワー MOSFET の小型化の関係を図 1 に示す。ある高級車の ECU 搭載数は 1990

年から 2008 年(1) にかけて、10 から 65 に増加しており、この比率で ECU の小型化が必要になる。富士電機のインテリジェントパワー MOSFET が 1 A 流すのに必要な実装面積も同様の比率で、1990 年から 2006 年(2) にかけて 1/7 未満に小型化している。

2 インテリジェントパワー MOSFET

前述の自動車電装業界の要求に応え、富士電機では次に示す 2 種類のインテリジェントパワー MOSFET 系列の開発を推進してきた。系列の一覧を図 2 に示す。

(1) 高機能 MOSFET シリーズ

出力段パワー MOSFET に短絡保護 (過電流・過熱保護) などの保護機能を内蔵し、単体 MOSFET やバイポーラトランジスタ同様の 3 端子構成とした製品である。電流定格に応じて 4 種類のパッケージをラインアップしている。この中で特徴的な製品は「F5048」で、他の系列品の耐圧は 40 V だが、F5048 は耐圧を 80 V に設定することでロードダンブサージフリーを可能にした。

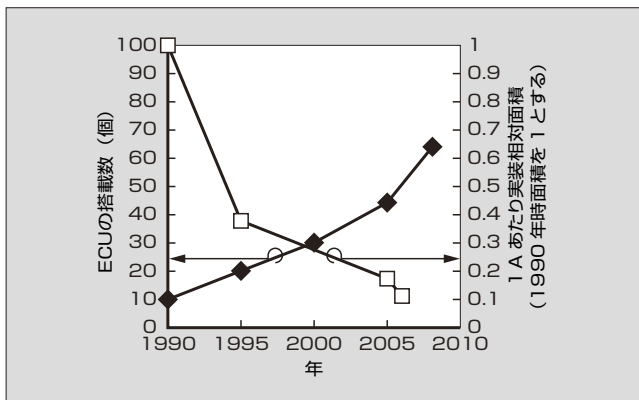
(2) IPS (Intelligent Power Switch) シリーズ

出力段パワー MOSFET に、駆動回路、保護回路 (過電流・過熱・過電圧) および状態出力回路を内蔵した製品で、自動車電子制御システムにおける、油圧ソレノイドバルブ、ランプ、モータ、リレーなどの制御用に開発したデバイスである。出力段パワー MOSFET には n チャンネル MOSFET を使用しており、ゲート電圧昇圧用チャージポンプ回路を内蔵しているハイサイド型の半導体素子である。SOP-8 パッケージ品の「F5044H」を代表に、最低動作電源電圧が 3.0 V と低い「F5045P」や、次に詳細を示す超小型 IPS や大電流 IPS など特徴ある系列品をそろえている。

(3) 超小型 IPS

ECU の小型化に対応するため、駆動回路、過電流・過電圧・過熱などの保護回路や CPU との通信機能となる状態出力回路を出力段パワー MOSFET とワンチップ化し、そのパッケージにウェーハレベルパッケージである CSP (Chip Size Package) を適用した超小型 IPS 「F5054H」

図 1 ECU 搭載数と富士電機のインテリジェントパワー MOSFET 技術



岩田 英樹

半導体デバイスの開発に従事。現在、富士電機デバイステクノロジー株式会社半導体開発・営業本部開発統括部ディスクリート・IC 開発部。



岩水 守生

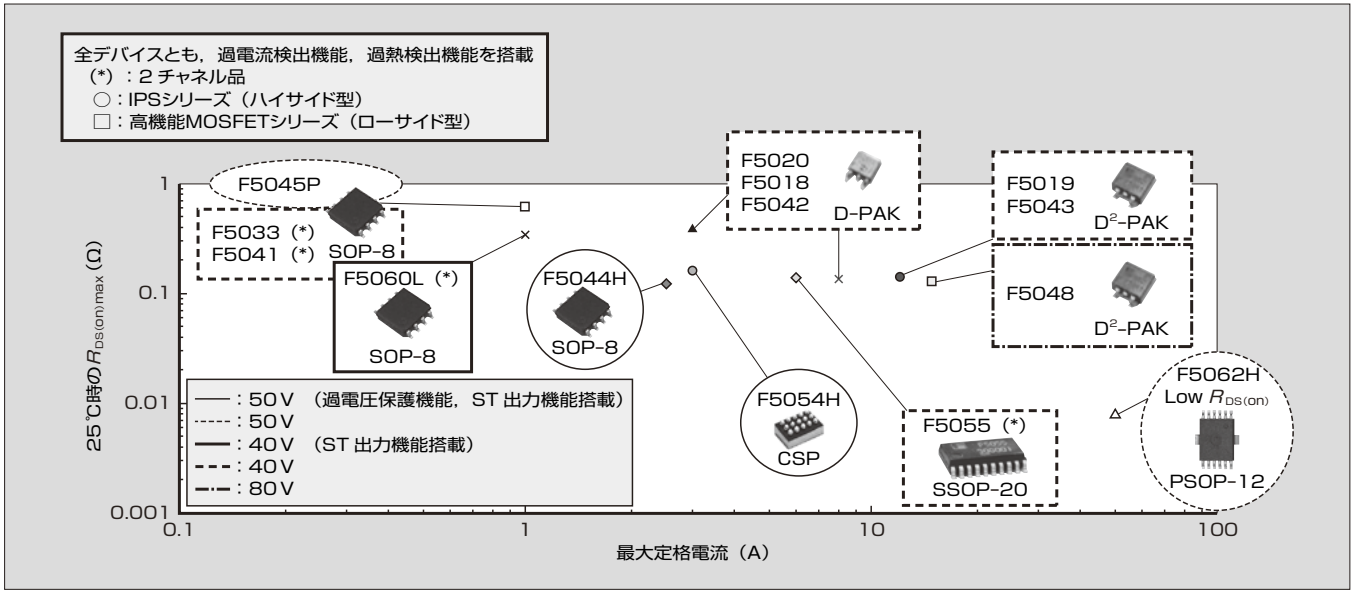
半導体デバイスの開発に従事。現在、富士電機デバイステクノロジー株式会社半導体開発・営業本部開発統括部ディスクリート・IC 開発部。



豊田 善昭

半導体デバイスの研究に従事。現在、富士電機デバイステクノロジー株式会社電子デバイス研究所デバイス開発部。

図2 インテリジェントパワー MOSFET 製品ラインアップ



を開発し量産化している。本製品はCSP技術により、端子をはんだボール構成としてチップ表面側に配置し、モールド樹脂をチップサイズと同一面積にすることで、パッケージの超小型化を実現した。また、富士電機特有の深い拡散工程を応用したアップドレイン構造の適用により、わずかなチップサイズ増加で低オン抵抗・高サージ耐量を維持している。これらの技術により、基本性能はそのままに、実装面積は従来のSOP-8パッケージIPSに比べ70%ダウンしている。

(4) 大電流IPS

近年の大電流を扱うアプリケーション（モータやリレー制御）をターゲットとした“低オン抵抗”，“高放熱処理可能な小型パッケージ”，“各種保護機能”を兼ね備えたデバイスの要求に応え、大電流で使用可能な「F5062H」を開発し量産化している。F5062Hは、トレンチ構造を用いた出力段パワーMOSFETと自己分離技術を用いた制御部ICを、チップオンチップ組立技術により積層させることで、低オン抵抗化（8mΩmax）と高放熱処理が可能なP-SOP-12パッケージによる小型化を両立させた。超小型IPSに搭載されている各種保護機能に加え、バッテリー直接駆動を想定したバッテリー逆接時の出力MOSFETの温度上昇抑制機能や、大電流でのインダクタンス負荷制御を想定した高エネルギー耐量を持っていることが特徴である。

③ 「F5060L」の製品紹介

富士電機では、これらインテリジェントパワーMOSFETの系列品により、ECUの小型化に貢献してきた。さらなる小型化に貢献するため、後述するウェーハプロセス技術を確立し、従来外付け部品で構成していた負荷断線検出回路と、状態出力機能ステータス回路を、ローサイド高性能MOSFETとして初めて内蔵した「F5060L」を開発したので次に紹介する。

図3 F5060Lパッケージ外形図と端子配列

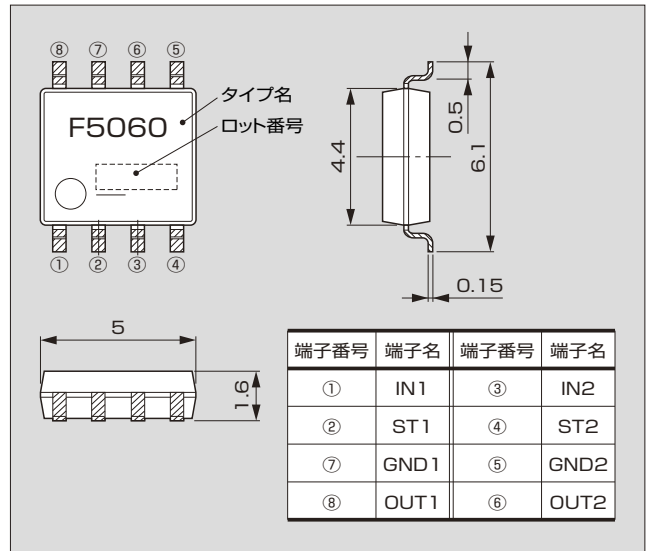
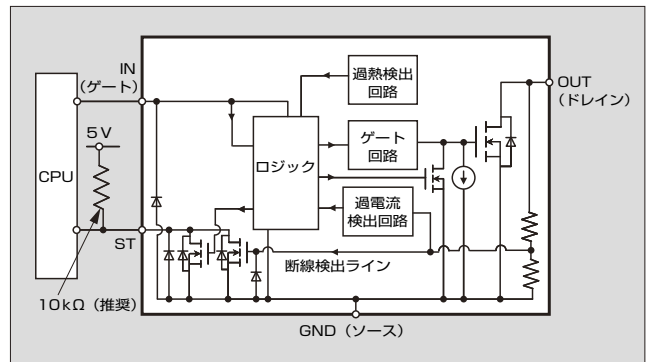


図4 F5060L回路ブロックダイアグラム



3.1 製品の概要

F5060Lのパッケージ外形と内部構造を図3に示す。SOP-8パッケージを採用し、2チャンネル分のチップをワン

パッケージに封止することで、システムの小型化および低コスト化に貢献している。

F5060Lの回路ブロックダイアグラムを図4に示す。過電流、過熱検出機能を搭載した従来の高機能MOSFET(「F5033」および「F5041」)に、外付け部品で構成していた負荷断線検出機能と、状態出力機能およびステータス端子を追加している。従来に比べて新たな機能を付加しているが、従来と同様に2チャンネル分のチップをSOP-8パ

表1 F5060L最大定格 ($T_j=25^\circ\text{C}$)

項目	記号	定格	単位	備考
ドレイン-ソース間電圧	V_{DS}	40	V	DC
入力電圧	V_{IN}	-0.3~+7.0	V	DC
ステータス電圧	V_{ST}	-0.3~+7.0	V	DC
ステータス電流	I_{ST}	5	mA	DC
出力電流	I_o	1.1	A	1チャンネルあたり*
許容電力損失	P_o	1.5	W	*
接合部温度	T_j	150	$^\circ\text{C}$	—
保存温度	T_{stg}	-55~+150	$^\circ\text{C}$	—
ダイナミッククランプ耐量	E_{cl}	50	mJ	$T_j=150^\circ\text{C}$, $L=200\text{mH}$, 単パルス, $dv/dt \leq 10\text{V}/\mu\text{s}$

*: ガラスエポキシ6層基板実装時, 2チャンネル同時ON

表2 F5060L電気的特性目標値 ($T_j=25^\circ\text{C}$)
(特性値は変更する可能性あり)

項目	記号	条件	規格値			単位
			min	typ	max	
ドレイン-ソース間耐圧	V_{DSS}	$I_{OUT}=1\text{mA}$ $V_{IN}=0\text{V}$	40	—	60	V
入力スレッシュホールド電圧	$V_{IN(th)}$	$I_{OUT}=10\text{mA}$ $V_{OUT}=13\text{V}$	1.5	—	2.8	V
保護機能動作入力電圧範囲	$V_{IN(p)}$	—	2.8	—	7.0	V
出力リーク電流	I_{OL}	$V_{OUT}=30\text{V}$ $V_{IN}=0\text{V}$	—	—	50	μA
入力電流	$I_{IN(n)}$	$V_{IN}=5\text{V}^*$	—	—	250	μA
		$V_{IN}=5\text{V}^{**}$ $T_j > 150^\circ\text{C}$	—	—	350	μA
オン抵抗	R_{ON}	$I_{OUT}=0.5\text{A}$ $V_{IN}=5\text{V}$	—	—	350	m Ω
断線検出電圧 (OUT端子)	$V_{OUT(open)}$	$V_{IN}=0\text{V}$	—	—	5.0	V
ステータス電圧 (L) レベル	$V_{ST(L)}$	$V_{OUT}=13\text{V}$ $V_{IN}=0\text{V}$ $I_{ST}=1\text{mA}$	—	—	0.4	V
ステータスリーク電流	$I_{ST(leak)}$	$V_{IN}=5\text{V}$ $V_{ST}=5\text{V}$	—	—	10	μA
ターンオン時間	t_{on}	$V_{OUT}=13\text{V}$ $I_{OUT}=0.5\text{A}$ $V_{IN}=5\text{V}$	—	—	50	μs
ターンオフ時間	t_{off}	$V_{OUT}=13\text{V}$ $I_{OUT}=0.5\text{A}$ $V_{IN}=5\text{V}$	—	—	70	μs
過熱検知保護温度	T_{trip}	$V_{IN}=5\text{V}$	150	—	—	$^\circ\text{C}$
過電流検知	I_{oc}	$V_{IN}=5\text{V}$	1.7	—	—	A

*1: 保護機能動作が動作しない通常動作時

*2: 保護機能動作時 (負荷短絡~過電流検知~過熱検知動作モード下)

ッケージに搭載している点が特徴である。以下, F5060Lの主要特性および特徴について詳細に述べる。

3.2 主要特性

F5060Lの最大定格を表1に, 電気的特性を表2に, 保護動作の論理表を表3に, 保護動作タイミングチャートを図5に示す。さらに主な特徴を以下に示す。従来の高機能MOSFETに新規追加した機能は(c)と(d)である。

- (a) 過電流検出・電流制限・過熱検出による負荷短絡保護機能を内蔵している。図6は負荷短絡時に過電流検出から電流制限, 過熱検出保護動作に至る過程の動作波形である。
- (b) インダクタンス負荷ターンオフ時の逆起電圧をクランプし, 負荷に蓄積されたエネルギーをパワーMOSFETで吸収するダイナミッククランプ回路を内蔵している。
- (c) 負荷断線検出回路を内蔵している。

表3 F5060L論理表の保護動作

	正常動作		過熱検出		過電流検出		断線検出
	L	H	L	H	L	H	H
IN	L	H	L	H	L	H	H
ST	L	H	L	L	L	H	H
OUT	オフ	オン	オフ	オフ	オフ	*	オフ
V_{DS}	H	L	H	H	H	*	L

*: 制御モードに移行

図5 保護動作タイムチャート

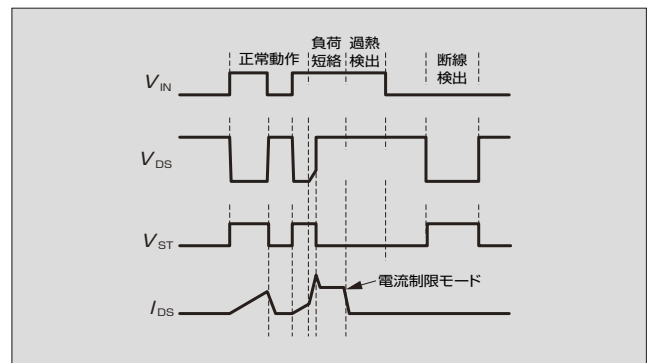
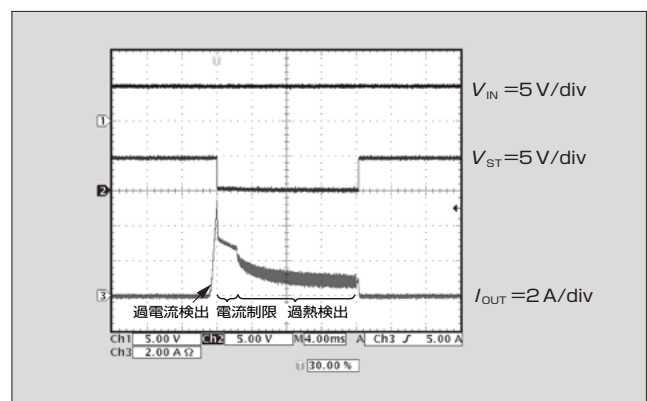


図6 F5060Lの過電流検出・電流制限・過熱検出波形

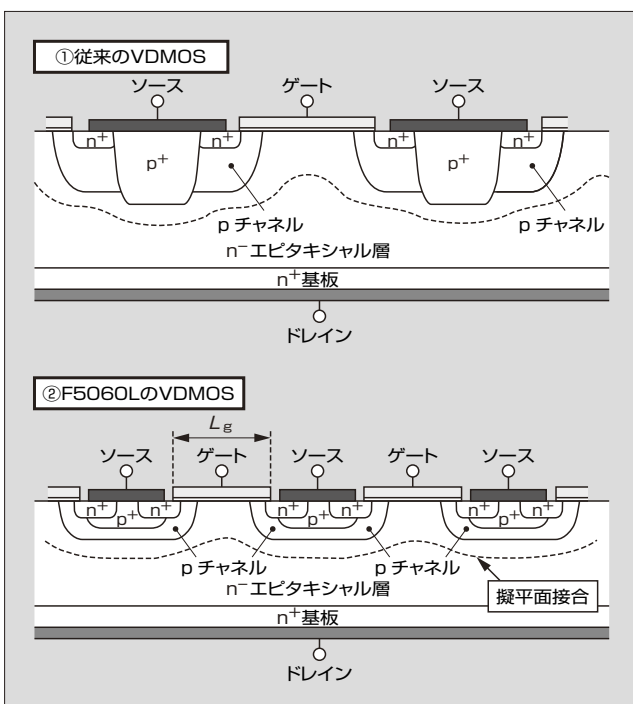


- (d) ステータス端子内蔵により、負荷や素子の状態を CPU へ出力する。
- (e) 入力 5V 駆動対応による、CPU 直接駆動が可能である。
- (f) 出力段パワー MOSFET 低損失化と低オン抵抗化を実現した。
- (g) 自己分離型プロセスの採用によるチップの小型化を実現した。
- (h) SOP-8 パッケージ採用により小型化した。

3.3 低オン抵抗化

F5060L は、SOP-8 パッケージを 2 チャンネル搭載した従来の F5033 および F5041 に対して、低オン抵抗化を実現させた。従来品では $600\text{ m}\Omega\text{max}$ に対し、F5060L では $350\text{ m}\Omega\text{max}$ である。富士電機では、オン抵抗を改善するために、100V 以上の高耐压パワー MOSFET において、擬平面接合 (QPJ: Quasi Plane Junction) というウェーハプロセス技術⁽²⁾を確立している。今回、この QPJ 技術を耐压 60V の VDMOS (Vertical Diffused MOS) にも適用し改良を加えることで、F5060L の低オン抵抗化を実現させた。図 7 に従来製品と F5060L の、出力段パワー MOSFET として使用している縦型デバイス VDMOS 断面構造の比較を示す。VDMOS のオン抵抗を限界まで下げるために、エピタキシャル層の比抵抗を理論限界まで下げる必要があるが、ドレイン-ソース間耐压の確保が問題となる。QPJ 技術は、従来よりも p チャンネルを低濃度で浅く密にすることで平面に近い接合面となり、表面での電界強度を緩和し耐压を確保することができる。エピタキシャル層の比抵抗の最適化は、自己分離技術を用いて同一チップ上に集積されている横型デバイス特性との整合を取りな

図 7 縦型デバイス VDMOS 断面構造の比較



がら行った。その他、構造パラメータの L_g や p チャンネル濃度の最適化を行い、従来に比べてドレイン-ソース間耐压を確保したまま、25% の $R_{on} \cdot A$ (単位面積あたりのオン抵抗) を低減し、低オン抵抗化を実現した。

3.4 負荷断線検出機能

F5060L では、従来外付け部品で構成していた負荷断線検出回路を IC 回路に内蔵した。高機能 MOSFET は IC 回路電源として入力電圧 V_{IN} を用いており、オン時の過電流・過熱検出を実現している。しかし今回は、IC 回路に電源が供給されないオフ時 ($V_{IN}=0\text{V}$) の負荷断線検出を実現するため、負荷断線検出回路にはドレイン電圧を分圧した信号を電源として併用した。これにより駆動する負荷が断線状態になったときの異常を検出可能とした。

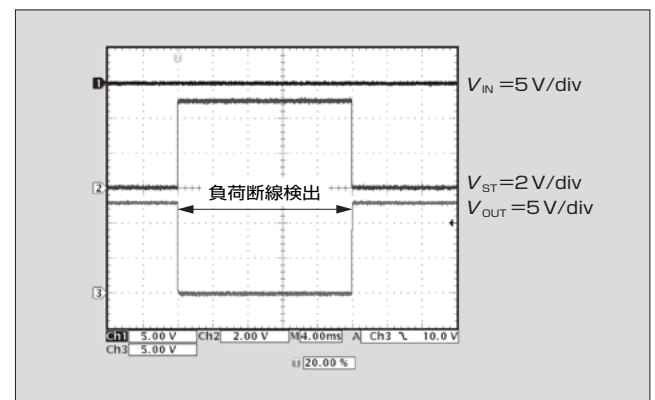
3.5 状態出力機能

F5060L は、高機能 MOSFET の従来品が 1 チャンネルあたり 3 端子構成であるのに対し、状態出力機能端子であるステータス端子を新設し 4 端子構成とした。これにより、過電流・過熱などの半導体素子の状態や、断線有無などの負荷状態を CPU へ出力可能となった。状態出力回路方式には、図 4 に示した IPS シリーズで実績のある方式を採用しており、外付けプルアップ抵抗 ($10\text{ k}\Omega$ 推奨) を用いる。F5060L のオン時は入力電圧を電源とし、オフ時は出力電圧を分圧した電源を使用することで、オン時・オフ時にかかわらずステータス端子による負荷や素子状態の CPU への出力を可能とした。図 8 に負荷断線検出の動作波形を示す。

3.6 SOP-8 パッケージ採用による小型化

F5060L は、低オン抵抗化と機能追加という性能向上を、従来品と同様に SOP-8 パッケージを 2 チャンネル搭載することで、ECU 小型化に貢献することを目指した。低オン抵抗化のための QPJ 技術やデバイス構造の最適化に加え、 $1.5\mu\text{m}$ 自己分離型プロセス (従来 $3\mu\text{m}$) を採用することで、従来プロセスで作製した場合と比較して約 25~30% のチップサイズシュリンクを実現し、SOP-8 パッケージの 2 チャンネル搭載を可能とした。

図 8 F5060L 負荷断線検出状態波形 (オフ時)



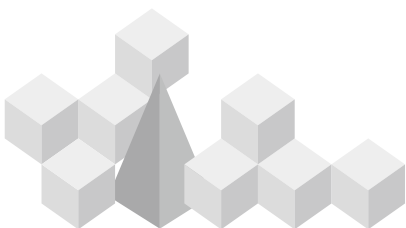
4 あとがき

本稿では、低オン抵抗化、断線検出機能および状態出力機能追加という性能・機能アップを従来製品と同等の外形で実現させたことで、ECU小型化に貢献できる高機能 MOSFET「F5060L」を中心に紹介した。富士電機では、今回適用したプロセス・デバイス技術を他の製品に応用し、さらなるオン抵抗の低減やシステムの小型化に貢献したいと考えている。また、ECUの小型化に伴うECUの内部温度や環境温度の上昇により、デバイスにも高耐熱性が求め

られていることから、175℃保証に対する取組みも積極的に実施していく。今後も自動車メーカーや電装メーカーとの連携を深めながら、自動車電装業界に貢献していく所存である。

参考文献

- (1) 田野倉保雄ほか、トヨタ・インサイド、日経エレクトロニクス、2004年3月1日号、p.95-125.
- (2) 徳西弘之ほか、パワー MOSFET「SuperFAP-Gシリーズ」とその適用効果、富士時報、vol.75, no.10, 2002, p.593-597.





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。