

自動車用 IPS デバイス技術

特集

豊田 善昭 (とよだ よしあき)

原田 祐一 (はらだ ゆういち)

上西 顕寛 (じょうにし あきひろ)

1 まえがき

近年、自動車電装業界では“安全性向上”“環境性向上”“省エネルギー”の要求に応えるために電子制御化が進み、半導体製品の適用範囲が広がってきている。このような背景の中、半導体製品には小型化、高信頼性化の要求が高まっている。

富士電機では、エンジン、トランスミッション、ブレーキなどの自動車電装システム向けに、高機能 MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) や IPS (Intelligent Power Switch) と呼ばれる半導体製品の開発を行ってきた。これらの製品の特徴は、縦型パワーデバイスを出力段とするパワースイッチと同一チップ上に、自己分離方式を用いて周辺回路を集積していることである。従来はディスクリート回路により構成されていた周辺回路を取り込むことで、小型かつ低価格で高い信頼性を確保している。これらの製品は、出力段の縦型パワーデバイスと回路用の横型デバイスの特性をワンチップ上に両立させるデバイス技術によって実現されてきたが、近年の小型化、低価格化要求の加速に対応するためには、要素デバイスの微細化が必要となっている。

本稿では、微細プロセスを適用して新たに開発した自動

車用 IPS デバイス技術について紹介する。

2 自動車用 IPS デバイス技術の特徴

図1に代表的な IPS の回路ブロック図を示す。本 IPS は、出力段がハイサイド型の縦型パワー MOSFET となっており、周辺回路として、駆動回路、保護回路、自己診断回路、状態検出回路などが搭載されている。回路部は低耐圧および中耐圧の MOSFET、抵抗などの横型デバイスで構成されている。

本技術は、富士電機がこれまでに開発した縦型パワー MOSFET のオン抵抗低減化技術^{(1),(2)}と、自動車用自己分離型統合パワー IC 技術⁽³⁾を融合して開発した。

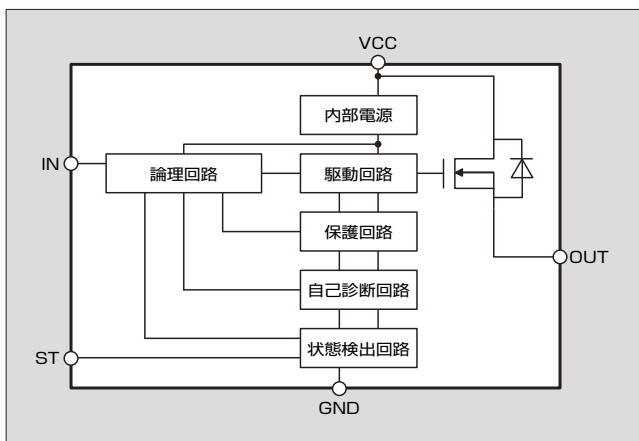
3 プロセス・デバイスの概要

今回開発した自動車用 IPS デバイスは、1.5 μ m ルールを採用した CMOSFET (Complementary MOSFET) と VDMOSFET (Vertical Double diffused MOSFET) により構成されている。

表1に使用可能な要素デバイスの一覧を示す。回路用 5V 系の低耐圧 CMOSFET、60V 系の中耐圧 CMOSFET、出力段用 60V 系の VDMOSFET を同一チップに集積している。n チャンネル MOSFET には、低耐圧系、中耐圧系ともエンハンスメント型に加えデプレッション型も備えている。その他の回路用素子として、拡散ツェナーダイオード、ポリシリコンツェナーダイオードといった各種ツェナーダイオードや、拡散抵抗、ポリシリコン抵抗、MOS キャパシタといった受動素子を備えている。特にポリシリコン系デバイスは、シリコン酸化膜上に形成するので、寄生効果が完全に除去できる。ノイズやサージの厳しい自動車電装の環境下において回路設計を行うにあたり、設計自由度の増す有用なデバイスである。

図2に本デバイス技術に適用するプロセスフローを示す。必要最低限の工程数にとどめ、コストの増加を抑制している。

図1 代表的な IPS の回路ブロック図



豊田 善昭

半導体のデバイス開発・設計に従事。現在、富士電機デバイステクノロジー株式会社電子デバイス研究所デバイス開発部。



原田 祐一

半導体デバイスの研究開発に従事。現在、富士電機デバイステクノロジー株式会社半導体開発営業本部開発統括部ディスクリート・IC 開発部。



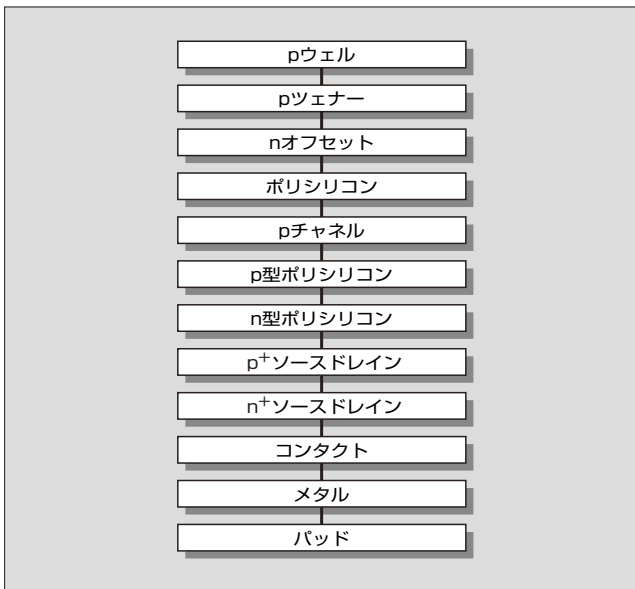
上西 顕寛

半導体のデバイス開発・設計に従事。現在、富士電機デバイステクノロジー株式会社電子デバイス研究所デバイス開発部。応用物理学协会会员。

表 1 使用可能な要素デバイスの一覧

デバイス	定格電圧
低耐圧nチャンネルMOSFET	5V
低耐圧nチャンネルデプレッション型MOSFET	5V
低耐圧pチャンネルMOSFET	5V
中耐圧nチャンネルMOSFET	60V
中耐圧nチャンネルデプレッション型MOSFET	60V
中耐圧pチャンネルMOSFET	60V
出力段用VDMOSFET	60V
拡散ツェナーダイオード	5.5~10V
ポリシリコンダイオード	8V
拡散抵抗	—
ポリシリコン抵抗	—
MOSキャパシタ	—

図 2 プロセスフロー



4 要素デバイスと特性

4.1 回路用要素デバイス

図 3 に回路用デバイスの主な断面構造を示す。本プロセスでは VDMOS 形成のために、 n^+/n^- エピタキシャル基板を使用する。回路用デバイスに関しては、 n^- エピタキシャル層上に p ウェルを形成して n チャンネル MOSFET を形成しており、バックゲート電位を自由に設定することが可能である。一方、p チャンネル MOSFET は、専用のウェル拡散層を使用せず、 n^- エピタキシャル層上に直接形成している。

表 2 に従来と本開発デバイス技術における回路用要素デバイスサイズの比較を示す。1.5 μ m ルールの採用やデバイス構造パラメータの調整により、デバイス面積で 30 ~ 50% の小型化を達成している。

(1) 5V 系低耐圧デバイス

図 3 主要な回路用デバイスの断面構造

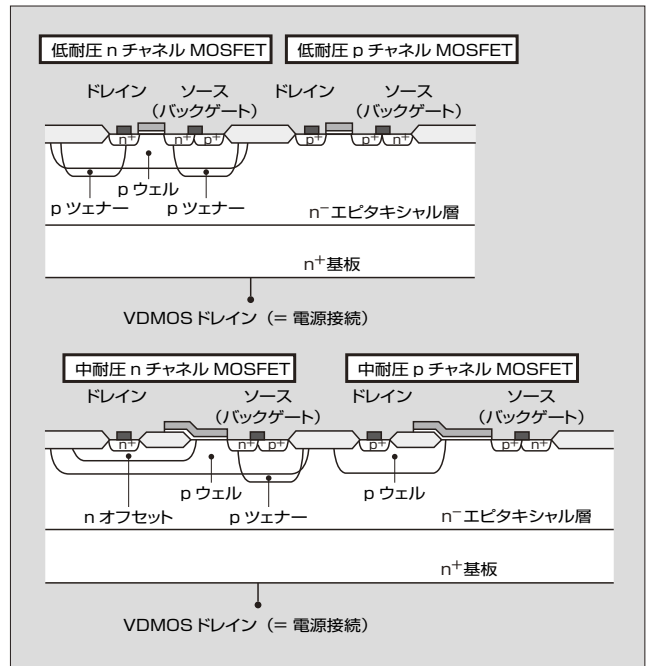


表 2 回路用要素デバイスのサイズ比較

(従来品を1とする相対値)

デバイス種類	従来品	開発品
低耐圧nチャンネルMOSFET	1	0.51
低耐圧pチャンネルMOSFET	1	0.62
中耐圧nチャンネルMOSFET	1	0.48
中耐圧pチャンネルMOSFET	1	0.70

低耐圧 n チャンネル MOSFET はドレイン、ソース端子に p ツェナー拡散領域が形成されていることが特徴である。 n^+/p ツェナーで形成されるツェナー耐圧はソースドレイン耐圧よりも低く設定されている。あらかじめ個々の MOSFET に保護ツェナーを内蔵することにより、MOSFET 単独で過電圧保護や寄生バイポーラ動作が抑制できる。サージの厳しい自動車電装が環境下においても、侵入してきたサージに対して MOSFET を確実に保護することができる。

(2) 60V 系中耐圧デバイス

中耐圧 n チャンネル MOSFET はオフセットドレインとゲートフィールドプレートの効果で電界緩和を行っている。以下にあげる IPS の特徴も利用してさらに効果的に電界緩和を行っている。IPS はハイサイドスイッチとして使用するため、出力段パワーデバイスのドレイン端子である基板の裏面が電圧源に接続されるという特徴がある。基板電位が最高電位に維持されるため、 n^- エピタキシャル層と p ウェル接合面から p ウェル拡散層に空乏層が伸びる。これにより、n オフセットと p ウェル接合面から伸びる空乏層とダブル RESURF (REduced SURface Field) の効果によって電界緩和が促進される。

本デバイスは上記の効果を有効に活用し、目標耐圧を確

特集

保している。中耐圧 p チャンネル MOSFET はオフセットドレインとゲートフィールドプレートで電界緩和を行い、目標耐圧を確保している。オフセットドレイン拡散層には専用の拡散層を使用せず、p ウェルを共有化してコストアップを抑制している。図 4 に回路用 MOSFET の出力特性を示す。

4.2 出力段用 VDMOSFET

図 5 に出力段用 VDMOSFET の断面構造を示す。図 5 (a) は従来設計の VDMOSFET 構造であり、図 5 (b) は本設計で適用の VDMOSFET 構造である。オン抵抗低減のため、擬平面接合という技術を採用している。この技術の特徴は、従来よりも低濃度で浅い p チャンネルを密に配置することにより、きわめて平面に近い接合面を実現し、三次元的な凹凸による電界の局所集中を防ぎ、シリコンの理論限界に近い耐圧を確保できることにある。これにより、従来よりもシリコン比抵抗を下げる事が可能となるため、結果として単位面積あたりのオン抵抗 $R_{on} \cdot A$ の低減が可能になる。富士電機では、この技術を 100 V 以上の高耐圧のディスクリートパワー MOSFET 製品に適用する技術として確立していたが、今回この技術を 60 V 系 VDMOSFET 用にアレンジして IPS デバイス技術の縦型パワーデバイスに適用した。

図 4 回路用 MOSFET の出力特性

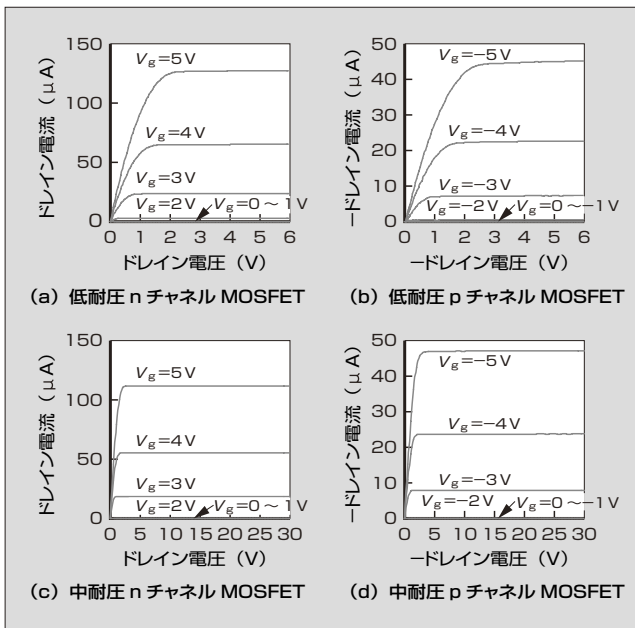
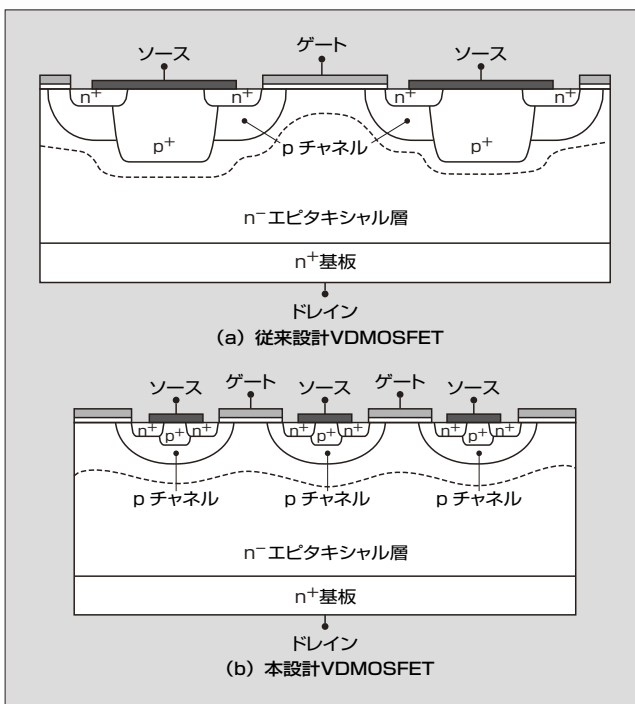


図 5 出力段用 VDMOSFET の断面構造



め、擬平面接合という技術を採用している。この技術の特徴は、従来よりも低濃度で浅い p チャンネルを密に配置することにより、きわめて平面に近い接合面を実現し、三次元的な凹凸による電界の局所集中を防ぎ、シリコンの理論限界に近い耐圧を確保できることにある。これにより、従来よりもシリコン比抵抗を下げる事が可能となるため、結果として単位面積あたりのオン抵抗 $R_{on} \cdot A$ の低減が可能になる。富士電機では、この技術を 100 V 以上の高耐圧のディスクリートパワー MOSFET 製品に適用する技術として確立していたが、今回この技術を 60 V 系 VDMOSFET 用にアレンジして IPS デバイス技術の縦型パワーデバイスに適用した。

図 6 に出力段 VDMOSFET のオン抵抗成分の内訳を示す。オン抵抗は、①ドリフト抵抗、②JFET (Junction Field-Effect Transistor) 抵抗、③チャンネル抵抗という 3 種類の抵抗成分からなる。①ドリフト抵抗は主に n⁻エピタキシャル層の抵抗成分を表し、②JFET 抵抗は p チャンネル拡散層から伸びる空乏層によって挟まれた領域の抵抗成分を表し、③チャンネル抵抗は p チャンネル拡散層の抵抗成分を表す。本開発では、この 3 種類の抵抗成分に対し以下の施策を実施してオン抵抗低減を目指した。

(1) n⁻エピタキシャル層比抵抗の低減

擬平面接合の技術を用いることにより、VDMOSFET の耐圧を低下させることなく n⁻エピタキシャル層の比抵抗を下げる事が可能である。一方、n⁻エピタキシャル層の比抵抗は同一チップ上に形成される横型デバイスの特性にも影響を与える。本設計では両者の特性を考慮に入れて最適な条件を選択し、ドリフト抵抗を低減した。

(2) L_g の最適化

図 6 中の構造パラメータ L_g を伸ばすことにより p チャンネル拡散層間の距離が伸びるため、空乏層の広がりによる電流経路の狭まりが緩和され JFET 抵抗が低減できる。一方、これによりセルピッチが大きくなるため単位面積あたりのチャンネル密度が低下し、等価的にチャンネル抵抗成分が上昇したことになる。本設計では両者のトレードオフ関係を考え最適な L_g 値を選択し、JFET 抵抗を低減した。

(3) p チャンネルイオン注入の条件最適化

p チャンネルイオン注入条件の調整によりチャンネル抵抗分を低減することができるが、同時に耐圧が低下する。本設

図 6 出力段用 VDMOSFET 抵抗成分の内訳

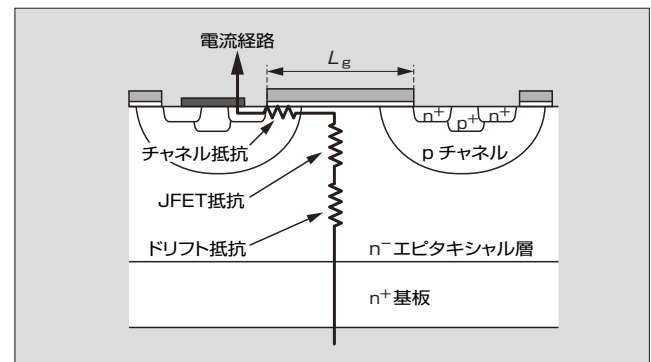


図7 出力段用 VDMOSFET の出力特性

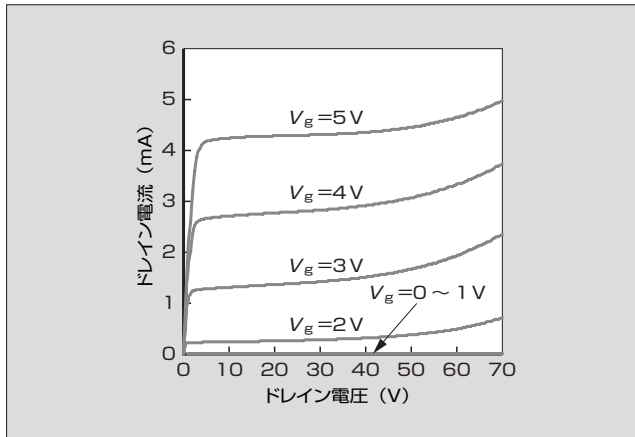
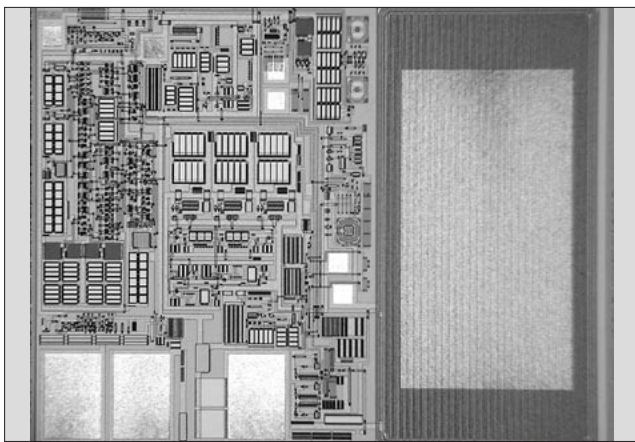


図8 新開発のデバイス技術を適用した IPS のチップ外観



計では両者のトレードオフ関係を考え最適の p チャンネルイオン注入条件の調整を選択し、チャンネル抵抗を低減した。

上記施策の結果、本設計の VDMOSFET は従来の VDMOSFET と比較し、耐圧を同程度に維持したまま $R_{on} \cdot A$ を 25% 低減した。

図7に本開発における出力段用 VDMOSFET の出力特性を示す。

5 適用例

図8に新開発のデバイス技術を適用した IPS のチップ外観を示す。本チップは以下に示す機能を搭載した IPS である。

- (a) 過電流・過熱検出機能による負荷短絡保護
- (b) 負荷状態・保護状態出力ステータス端子
- (c) 出力段駆動回路

6 あとがき

本稿では、新しく開発した自動車用 IPS デバイス技術を紹介した。この技術は、オン抵抗低減化技術と回路微細化技術を融合し、製品の小型化・低コスト化に有効なデバイス技術である。今後はこの技術を活用し、魅力ある IPS 製品群を開発し、社会に貢献する所存である。

参考文献

- (1) 徳西弘之ほか、パワー MOSFET「SuperFAP-G シリーズ」とその適用効果、富士時報、vol.75, no.10, 2002, p.593-597.
- (2) 堀内康司ほか、自動車用パワー MOSFET、富士時報、vol.76, no.10, 2003, p.601-605.
- (3) 熊谷直樹ほか、自動車用自己分離型統合パワー IC 技術、富士時報、vol.76, no.10, 2003, p.622-625.





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。