

低損失 SJ-MOSFET 「Super-JMOS」

特集

"Super-JMOS" Low Power Loss Superjunction MOSFETs

田村 隆博 Takahiro Tamura

澤田 睦美 Mutsumi Sawada

島藤 貴行 Takayuki Shimato

SJ（超接合：Superjunction）-MOSFET の表面構造を最適化することにより、スイッチング損失を低減した「Super-JMOS」を開発した。素子の低損失化のため、ゲート長とチャネル濃度を調整してゲート・ドレイン容量としきい値電圧を最適化し、ターンオフ損失を低減した。定格 600 V/20 A/0.19 Ω の素子において、ターンオフ $dV/dt=10\text{ kV}/\mu\text{s}$ でのターンオフ損失は 160 μJ となり、極めて高水準な値を実現した。素子の電源効率を評価した結果は 94% 以上となり、80 PLUS 認証を満たす高効率動作が可能である。

Fuji Electric has developed superjunction MOSFETs with an optimized surface design that delivers lower switching loss. In these "Super-JMOS" chips, gate length and channel density were adjusted to optimize the gate-to-drain capacitance and threshold voltage, thus achieving lower turn-off loss. For devices rated at 600 V/20 A/0.19 Ω, an extremely low turn-off loss of 160 μJ at the turn-off dV/dt of 10 kV/μs was realized. Power efficiency is over 94.0%, enabling compliance with the 80 PLUS certification.

1 まえがき

近年、省エネルギーや CO₂ 排出量の削減といった地球環境保護への関心の高まりを受け、PC やサーバといった、いわゆる IT 機器における電力損失の低減が要求されている。IT 機器の電力の低損失化には、IT 機器で使用される電力変換機器の効率を高める必要があり、その高効率化を支えるのがパワー半導体である。

電力変換機器に搭載されるパワー半導体はスイッチングデバイスとして動作し、その発生損失は素子がオン状態のときの導通損失、および素子がオンからオフ状態になるときにオフからオン状態に切り替わる際のスイッチング損失からなる。電力変換機器の高効率化・低損失化を進めるには、いずれの損失も低減する必要がある。

本稿では、理論的観点から SJ（超接合：Superjunction）-MOSFET の表面構造の最適化を行い、素子がオンからオフ状態になるときに発生するターンオフ損失 E_{off} とターンオフ時のドレイン・ソース電圧の時間変化を示す値であるターンオフ dV/dt とのトレードオフ関係を改善した結果、素子のスイッチング損失を低減した「Super-JMOS」の開発に成功したので報告する。

2 SJ-MOSFET 「Super-JMOS」の特徴

導通損失とスイッチング損失とを低減するための一つの方法が、SJ-MOSFET の採用である。SJ-MOSFET は従来のパワー MOSFET と比べ、素子の耐圧 BV_{DSS} と単位面積で規格化されたオン抵抗 $R_{\text{on}} \cdot A$ とのトレードオフ関係を大幅に改善し、導通損失を大きく低減できることから電

力変換器への採用が急速に進んでいる。

図 1 に、パワー MOSFET について既存 MOSFET と SJ-MOSFET の断面構造模式図を示す。SJ-MOSFET は、ドリフト層に p 形領域と n 形領域を交互に配置した構造となっている。それぞれの領域の幅を狭くすることで、耐圧を低下させずにドリフト層の不純物濃度を高くすることができるため、オン抵抗の低減を図ることができる。^{(1)~(4)}

さらに、SJ-MOSFET は $R_{\text{on}} \cdot A$ が既存の MOSFET より劇的に小さくなるため、ゲート・ドレイン容量 C_{GD} も劇的に小さくなる。その結果、 C_{GD} が小さ過ぎることによりゲート制御性が低下してしまい、ターンオフ dV/dt が大きくなってしまう問題がある。また、ターンオフ dV/dt を小さくするためにゲート抵抗 R_g を大きくすると、ミラー期間^(注1)が長くなり損失が増大してしまう。結果として、 E_{off} とターンオフ dV/dt とのトレードオフ関係が悪化してしまう。したがって、素子設計により E_{off} とターンオフ

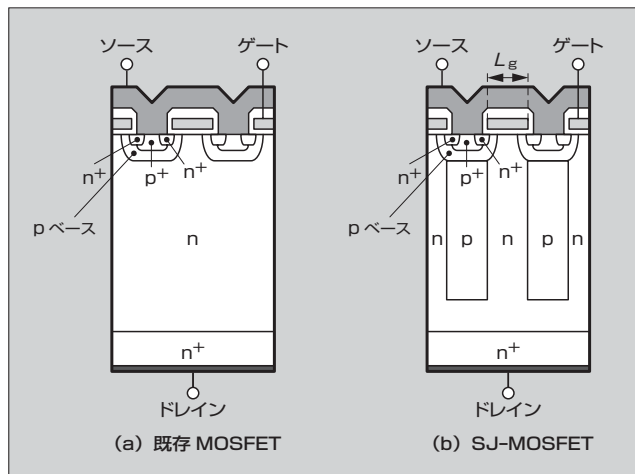


図 1 パワー MOSFET の断面構造模式図

〈注 1〉 ミラー期間（354 ページ「解説 2」参照）

dV/dt とのトレードオフ関係を改善し、ターンオフ損失を低減することができれば、低導通損失と低スイッチング損失を両立した低損失素子を実現できる。これを実現したのが Super-JMOS である。

③ 素子表面構造の最適化設計

3.1 設計方針

SJ-MOSFET の E_{off} とターンオフ dV/dt とのトレードオフ関係を改善するためには、 R_g が一定条件の下でターンオフ dV/dt を低減する必要がある。ターンオフ dV/dt の低減を主眼に置き、関係式を踏まえて E_{off} とターンオフ dV/dt のトレードオフ特性の改善を行った。

ターンオフ時にゲート・ソース容量がミラー期間内で一定であると仮定すると、ターンオフ dV/dt は式(1)のように表される。

$$\frac{dV}{dt} = \frac{I_D + V_{th}}{C_{GD} \cdot V_{DS} \cdot R_g} \dots\dots\dots(1)$$

I_D : ドレイン電流

g_{fs} : 相互コンダクタンス

V_{DS} : ドレイン・ソース電圧

式(1)より、 R_g 、 I_D 、 V_{DS} が一定であるとする、ターンオフ dV/dt の低減には、 C_{GD} の増加およびしきい値電圧 V_{th} の低減が有効であることがわかる。 C_{GD} は、p ベース領域間の間隔すなわちゲート長 L_g により決定されるため、 C_{GD} を大きくするには L_g を長くすればよい。また、p ベース領域の濃度により V_{th} が決定されるため、p ベース濃度を下げれば V_{th} を低減可能である。

3.2 ターンオフ損失のゲート長依存性

設計方針に基づき、 E_{off} の L_g 依存性をシミュレーションにより見積った。図 2 に、 E_{off} およびターンオフ dV/dt の L_g 依存性を示す。 E_{off} は、ターンオフ dV/dt が 10kV/μs のときの値であり、ターンオフ dV/dt は R_g が 91 Ω のときの値である。また、 L_g の値は、構造の最適化を行う前の L_g の値を基準としている。

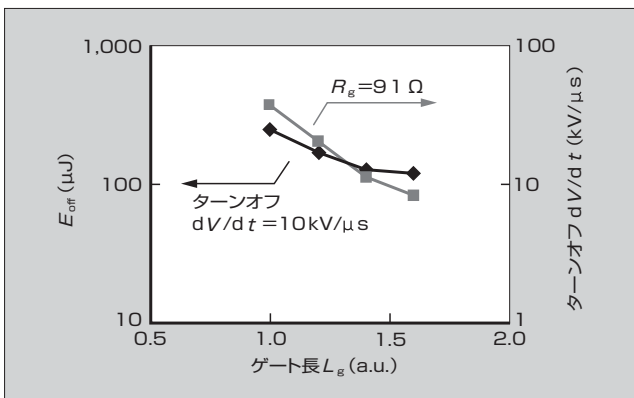


図2 E_{off} とターンオフ dV/dt の L_g 依存性

図 2 に示すように、 L_g を長くすることでターンオフ dV/dt を小さくでき、その結果として E_{off} の値が低減することを確認した。ただし、 E_{off} の値は、 L_g が 1.4 以上になるとほぼ改善されなくなり、飽和する傾向を示す。これは、 C_{gd} を大きくすることで、ターンオフ時間が長くなるとともに帰還容量も増大するため、ミラー期間が長くなり、損失が増大傾向を示すためと考えられる。

3.3 ターンオフ損失のしきい値電圧依存性

次に、 E_{off} およびターンオフ dV/dt の V_{th} 依存性を計算した。その結果を図 3 に示す。 L_g 依存性の計算と同様に、 V_{th} の値は構造最適化前の V_{th} の値を基準としている。また、 V_{th} 依存性を見積りには、3.2 節で述べたシミュレーションを基に、 L_g の最適設計値を 1.4 として計算した。

図 3 に示すように、ターンオフ dV/dt は V_{th} が小さくなるにつれ低減し、それに従い E_{off} の値も低減することを確認した。しかし、 V_{th} を低くしすぎると、ノイズの影響により意図せずに素子がオンする問題が生じる可能性がある。 V_{th} の設計最適化には、素子の誤動作を抑止するために V_{th} を下げ過ぎないように注意する必要がある。

以上の結果より、SJ-MOSFET の構造最適値として $L_g=1.4$ および $V_{th}=0.75$ を用い、 E_{off} とターンオフ dV/dt とのトレードオフ関係を改善した。

④ 「Super-JMOS」の特性

4.1 オン抵抗の評価

定格 600V/20A/0.19Ω の SJ-MOSFET について、定格電圧における Super-JMOS および競合他社品の $R_{on} \cdot A$ を比較・評価した。評価結果を図 4 に示す。 $R_{on} \cdot A$ の値は、Super-JMOS の値を基準としている。Super-JMOS においては競合他社の SJ-MOSFET と同等以上の $R_{on} \cdot A$ が確認できた。

4.2 スwitching損失の評価

次に、 E_{off} の評価を行った。Super-JMOS では、ターンオフ dV/dt が 10kV/μs における E_{off} の値は 160μJ となり、構造最適化により極めて小さな E_{off} を実現した。Super-

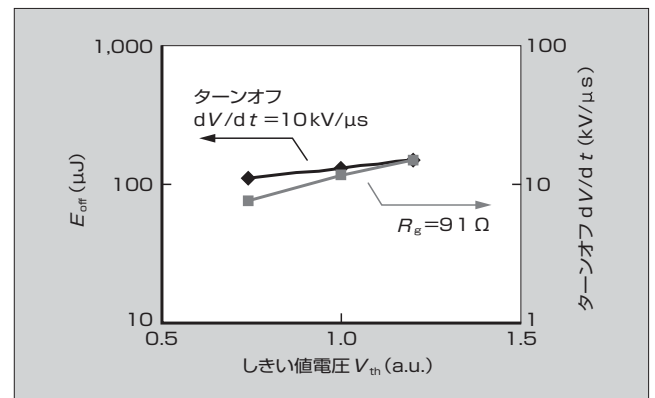


図3 E_{off} とターンオフ dV/dt の V_{th} 依存性

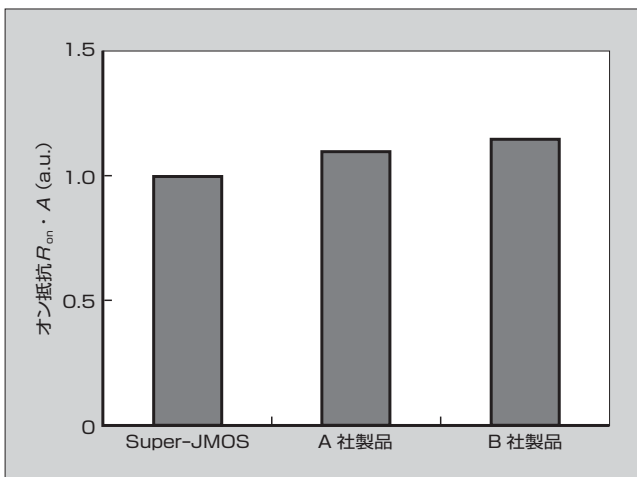


図4 $R_{on} \cdot A$ の比較・評価

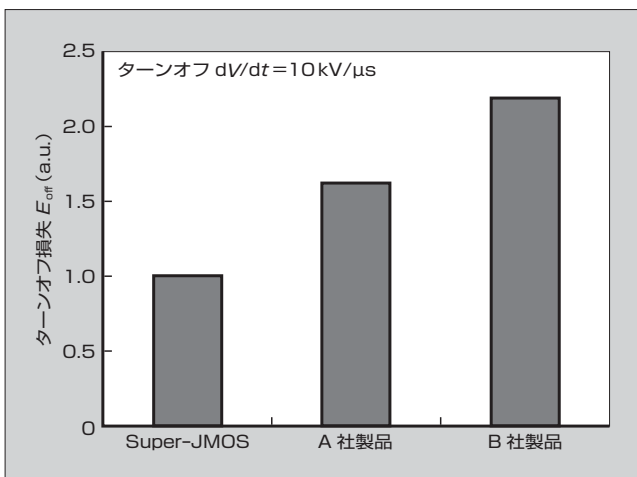


図5 E_{off} の比較・評価

JMOS および競合他社品について、ターンオフ dV/dt が $10\text{ kV}/\mu\text{s}$ のときの E_{off} の値を比較・評価した結果を図5に示す。図4の場合と同様に、 E_{off} の値は Super-JMOS の値を基準としている。

図5に示すように、Super-JMOS では構造最適化の効果もあり、競合他社品と比べ大きく E_{off} を低減した結果となった。

5 実機評価

前述のとおり、表面構造最適化により、Super-JMOS においては極めて高い水準の $R_{on} \cdot A$ および E_{off} が得られたことを確認した。次に、Super-JMOS での電源効率を確認するため、図6に示すような 400 W-ATX 電源の力率改善 (PFC) 回路に、Super-JMOS を搭載し評価を行った。競合他社中でターンオフ損失が低い、A社製 SJ-MOSFET についても同様に評価を行い、得られた電源損失および電源効率を比較・評価した (図7)。評価した素子は、いずれも定格 $600\text{ V}/0.19\ \Omega$ のものである。

図7(a)に示すように、Super-JMOS では、A社製品と比べて特にターンオフ時において損失を低減しており、

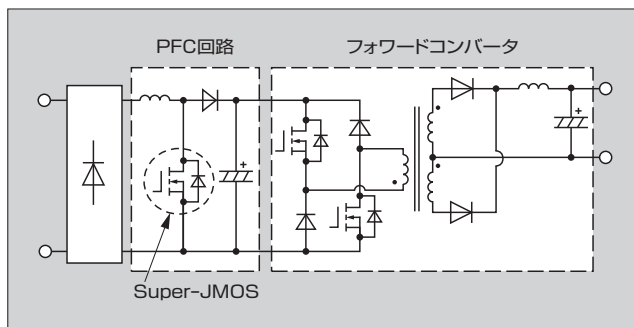


図6 実機評価回路模式図

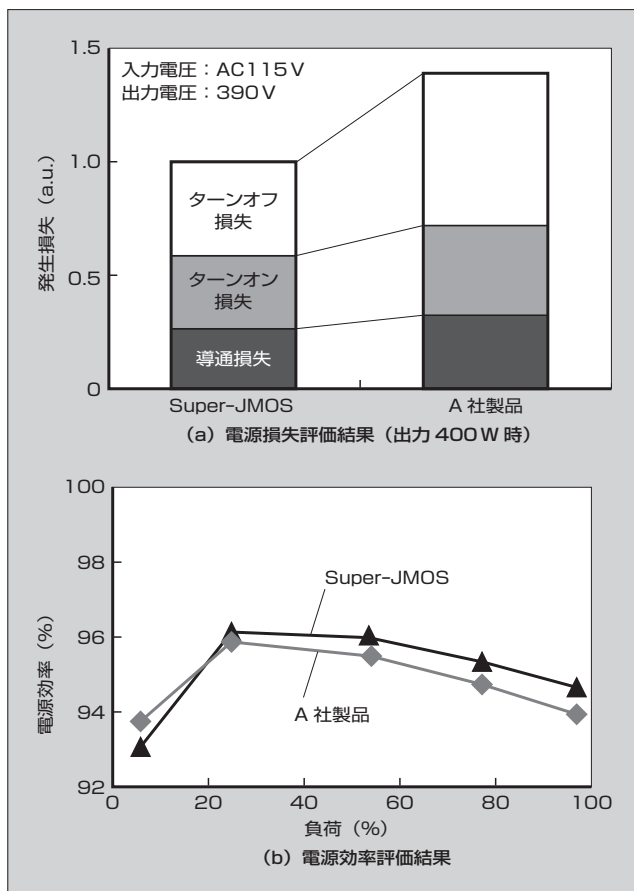


図7 実機評価結果

トータル電源損失低減に大きく貢献する結果となった。

また、図7(b)に示すように Super-JMOS においては高効率な電源動作を実現しており、電源の負荷が50%における電源効率は96%と高かった。さらに、負荷が20%から100%の範囲においては電源効率が94%以上であった。これは、“80 PLUS”^{(6) (注2)} の認証を満たす結果であり、Super-JMOS が電力変換器の電力効率の改善に貢献できる特性を

〈注2〉 80 PLUS: 独立民間機関 (<http://www.80plus.org>) により定められた、電源の高効率化に関する規格である。PC やサーバに使用される電源において、負荷率が20%、50%、100%時に、電力変換効率が80%以上を満たした場合に認証される。

米国 Ecos Consulting Inc. の商標または登録商標

持つことを示している。

6 あとがき

SJ-MOSFET の表面構造最適化により、ターンオフ損失とターンオフ dV/dt のトレードオフ関係を改善し、スイッチング損失を低減した「Super-JMOS」を開発した。ゲート・ドレイン容量を増加させ、かつしきい値電圧を低く抑えることにより、ターンオフ dV/dt を低減し、ターンオフ損失とターンオフ dV/dt のトレードオフ関係が改善することを確認した。素子構造最適化により、ターンオフ dV/dt の値が $10 \text{ kV}/\mu\text{s}$ におけるターンオフ損失は、SJ-MOSFET において極めて高い水準となる $160 \mu\text{J}$ を得た。また、 400 W-ATX 電源の力率改善回路に、Super-JMOS を搭載して電源効率の評価を行った結果、他社 SJ-MOSFET と比べて非常に高効率な電源動作が可能であることが分かった。

現在、富士電機では通信・PC サーバ電源市場をターゲットとし、 600 V 定格の Super-JMOS の低損失化・高効率化を進めている。今後も、素子微細化などによりさらなる素子性能の向上を進めていく所存である。

参考文献

- (1) Fujihira, T. Theory of Semiconductor Superjunction Devices, Jpn. J. Appl. Phys., 1997, vol. 36, p.6254-6262.
- (2) Deboy, G. et al. A New Generation of High Voltage MOSFETs Breaks the Limit Line of Silicon, Proc. IEDM, 1998, p.683-685.
- (3) Onishi, Y. et al. $24 \text{ m}\Omega\text{cm}^2$ 680 V Silicon Superjunction MOSFET, Proc. ISPSD'02, 2002, p.241-244.
- (4) Saito, W. et al. A $15.5 \text{ m}\Omega\text{cm}^2$ - 680 V Superjunction MOSFET Reduced On-Resistance by Lateral Pitch Narrowing, Proc. ISPSD'06, 2006, p.293-296.
- (5) Baliga, B. J. Modern Power Devices, John Wiley & Sons, Inc., 1987, p.305-314.
- (6) ECOS Consulting. <http://www.80plus.org>. (参照 2011-07-29)



田村 隆博

パワー MOSFET の研究・開発に従事。現在、富士電機株式会社技術開発本部電子デバイス研究所 Si デバイス開発センターデバイス開発部。工学博士。



澤田 睦美

パワー MOSFET の研究・開発に従事。現在、富士電機株式会社技術開発本部電子デバイス研究所 Si デバイス開発センターデバイス開発部。



島藤 貴行

パワー MOSFET ・マルチチップデバイスの開発・設計に従事。現在、富士電機株式会社電子デバイス事業本部松本工場技術統括部ディスクリート・IC 技術部。





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。