UDC 621.316.784: 621.314.214.332.07

負荷時タップ切換変圧器の制御に使用した関数発生器

豊田工場設計課　高　橋　　啓

Function Generator used in Control System of On-load Tap Changing Power Transformer

Kei Takahashi
(Design Sect., Toyoda Works)

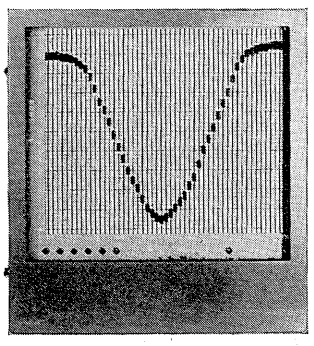
Synopsis

A solid state digital servo function generator controls the 275 kV, 200 MVA on-load tap changing power transformer.

The use of function generators as nonlinear and computing elements in control systems is becoming an accepted and very effective practice.

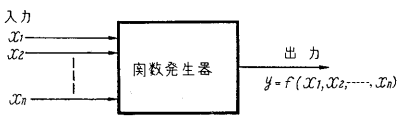
I. まえがき

関数発生器は，主にアナログ計算機用として研究開発されたものであるが，最近その有用さが認められ，各種の制御に用いられるようになった．化学工業，製鉄などのプロセス制御，電力，水道などの自動制御に，新しい非線形制御要素としてその応用範囲は非常に広く，すでに東京都水道局・和田堀給水所の圧力制御[1]，関西電力・姫路変電所の変圧器負荷時タップ切換制御[2]などで実際に使用されている．これらは，制御用として特別に設計されたもので，その信頼度の向上，特に長時日の安定度を得るために努力が払われた．また取扱いが容易なように，関数設定が直視的に行なえるなど，人間工学的な検討も加えられた．ここでは，変圧器負荷時タップ切換制御に使用された形の関数発生器について述べる。



第1図　関数発生器

Fig. 1. Function generator



第2図　関数発生器ブロックダイヤグラム

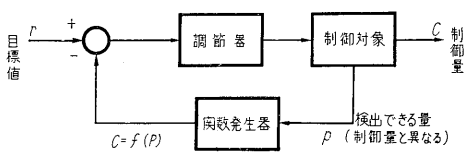
Fig. 2. Block diagram of function generator

II. 関数発生器の概要

関数発生器は，書籍にたとえるなら，数表やグラフ，計算図表に相当するもので，一般には入力としてディジタル量あるいは電圧，電流，時間などのアナログ量で表わされた独立変数 x が与えられると，あらかじめ設定された一定の関数関係を満足するような出力 y を発生する装置である．入力独立変数の数は複数個でもよい。

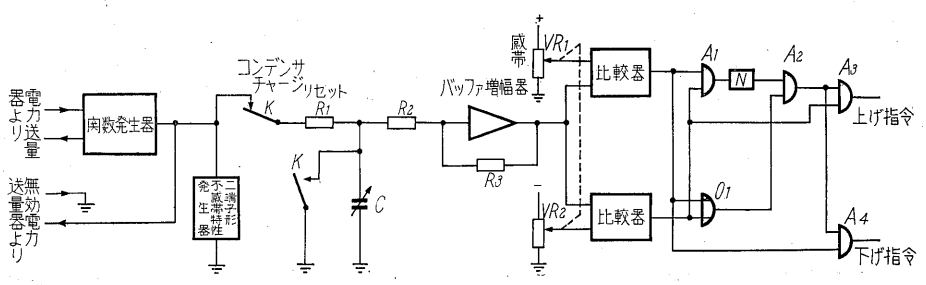
自動制御系で関数発生器が使用されるのはだいたい次のような場合である。

1) 制御量は直接検出できないが，検出できる他の量との間に一定の関数関係があるとき（第3図)。
2) 目標値が他の系の目標値や制御量，操作量などと一定の関数関係をもつとき。
3) 積極的に，すぐれた非線形制御系を構成するとき。



第3図　関数発生器を含むフィードバック制御系の例

Fig. 3. An example of feedback control system containing function generator



第4図　負荷時タップ切換制御装置回路図

Fig. 4. Schematic diagram of on-load tap changer

4)　制御系が信号 x_1, x_2, $\cdots x_n$ に関する計算を必要とするが，すでに解かれていて，そのつど計算する必要がないとき。

5)　制御系が，計算式で表わされないような実験データを必要とするとき。

第4図は，関西電力・姫路変電所納入の 275 kV 200 MVA 変圧器負荷時タップ切換制御装置の回路で，関数発生器が使用されている。

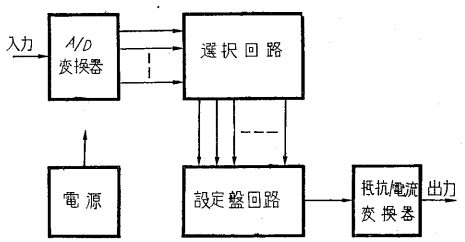
アナログ計算機では主として，ダイオードを用いた折線近似関数発生器やタップ付ポテンショメータを用いたサーボ関数発生器，曲線追尾のフォトホーマ形関数発生器などが使われ，そのほかにデカトロンを用いた関数発生器[3]などもあるが，これらは制御用としてそのまま使用するには問題がある．すなわち，折線近似関数発生器は関数設定がめんどうだし，入力レベルが低いと誤差が大きくなる欠点がある．サーボ関数発生器は，精度はよいが，しゅう動接触部を含むため寿命や信頼度の点で問題が多い．ブラウン管を使ったフォトホーマやガス入り計数管デカトロンを使ったものは工業用には不向きである．これらの点を検討した結果，工業用の関数発生器は，全トランジスタ式とし，回路方式にはディジタルサーボを採用した．この方式では，入力独立変数が2個以上の場合でも容易に製作できる。

III.　関数発生器の回路

1.　構　　成

第5図は関数発生器の構成を示すブロックダイヤグラムである．すなわち，アナログディジタル変換器，関数設定盤，選択回路，抵抗電圧または抵抗電流変換回路，電源などから構成される。

入力信号は電流の大きさ（アナログ量）で与えられるが，いったんアナログディジタル変換器でディジタル量に変換し，関数設定盤の中からそれに対応した多接点切換開閉器を選択する．選択された切換開閉器はその接触



第5図　ディジタルサーボ形関数発生器

Fig. 5. Block diagram of digital servo function generator

ばねの位置により抵抗値を決定し，必要ならば電圧や電流に変換して出力とする。

関数設定盤は，多接点切換開閉器を多数並べたもので，離散的にではあるが，任意関数を設定できるようになっている。

2.　仕　　様

入力電流	0～3 mA
入力インピーダンス	平衡時　約 10Ω
設定できる関数形	一価関数
設定できる最小目盛	横軸　2％（フルスケールの）
	縦軸　1％（　〃　）
設定点間の補間	直線補間可能
総合精度	0.5％（設定値に対して）
出力	0～3V または 0～3 mA
電源	100V（200V）AC　±20％
	50～60％　約 40VA
寸法	約 620(W)×650(H)
	×200(D) mm

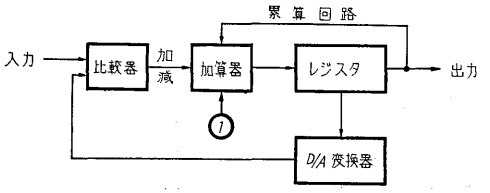
3.　アナログディジタル変換器

アナログディジタル変換器には，計数方式，比較方式，符号板方式などがあり，比較方式はさらに逐次比較方式，連続平衡方式，無フィードバック方式などにわかれる。

関数発生器用としては，連続平衡方式が適当である．すなわち，逐次比較方式は，連続平衡方式と比べて1回の平均変換速度は速いが，変換ごとにレジスタに不要な

数値が現われるので出力にバッファレジスタが必要であるし，変換中比較回路に雑音が入って誤動作したとき大きなけたを誤る確率も大きく，またいったん誤動作をすると次の変換を行なうまで訂正されない．これに対して，連続平衡方式は，平均のアナログディジタル変換速度は遅いが，いったん平衡してしまえば変換ごとに不要な数値が現われることがないので，出力レジスタを別に用意する必要がなく回路構成が単純化できる．変換中比較回路が雑音のために誤動作をしても最小けたを誤るだけで，それもただちに訂正するよう動作する．無フィードバック方式や計数方式はフィードバックがないので不安である。

連続平衡方式は第6図に示すように，たとえば加減算回路とレジスタから成る累算回路にディジタルアナログ変換回路，比較器を加えて構成する。

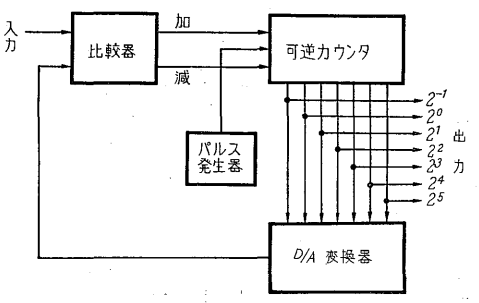


第6図　累算器による連続平衡式アナログディジタル変換器

Fig. 6. Block diagram of feedback encoder with accumulator

入力アナログ量と出力のディジタル量をディジタルアナログ変換したアナログ量とを比較し，その大小関係により，レジスタの数値を最小けたの1単位ずつ増減して平衡をとるようにした一種のディジタルサーボである．したがって入力が連続的にゆっくり変動するような場合には変化分のみを増減すればよいので，変換速度も速くなる。

累算回路は可逆計数回路を使えば簡単である．第7図はそのブロックダイヤグラムである．可逆計数回路の出力は，ディジタルアナログ変換回路でアナログ量に変換されて比較回路に入る．比較回路はそれと入力とを比較し，入力の方が大きければ加算，小さければ減算の指令を出す．可逆計数回路はその指令に基づいてパルス発生器からのパルスを加算したり減算したりして平衡をとる．その時の可逆計数回路の出力は入力アナログ量をディジタル符号で表わしたものになる。

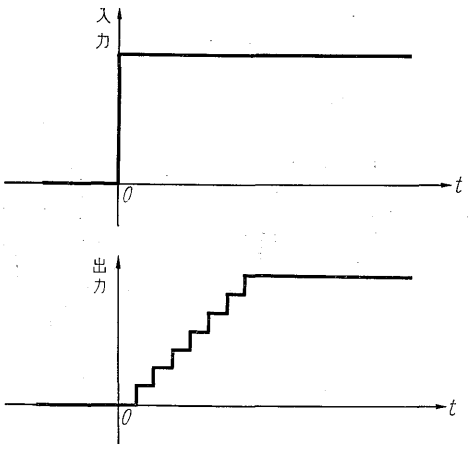


第7図　2進可逆計数回路による連続平衡方式 A/D 変換器

Fig. 7. Block diagram of feedback encoder with binary reversible counter

1）仕　　様

入力信号	電流　0～3 mA
出力符号	2進数7けた
感　　度	約 20 μA
精 密 さ	最小けた1単位
正 確 さ	±0.5%
変換速度	フルスケールステップ状入力に対して約2 ms（第8図）



第8図　連続平衡方式の入出力波形の例

Fig. 8. Illustrations of input and output of feedback encoder

完全に追従できる正弦波周波数

	振幅フルスケール	約 160%s
	振幅　10%	約 1.6 kc
出力信号	論理変数の0－　0V	±4 mA
	論理変数の1－－6V	±4 mA

2）可逆計数回路

可逆計数回路は加減指令に従って，パルスの数を数え上げたり数え下げたりすることのできる計数回路である．2進計数回路の場合には第9図（a）のように構成することができる．すなわち加算のときは第9図（b）の回路となり，パルスが入るごとに

0101，0110，0111，1000，……

のように数え上げる．減算のときは第9図（c）の回路

となり，パルスが入るごとに

1000, 0111, 0110, 0101, ……

のように数え下げる。

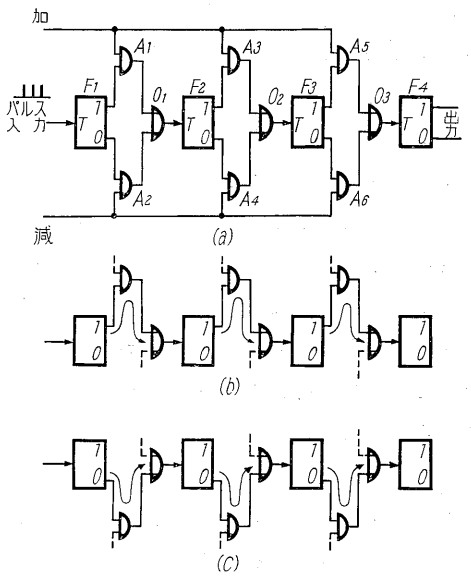
実際の回路を第 10 図に示す．使用したトランジスタは低速度開閉用の 2SB65 で，この回路の最高計数速度は約 90 kc である。

3) ディジタルアナログ変換と比較回路

可逆計数回路からのディジタル信号を入力アナログ量と比較するための回路で第 11 図（a）はその原理を示す。

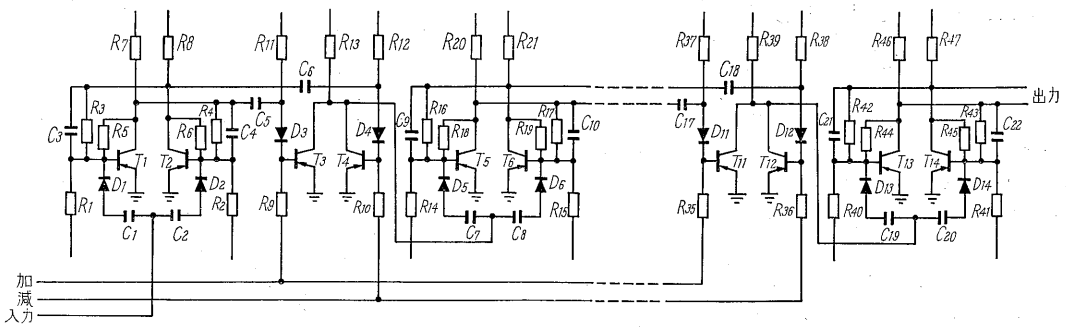
S_1, S_2, S_3, S_4 はそれぞれディジタル信号2進数の 2^0, 2^1, 2^2, 2^3 に対応する開閉器で，それらの 1, 0 に従って開閉するものとする。

いま，入力アナログ電流を 11 mA とし，S_1, S_2 が閉，S_3, S_4 が開，すなわちディジタル信号を 1100（10 進法の 12）として，入力とディジタルアナログ変換回



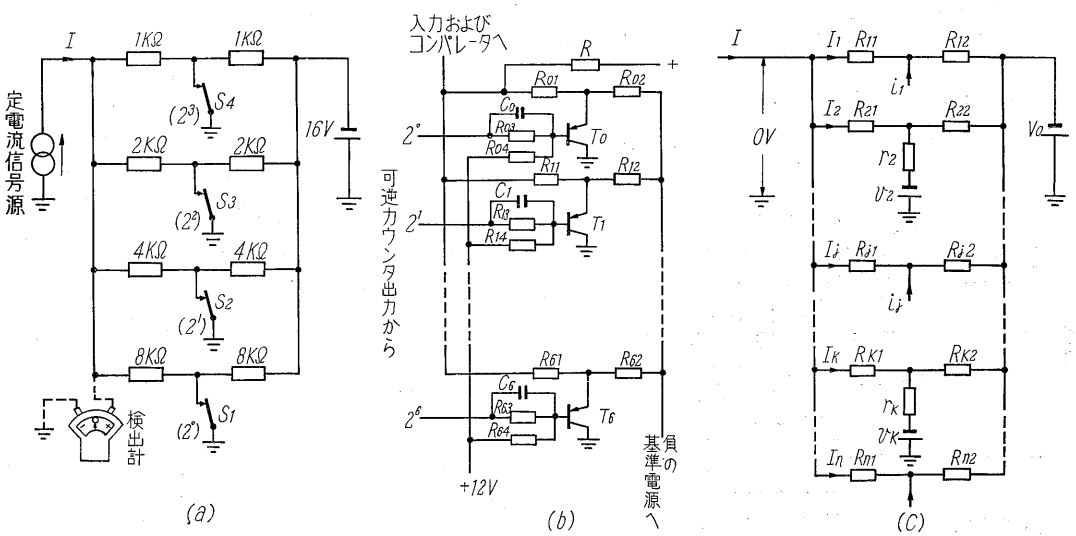
第9図 2 進 可 逆 計 数 回 路

Fig. 9. Schematic diagram of binary reversible counter



第 10 図 2 進 可 逆 計 数 回 路

Fig. 10. Binary reversible counter



第 11 図 (a) 簡単化した例題のディジタルアナログ変換回路 (b) 実際のトランジスタ式変換回路 (c) 等価回路

Fig. 11. (a) Simplified decoder of illustrative example (b) Transistorized actual decoder (c) Equivalent circuit

路とのつき合わせ点，A 点の電位 V_E を計算すると，

$$V_E \fallingdotseq -0.53V$$

が得られる．逆にディジタル信号を 1010（10 進法の 10）すなわち，S_1，S_3 を閉，S_2，S_4 を開とすれば，

$$V_E = +0.8V$$

となるから，A 点の電位 V_E の正負を判別する電圧比較回路を置けば，入力アナログ量とディジタル信号との大小を判別することができる。

実際の回路は第 11 図（b）のようなもので，開閉器としては，飽和時のコレクタエミッタ間電圧を小さくするために，中速度開閉用トランジスタ 2SA 40 をコレクタエミッタを逆接続して使用する．主な抵抗器は高速性と長期の安定度を得るために金属皮膜抵抗器を用いた。

この回路では，トランジスタが開閉器として完全でないために，オフのときのエミッタ漏れ電流，オンのときのコレクタエミッタ間飽和電圧などによる誤差を発生するが，次にそれらの誤差について検討し，抵抗値をどのように選ぶのがよいかを調べてみよう。

トランジスタがオフのときのエミッタ漏れ電流はほぼ定電流特性を示し，逆にオンのときのコレクタエミッタ間の特性は，飽和抵抗とオフセット電圧源との直列回路で近似できるから第 11 図（b）の回路は第 11 図（c）の等価回路で表わされる．これは，ディジタル符号を n けたとし，j 番目のトランジスタがオフ，k 番目のトランジスタがオンの状態で平衡に達し，A 点の電位が 0V になったときを示している．すなわち，トランジスタが，オフのときの漏れ電流を i_1，$\cdots i_j$，オンのときの飽和抵抗およびオフセット電圧を r_2，$\cdots r_k$，および v_2，$\cdots v_k$ で表わしてある。

この回路からただちに，

$$I_j = \frac{V_0 - i_j R_{j2}}{R_{j1} + R_{j2}} \quad \cdots\cdots(1)$$

$$I_k = \frac{R_{k2} v_k + r_k V_0}{R_{k2} r_k + R_{k1}(R_{k2} + r_k)} \quad \cdots\cdots(2)$$

したがって入力電流 I は，キルヒホッフの法則により，

$$I = \sum_{j\text{について}} I_j + \sum_{k\text{について}} I_k \ (j,\ k=1,\ 2,\ \cdots n)$$

$$= \Sigma \frac{V_0 - i_i R_{j2}}{R_{i1} + R_{j2}} + \Sigma \frac{R_{k2} v_k + r_k V_0}{R_{k2} r_k + R_{k1}(R_{k2} + r_k)} \quad \cdots\cdots(3)$$

すなわち，ディジタル信号 $\{j=1,\ k=0\}$ は I と対応することになり，ここで正しい電流値を

$$I_c = \sum_{j\text{について}} \frac{V_0}{R_{j1} + R_{j2}} \quad \cdots\cdots(4)$$

とすれば，誤差は，

$$\Delta I = I_c - I$$

$$= \Sigma \frac{i_j R_{j2}}{R_{j1} + R_{j2}} - \Sigma \frac{R_{k2} v_k + r_k V_0}{R_{k2} r_k + R_{k1}(R_{k2} + r_k)} \quad \cdots\cdots(5)$$

となる．フルスケールに対する誤差は

$$\varepsilon = \frac{\Delta I}{\sum_{l=1}^{n} \frac{V_0}{R_{l1} + R_{l2}}} \quad \cdots\cdots(6)$$

で求められる。

この誤差の絶対値が最大になるのは，両極端

$$|\Delta I_0| = \sum_{k=1}^{n} \frac{R_{k2} v_k + r_k V_0}{R_{k2} r_k + R_{k1}(R_{k2} + r_k)} \quad \cdots\cdots(7)$$

あるいは

$$|\Delta I_1| = \sum_{j=1}^{n} \frac{i_j R_{j2}}{R_{j1} + R_{j2}} \quad \cdots\cdots(8)$$

のときである．ΔI_0 はすべてのけたが 0 のとき，ΔI_1 はすべてのけたが 1 のときの誤差である。

ここで簡単のために，すべてのトランジスタの特性を同じとすれば，式(8)で表わされる誤差は，$R_{j2} = R_2$ 一定として，基準電圧を iR_2 $(i = i_j)$ だけ変えることによりキャンセルできるから，式(7)の誤差のみを考えればよいことになる．また実際の大きさからいっても式(7)の方が大きい。

さて，ディジタル符号が 2 進数の場合には，

$$R_{j1} + R_2 = R_0 2^{j-1} \quad \cdots\cdots(9)$$

であるから，式(6)，式(7)から，

$$|\varepsilon_0| = \frac{2^{n-1}}{2^n - 1}\left(\frac{v}{V_0} + \frac{r}{\alpha R_0}\right) \sum_{k=1}^{n} \frac{1}{2^{n-1} - \alpha} \quad \cdots\cdots(10)$$

ただし，

$$v = v_k,\ r = r_k,\ \alpha = \frac{R_2}{R_0} < 1 \quad \cdots\cdots(11)$$

n を充分大きいとし，また，$v \ll rV_0/\alpha R_0$ なるときの数値計算例を第 12 図に示す．これから，

$$\alpha = \frac{R_2}{R_0} \fallingdotseq 0.6 \quad \cdots\cdots(12)$$

のとき誤差が最小で

$$|\varepsilon_0| \fallingdotseq 3.1\ r/R_0 \quad \cdots\cdots(13)$$

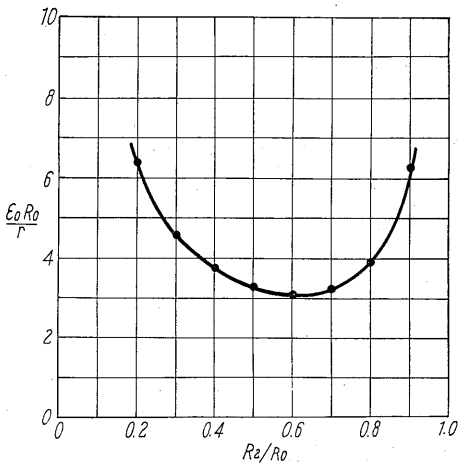
となることが知れる。

トランジスタ 2SA 40 を逆接続したものは，r が約 2 Ω であるから，$R_0 = 4\,\mathrm{k}\Omega$ とすれば，式(13)から，

$$|\varepsilon_0| \fallingdotseq 3.1 \times 2/4000 \fallingdotseq 0.15\%$$

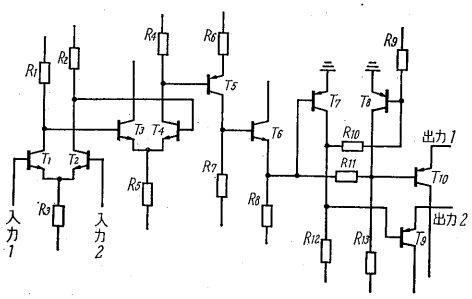
の誤差となる。

比較回路は第 13 図のように差動増幅器に二安定回路を接続したもので，可逆計数回路の加減切換を行なうに



第12図　トランジスタ式変換回路の誤差関数

Fig. 12. Plot of error function for transistorized decoder



第13図　電圧比較回路

Fig. 13. Voltage comparator

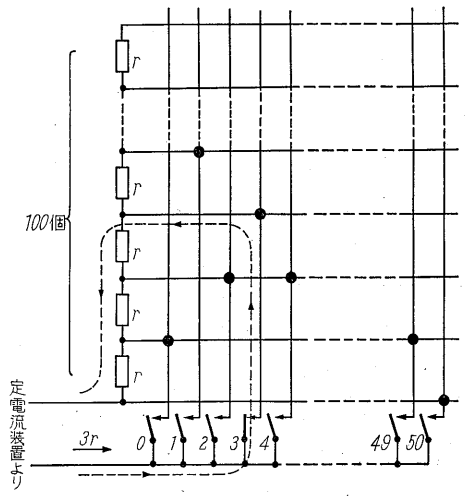
充分な電力を得るためにエミッタフォロワで出力を増幅している．差動増幅器の初段には，ドリフトの原因となるベース電流を小さくするために，コレクタしゃ断電流が小さく微小コレクタ電流時の直流電流増幅率が大きいプレーナ形シリコントランジスタ 2SC172 を使用し，抵抗も金属皮膜抵抗器を用いた．たとえば2段目のコレクタ抵抗の 10％ 変化は，入力に換算して約 0.4mV のドリフトにしかならないが，初段の コレクタ 抵抗の 10％変化は約 20mV のドリフトとなる。

電圧比較回路の性能は，感度約 0.2mV，入力換算ドリフト 1mV (10～40°C)，入力ベース電流約 400mμA で，応答速度はだいたい 1μS である。

4. 関数設定盤と選択回路

関数設定盤は，特製の101接点直線形切換開閉器をたてに 51 本並べ，任意の関数を直視的に設定できるようにしたもので，各切換開閉器の接点は横に並列に接続され，100 個の固定巻線抵抗器で終端されている。

選択回路はアナログディジタル変換器からのディジタル信号に対応した1個の直線形切換開閉器を選択する．その模様を第 14 図に示す．選択された直線形切換開閉器の接触ばねの位置に比例した抵抗値が出力となる。



第14図　不連続形関数発生器の原理

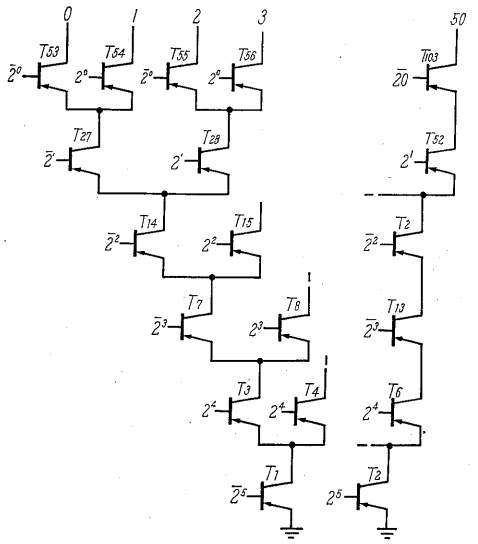
Fig. 14. Principle of a discrete function generator

以上の動作は次のように考えてもよい．すなわち，101 中1符号で表わされた数値 51 語を記憶する記憶装置があって，そのアドレスを 0～50 番地とする．アナログディジタル変換器の出力で指定された番地の記憶内容を読取り，その値をディジタルアナログ変換して出力とする。

選択回路は，103 個のトランジスタで第 15 図のように構成してある。

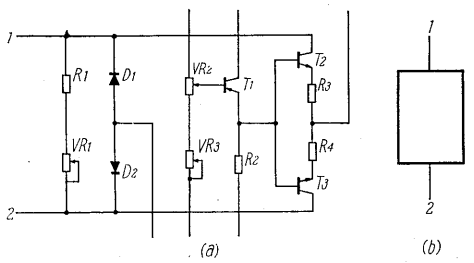
直線形切換開閉器を選択するアナログの開閉器もやはりトランジスタを使用したが，そのために生じる誤差はフルスケールに対して0.1％程度である。

出力には抵抗の大きさを電圧または電流の大きさに変.



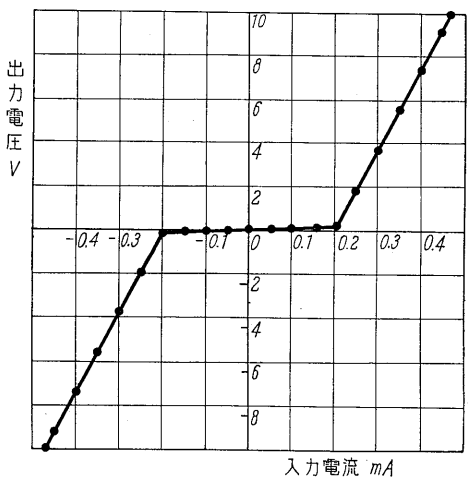
第15図　選　択　回　路

Fig. 15. Selector circuit



第 16 図　(a) 2 端子形不感帯特性回路　(b) 等価ブロックダイヤグラム

Fig. 16. (a) Two-terminal dead-space circuit (b) Equivalent block diagram



第 17 図　出 力 電 圧 対 入 力 電 流

Fig. 17. Output voltage versus input current

換する変換回路をつけることができる。

なお，関数設定盤で設定可能な関数の最小目盛は横軸が 2 %，たて軸が 1 %であるが，入力信号周波数が充分低い場合には，適当な振幅範囲，たとえばフルスケールの 2 %の範囲で振幅の確率密度分布が一様な雑音を入力信号に重畳し，出力回路でそれをろ波することによって，設定間を直線補間することができる。

IV. あ と が き

以上，ディジタルサーボ形関数発生器について述べたが，すでに実用化されているものは，入力信号 0～3mA 関数設定点 51 点，設定できる最小目盛横軸 2 %，たて軸 1 %，設定値に対する誤差 0.5 %，完全に応答し得る周波数 160 %s程度のもので各種プロセス制御，電力，水道その他の制御に広く利用できるものと思う。

なお，現在，多変数関数発生器について検討中であり，また，よりいっそうの性能向上のために努力している次第である。

参 考 文 献

(1) 三船・坂田：富士時報 **35**, 260（昭 37）
(2) 野々村：富士時報 **35**, 733（昭 37）
(3) たとえば田中・山下・山本：連大 I，288（昭 36—4）

e-Front runners

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。