

パワー MOS FET

*1 山崎 浩(やまざき ひろし) *2 稲越 雄司(いなこし ゆうじ)

① まえがき

パワー MOS FET(Metal Oxide Semiconductor Field-Effect Transistor)の需要が急速に拡大している。世界的にみれば、従来最も大きな需要先は軍用であった。パワー MOS FET 自体の特性改善とコストダウンが進む一方、1983年以來の世界的な景気回復傾向の中で、産業用、自動車用、コンピュータ関連、情報機器関連へと、それぞれ急速な拡大傾向を示している。西独シーメンス社では、1970年代からバイポーラ素子に代わる高速スイッチング素子として、パワー MOS FET の開発を進めてきた。SIPMOS (SIEMENS Power MOS FET)のブランドネームは、その会社名に由来し、日本においては、シーメンス社と富士電機の共同出資による合弁会社富士エレクトロニックコンポーネンツ(株)が輸入業務、販売促進、技術フォローを行っている。また、直接の営業活動は富士電機の営業ルートを通じて行われ、富士電機松本工場による品質管理及び技術フォロー体制をとっている。一部機種については松本工場での組立を開始するとともに、日本の市場ニーズにより適合した製品系列とすべく、シーメンス社との共同開発を行っている。ここでは SIPMOS の製品概要、応用及び今後の動向について述べる。

② SIPMOS の構造

パワー MOS FET として既に発表されているトランジスタには、通称、縦形と横形がある。更に縦形には、いわゆる VMOS に代表される表面が V 字形に加工されたものと、表面がフラットな DMOS タイプに分かれる。SIPMOS は構造的には DMOS の範ちゅうにあるが、その製造プロ

セスから DIMOS (Double Implanted MOS)とも呼ばれ、図 1 に示すようなセル構造をしている。

ドレイン電極となる n⁺ 基材上に、n⁻ 層がエピタキシャル成長で作られる。格子網状に作成されたゲート電極は、n⁺ ドープされたシリコンでできており、端部は傾斜がつけられ、基板ゲート p 領域と n⁺ ソース領域の 2 回のイオン打込みの時にマスクとなり、チャネル部は自己整合される。各セルのくぼみ部分で n⁺ 層と基板ゲート p 領域が全面メタライズにより短絡され、ソース電極となる。ゲートとソースの間は二酸化ケイ素 (SiO₂) で絶縁されている。

③ SIPMOS の系列

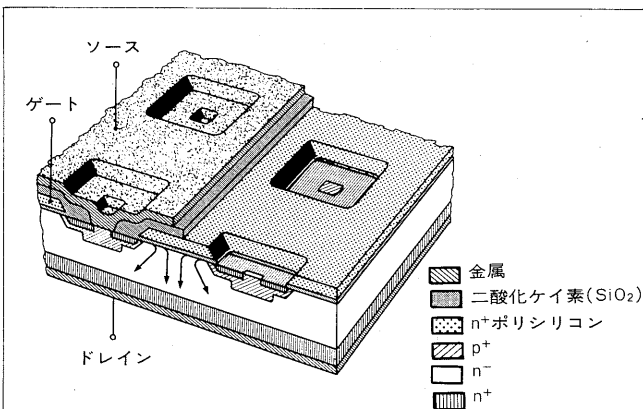
SIPMOS の系列は組み込まれるチップサイズとして、36mm²、20mm²、16mm²、8mm² の BUZ シリーズと、4mm²、1.4mm²、0.5mm² の BSS シリーズからなる。BUZ シリーズはいわゆるパワートランジスタであり、BSS シリーズは小信号トランジスタとして区別される。

表 1 に BUZ シリーズの系列を示す。

表 1 SIPMOS BUZ シリーズの系列

V _{D(max)}	I _{D(max)}	10 A	20 A	30 A	40 A
50 V	12 ~ 45 A	[Bar chart showing current capability for 50V]			
100 V	10 ~ 32 A	[Bar chart showing current capability for 100V]			
200 V	7 ~ 22 A	[Bar chart showing current capability for 200V]			
400 V	5.5 ~ 10.5 A	[Bar chart showing current capability for 400V]			
500 V	2.5 ~ 9.6 A	[Bar chart showing current capability for 500V]			
800 V	2.6 ~ 6.0 A	[Bar chart showing current capability for 800V]			
1,000 V	2.5 ~ 5.3 A	[Bar chart showing current capability for 1000V]			

図 1 SIPMOS のチップ構造



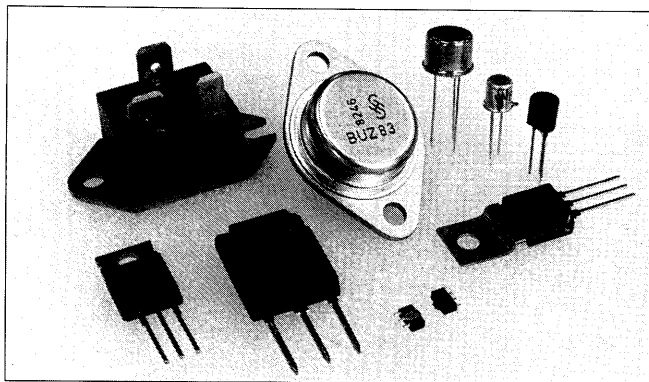
SIPMOS はその構造的長から高耐圧化が容易であり、1980年以來、50V から 1,000V までの系列を安定供給されている。電流量については、I_{D(max)} 45A と個別素子としては非常に大きい。

パッケージは図 2 に示すように、プラスチックパッケージとして、TO-220、TO-202、TO-238、TO-92、SOT-89 及び松本工場で組み立てられる TO-3P がある。メタルパッケージとしては、TO-3、TO-18、TO-39 がある。

BSS シリーズは、マイクロコンピュータ、TTL 出力による直接駆動が可能で、アクチュエータを直接、又はバッファ段として間接的に動作させる。p-ch(p チャンネル)タイプも系列に加えられており、単独に又は n-ch(n チャンネル)

*1 富士エレクトロニックコンポーネンツ(株) *2 松本工場 第二製造部

図2 SIPMOSの外形



タイプと組み合わせて用いることができる。

4 SIPMOSの特性と定格

4.1 バイポーラトランジスタとの比較

パワー MOS FET で用いられる端子及びパラメータをバイポーラトランジスタに対比させて表2に示す。

表2 バイポーラとパワー MOS のパラメータ比較

バイポーラトランジスタ	パワー MOS FET
コレクタ	ドレイン
エミッタ	ソース
ベース	ゲート
$V_{BR(CE)}$	$V_{BR(DSS)}$
V_{COB}	V_{DGO}
I_C	I_D
I_{CES}	I_{DSS}
I_{EBO}	I_{GSS}
$V_{BE(on)}$	$V_{DS(th)}$
$V_{CE(sat)}$	$V_{DS(on)}$
C_{ib}	C_{iss}
C_{ob}	C_{oss}
h_{fe}	g_{fs}

パワー MOS FET の重要なパラメータの一つであるオン抵抗 $R_{DS(on)}$ は、バイポーラトランジスタの $V_{CE(sat)}$ と式(1)により換算し比較することができる。

$$\left. \begin{aligned} R_{CE(sat)} &= \frac{V_{CE(sat)}}{I_C} \text{ (バイポーラ)} \\ R_{DS(on)} &= \frac{V_{DS(on)}}{I_D} \text{ (パワー MOS FET)} \end{aligned} \right\} \dots\dots\dots(1)$$

MOS FET はバイポーラトランジスタに対し、

- (1) 電圧制御素子であり、駆動電力が少なく済む。
- (2) 多数キャリア素子であることから、高速スイッチングができる。
- (3) 負の電流温度係数であることから、二次降伏がなく、また並列接続が容易である。
- (4) スレッショルド電圧 $V_{GS(th)}$ の適切な設計により、回

路が簡略化できる。
などの特長をもつ。

4.2 SIPMOSの特長

次に BUZ 14 (50V 39A) の特性データを図3~6に示す。
図3に示す伝達特性の曲線の傾きが g_{fs} である。 g_{fs} はチップサイズ (すなわち、ほぼパワー損失 P_D) に比例する。SIPMOS の場合、適切なゲート長、ゲート幅、ゲート酸化膜の設計により、単位チップ面積当たりの g_{fs} の値が、BUZ 14 の場合、 $18 \text{ typ.} / 36 \text{ mm}^2 = 0.5 (\text{S/mm}^2)$ と大きい。また、電流の立ち上がる点、すなわちスレッショルド電圧 $V_{GS(th)}$ は BUZ シリーズでは、 $2 \text{ V} \leq V_{GS(th)} \leq 4 \text{ V}$ ($I_D = 1 \text{ mA}$) の規格となっている。 $V_{GS(th)}$ 以下では非導通であるから、スイッチング動作時の耐ノイズマージンとみてよい。しかし $V_{GS(th)}$ は $-5 \text{ mV/}^\circ\text{C}$ の温度依存性があることに注意すべきで、SIPMOS では接合温度 $T_j = 150^\circ\text{C}$ の場合、最小値でも $2.0 \text{ V} - (5 \text{ mV/}^\circ\text{C}) \times (150^\circ\text{C} - 25^\circ\text{C}) = 1.375 \text{ V}$ と十分な

図3 50V 39Aタイプの伝達特性

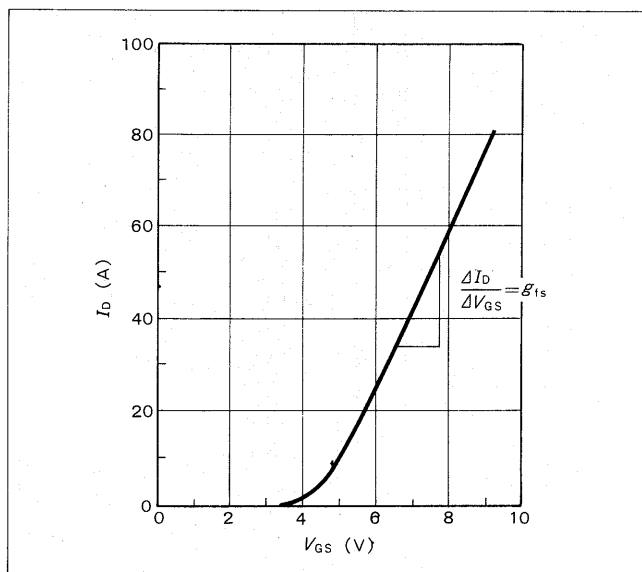


図4 50V 39Aタイプの出力特性

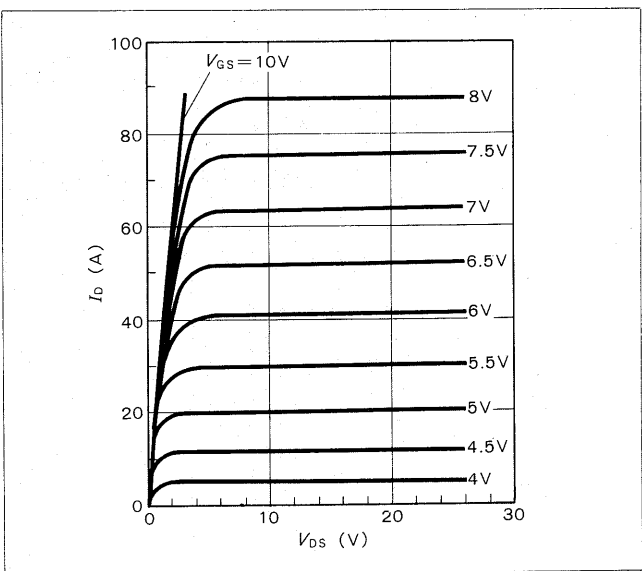
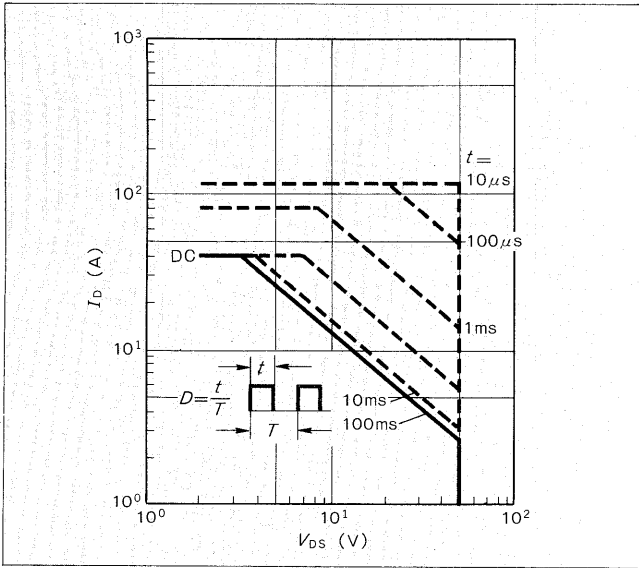
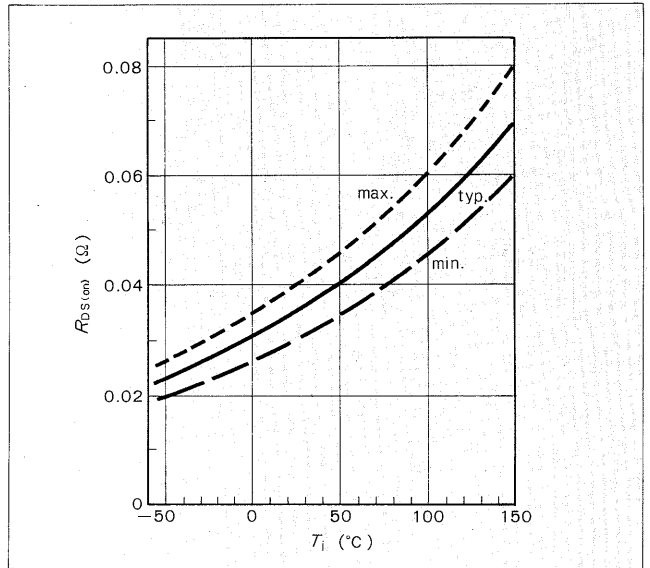


図5 50V 39Aタイプの安全動作領域



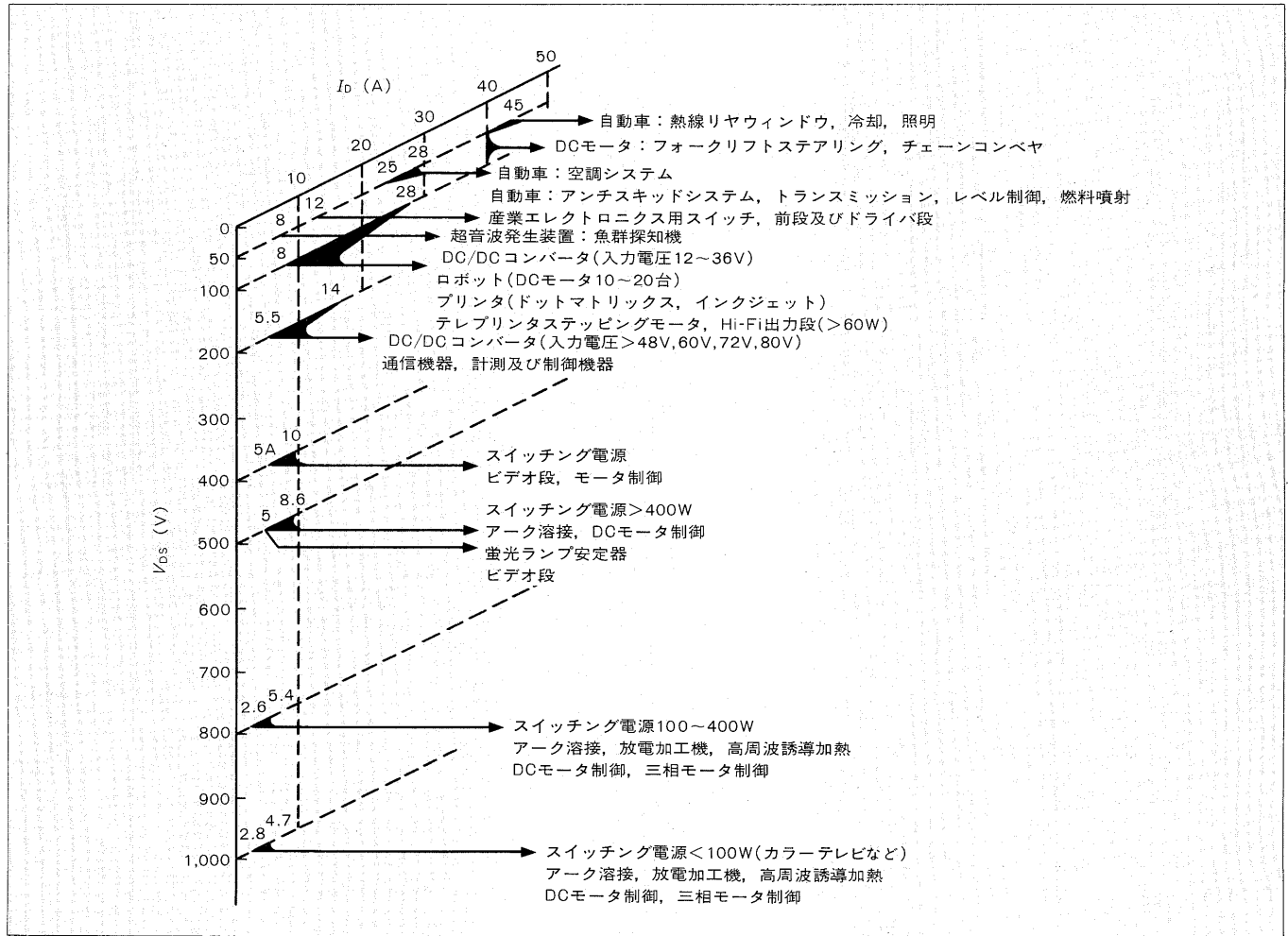
ノイズマージンがある。図4に出力特性を、図5に安全動作領域 (ASO: Area of Safe Operation) を示す。バイポーラトランジスタのような二次降伏がなく、優れた熱的安定性により最大パルス電流は直流電流定格の3倍まで許容される。広いASOが確保されたことで、回路設計上の自由度が増す。

図6 オン抵抗 $R_{DS(on)}$ の温度依存性



$R_{DS(on)}$ の温度依存性 (図6) が正であることは、並列接続時、個々の素子間の熱的バランスが良好となる反面、温度上昇とともにパワー損失 P_D の増大を意味する。放熱設計を行う場合、接合温度 T_j をはじめに設計し、 T_j での $R_{DS(on)}$ から式(2)により P_D を求める。式(3)により、周囲温度 T_a から接合-周囲間熱抵抗 $R_{th ja}$ が計算され、放熱器

図7 代表的な応用分野



の設計が行われる。

$$P_D = I_D^2 \cdot R_{DS(on)150^\circ C} \dots\dots\dots(2)$$

$$R_{th\ ja} = \frac{T_j - T_a}{P_D} \dots\dots\dots(3)$$

⑤ SIPMOS の応用

・SIPMOS はその優れた特徴を生かし、図7に示すような応用分野が広がっている。

日本での最も大きな需要分野はスイッチング電源である。情報関連機器、コンピュータ関連機器の小形化、軽量化に対する装置デザイン側からの要求は強く、動作周波数を、従来バイポーラトランジスタで行われている 20kHz 程度から、SIPMOS の高速スイッチング性を生かして 200kHz まで上げることで、体積的に約 1/4 に小形化できた例もある。SIPMOS が 1,000V までの耐圧をそろえていることから、輸出向けテレビ、ビデオテープレコーダなどで要求される 90~270V の交流入力に対応するワイドレンジスイッチング電源への適用が容易である。

産業用分野でみると、ロボット、無人搬送車、ベルトコンベヤなどの電動機駆動への応用がある。直流電動機を用いた PWM スピードコントロール装置は、比較的安価な IC が使用できることから、既に実用化が進んでいる。特に

図8 1 kW 直流電動機駆動用 SIPMOS パワーユニット

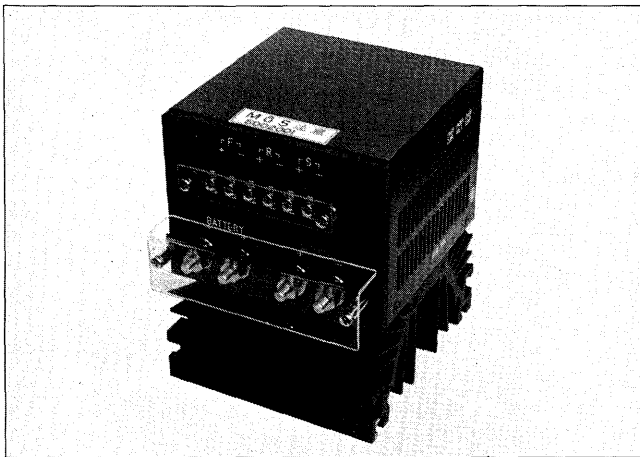
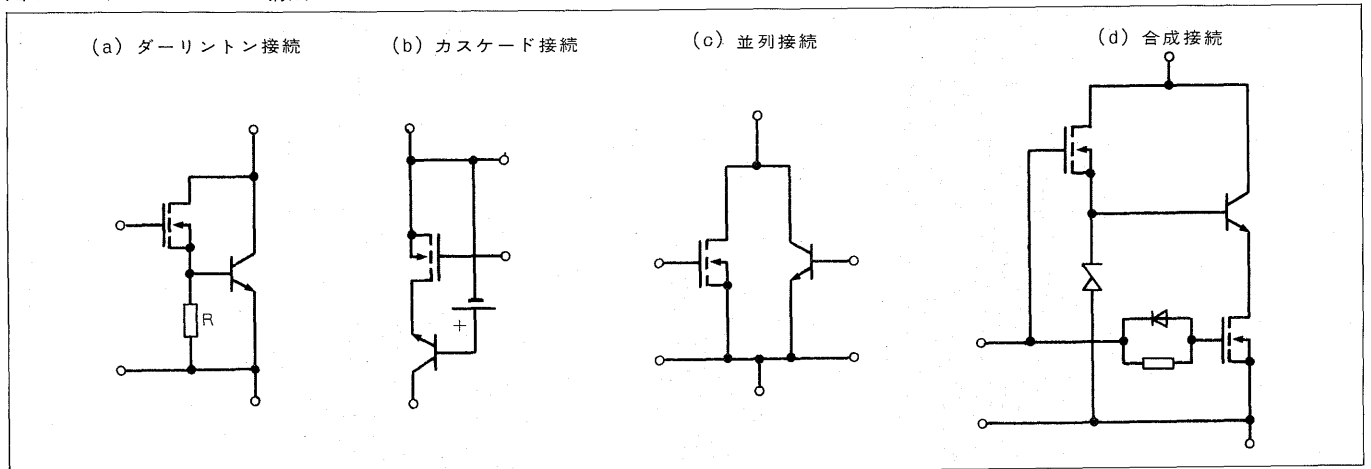


図9 バイポーラ MOS の構成



12~48V バッテリーなどの低電圧電源を用いる場合、SIPMOS の「ドレイン-ソース間に内蔵された逆方向ダイオード」を「フライホイールダイオード」として用いることができるため、装置の小形化、高効率化と同時にコストダウンも図れる。図8に 1 kW 直流電動機駆動用に開発された SIPMOS パワーユニットを示す。従来バイポーラを用いていた場合に比べ、1/4 以下に小形化された。

⑥ SIPMOS の開発動向

6.1 内蔵ダイオードの高速化

MOS FET に内蔵される逆方向ダイオードのリカバリータイム T_{rr} は、 n^- エピタキシャル層の不純物濃度により決まる。すなわち耐圧との相関関係がある。そのため、400V 以上の高耐圧 MOS FET の T_{rr} は $1\mu s$ 以上と大きく、高周波スイッチング時のフライホイールダイオードとしては適当でない。シーメンス社では本来の MOS FET の特性にほとんど影響を与えずに、ダイオードに重金属をドーピングすることで高速化する製造技術を確認し、新たな適用分野拡大を図っている。

6.2 入力増幅器の内蔵

パワー MOS FET のスイッチングは、入力容量 C_{iss} へ信号源から充電、放電することで行われる。通常、この充電・放電電流の実効値はバイポーラトランジスタのベース電流に比べ 1% 以下と著しく小さいが、周波数に比例し増加するから、高周波になるとこの電流は無視できなくなる。そこで p-ch と n-ch 小信号 MOS FET からなるバッファ段を SIPMOS と同一チップに組み込むことが既に検討されている。バッファ段のみならず、バッファ段の前にロジック回路をも内蔵させることもまた可能である。

6.3 バイポーラトランジスタとの複合化

MOS FET の大容量化は、チップサイズを拡大すれば達成できるが、トランジスタ作成に用いられるシリコンウエハの品質による制約があり、歩留りとのトレードオフになる。一方、耐圧約 300V 以上の領域では、バイポーラトラ

表3 各種スイッチング素子の比較 $V_B > 400V$

項目	スイッチング素子	MOS	バイポーラ (共通エミッタ)	バイポーラ MOS			
				ダーリントン	カスケード	並列	合成
飽和損失		-	+			+	
ドライブ損失		+	-	+	-	-	+
スイッチング速度及び損失		+			+	+	+
ストレージタイム		+	-	-	+	-	+
ドライブ回路の複雑さ		+	-	+	-	-	+
保護回路の必要性		+			+	+	+
dv/dt 問題有無		-	-	-	-	-	+
並列接続の容易さ			-	-	+	-	+

□+ : 優性, □ : 同等, □- : 劣性

ンジスタは MOS FET よりも飽和損失が小さい。そこで、SIPMOS とバイポーラトランジスタの複合化が検討されている。図9に SIPMOS とバイポーラトランジスタの複合化、表3に特性比較を示す。

7 あとがき

SIPMOS はバイポーラトランジスタに比べ優れた特性をもち、既に広範囲に適用され高い評価を受けてきた。更により理想的なパワーデバイスへと開発、改良が行われている。しかし一方で、バイポーラトランジスタと異なる特性故に、回路技術者に使用する上での抵抗感、不安感を与えてきたこともあった。SIPMOS の応用範囲は更に拡大することは疑いないが、市場のニーズにより適合した素子技術、応用技術両面での開発は必要であろう。

参考文献

- (1) Electronic Business, "Power Play: MOS FETs Challenge the Bipolars" (Feb. 1984)
- (2) P.フロインデルほか: MOS デバイスのパワーエレクトロニクスへの導入, SIEMENS/富士エレクトロニクスコンポーネンツ
- (3) Siemens 社: SIPMOS Data Book 1982/1983, Technical Information より
- (4) E. Dobray & P. Freundel: a New Power MOS FET with a Fast-Recovery Internal Inverse Diode, Proceedings of the 6th international PCI Conference, pp. 152~161 (1983)
- (5) H. Strack & G. Schuh: Power MOS FET with Improved Fast Recovery Internal Reverse Diode, IEDM 1983, Washington Solid State Devices (1983)
- (6) Hebenstreit: A New BIMOS switching stage for 10 kW range
- (7) L. Leipold & J. Tihanyi: Experimental Study of a High Blocking Voltage Power MOS FET with Integrated Input Amplifier, Siemens AG, Components Group



*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。