富士時報 Vol.60 No.12 1987　　UDC 681.323:62-523

MICREX-F120シリーズ

菊地　洋(きくち　よう)　　佐藤　勇昇(さとう　ゆうしょう)　　高橋　裕幸(たかはし　ひろゆき)

1　まえがき

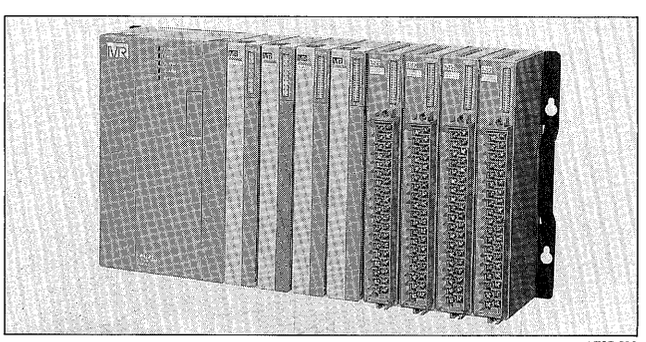
プログラマブルコントローラ（以下，PCと略す）MICREX-Fシリーズは，5年先，10年先の技術進歩にも対応可能な新世代のPCとして開発された。昭和60年に中規模PCであるF100シリーズと大規模PCであるF200シリーズを供給して以来，中小規模のスタンドアロンシステムから分散制御の大規模システムまで幅広く適用されてきた。この間，自動化の適用範囲の拡大及び高度化が進むに伴い，中規模ローコストタイプのF80/F81シリーズ，小規模タイプのF30/F50シリーズを開発，製品化し市場要求にこたえてきた。

MICREX-F120シリーズ（以下，120シリーズと略す）は，このシリーズ化の一環として開発されたものである。中規模で高度な制御や高速処理が要求されるシーケンス制御分野への適用を目的とした，低価格，小形なPCであり，F100シリーズとF200シリーズを補間する位置づけにある。以下にその内容を紹介する。

2　特　長

図1にF120シリーズの一つであるFPU120の外観を示す。F100シリーズと同一寸法のコンパクトなモールドケースに収納されている。基本アーキテクチャは，F100シリーズと同一思想に基づき設計されているが，最新のデバイス技術，実装技術，並びにソフトウェア技術の投入により，以下に述べる特長をもつ。

図1　FPU120の外観



AF87-690

2.1　高速処理

ビット演算を0.8μs/接点で実行する専用LSIと数値演算命令，ファイル命令などを高速で実行する16ビット汎用マイクロプロセッサ（以下，CPUと略す）を採用することにより，システム全体の高速化を実現した。このためF100シリーズと比較して，約3倍の処理能力をもつ。

2.2　メモリ容量の拡大

プログラムメモリが16kステップ及びデータメモリとファイルメモリの合計が8kワードあり，F100シリーズに比べメモリ容量が大幅に拡大されている。したがって，複雑高度なプログラムの作成が可能である。また，増設，仕様変更などに対しても十分余裕をもって対処できる。

2.3　高機能化

F100シリーズの命令に加え，ブロック図プログラミング，ファンクションモジュール，二次元ファイル，インデックスレジスタなどの命令を強化したほか，プログラムデバッグ時に有効なテスト機能を備えた。

また，イニシャルスタートモードの二重化機能を標準装備しているため，Tリンクにプロセッサを2台接続した簡易二重化システムの構築が可能である。

2.4　高速な制御応答

アプリケーションプログラムの増大に伴う制御応答の低下を避けるため，通常のサイクリック処理のほか，外部割込み機能，定周期割込み機能を加えたマルチタスク構造とした。更に，プロセッサと同一ベースボードに搭載された直結PIOに対してはダイレクトアクセスを可能としたため，高速な制御応答が実現できる。

2.5　互換性

プログラム言語はF100シリーズに対して完全な上位互

菊地　洋

昭和49年入社。プログラマブルコントローラの開発設計に従事。現在，吹上工場PC部課長補佐。

佐藤　勇昇

昭和48年入社。プログラマブルコントローラの開発設計に従事。現在，富士電機マイコンエンジニアリング(株)システム開発第二部課長代理。

高橋　裕幸

昭和57年入社。プログラマブルコントローラの開発設計に従事。現在，富士電機マイコンエンジニアリング(株)システム開発第一部。

換性があり，F100シリーズのプログラムをそのまま実行することができる。また，外形寸法，取付寸法，ベースボードコネクタの信号線割付（FPU120）などもすべてF100シリーズと同一であるため，プロセッサ部を交換するだけで，簡単にシステムのグレードアップを図ることが可能である。

3 システム構成

F120シリーズのシステム構成を**図2**に示す。

本シリーズのプロセッサには，F100シリーズと同様に，プロセッサとPIOモジュールを一体化したユニットタイプのFPU120，プロセッサが分離独立したコンパクトなカプセルタイプのFPK120, Pリンク機能をもち，プロセッサ間通信可能なFPK125の3機種がある。いずれも標準装備されたTリンクインタフェースにより，F100, F200シリーズと共用の各種PIO，及びプログラムローダと結合できる。FPK125では，Pリンクインタフェースを用い，他のFPK125，FPK105，FPK205とプロセッサ間通信ができる。また，Pリンクサポート機能を備えた，富士電機製産業用マイクロステーションL25，あるいはマイクロコンピュータシステムFASMIC Gシリーズなどの上位コンピュータによる監視，制御も可能である。

4 仕様と機能

4.1 仕　様

F120シリーズの仕様一覧を**表1**に示す。

4.2 機　能

分散制御を経済的に構築する高速ネットワーク（F-Net）機能，高精度BCD 8けた演算機能などのMICREX-Fシリーズで好評を得ている基本機能を継承している。更にF100シリーズの上位機種として，高度化する制御システムに対応するため，従来機能のレベルアップとともに，新たに次のような機能を実現し，機能充実を図った。

(1) 命令処理機能

データ量の増大，複雑化に対応するため，データメモリ，

図2　システム構成例

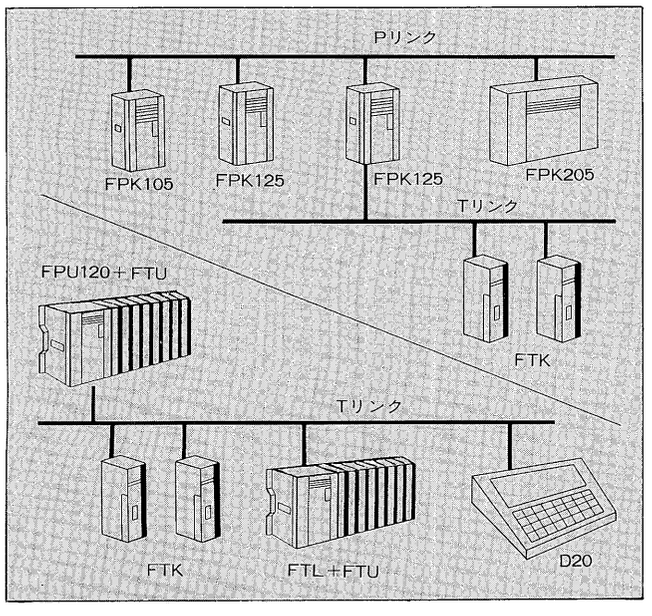


図3　FM動作概要

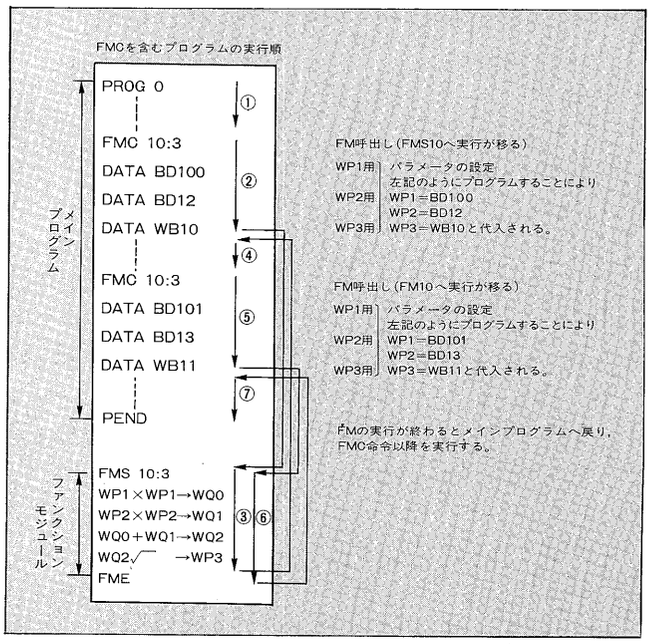


図4　マルチタスク動作概要

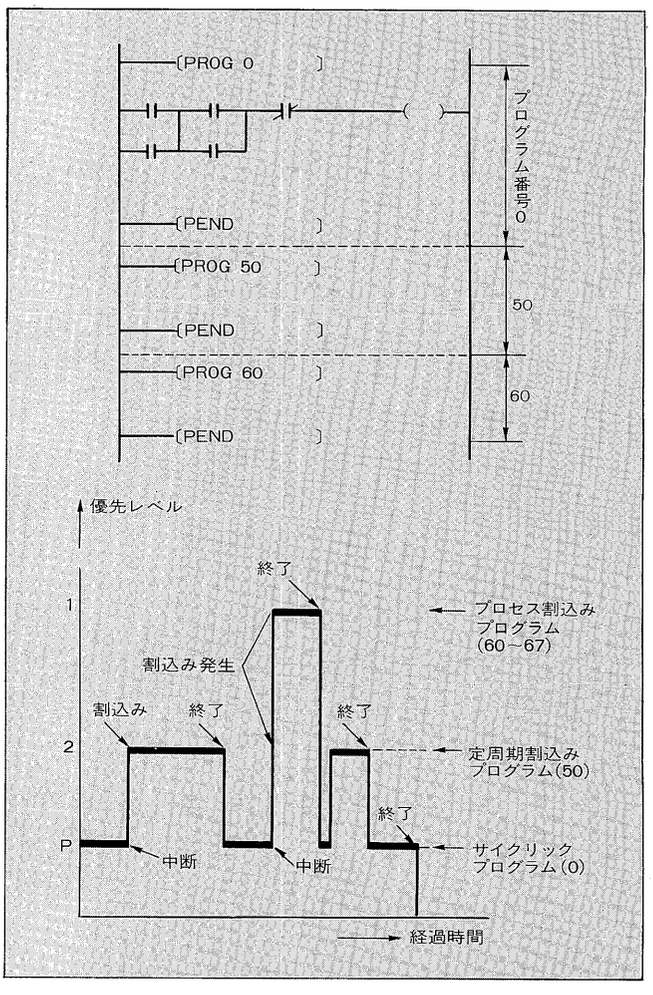


表1　仕様一覧

項目		仕様			備考
		FPU120	FPK120	FPK125	
制御方式		ストアードプログラム方式			
プログラム	サイクリックシーケンス	1本			
	定周期割込み	1本			10ms×n
	プロセス割込み	8本	—		
命令	プログラム言語	制御用問題向き言語(FPL)			F-series Programming Language
	種類	基本命令19種，応用命令73種			
	処理速度	シーケンス演算0.8～1.0μs/1命令			
	演算データ形式	BCD8けた，2進32ビット			
プログラムメモリ容量		16kステップ			RAM内蔵，ROMオプション
入出力点数	ディジタル	最大 1,600点			
	アナログ	最大 100点			
	ダイレクト入出力	128ワード	—		
内部リレー データメモリ	補助リレー	2,048点			
	キープリレー	1,024点			
	微分リレー	512点			
	特殊リレー	1,120点			
	アナウンスリレー	320点			
	ステップコントロールリレー	100(100ステップ)			
	カウンタ	128点			
	タイマ 0.01秒	256点			
	タイマ 0.1秒	256点			
	データメモリ	合計で8kワード(16ビット時) 又は4kワード(32ビット時)			データメモリは無設定時256ワード
	ファイルメモリ				
	Pリンクリレー	—		8,192点	
	Pリンクメモリ	—		1,152ワード	
	微分リレー前回値	32ワード			
Tリンク	リンク数	1			
	接続カプセル数	最大 35			
Pリンク	リンク数	—		1	
	リンク局数	—		最大 16台	

ファイルメモリ量を大幅に拡大するとともに，二次元アクセス，ファイル処理命令などの機能強化を図り，複雑な制御を効率的に処理できるようにした。

また，同一処理をサブルーチン化できるファンクションモジュール(FM)処理機能，並びにインデックス処理，パラメータ処理機能を備えた。

FM動作概要を**図3**に示す。

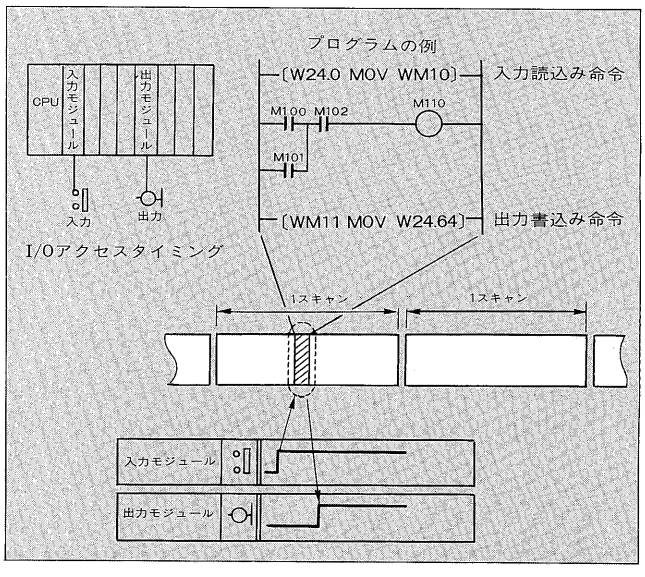
これを活用することにより，プログラムステップ数の削減，デバッグ時間の短縮など，ソフトウェアの生産性，信頼性の向上が図れる。

(2)　高速制御機能

常時サイクリックに処理されるPレベルプログラムのほかに，高い優先レベルで実行される割込みレベルプログラム（プロセス割込み8本，定周期割込み1本の計9本）を登録できるマルチタスク機能を備えた。

マルチタスク動作概要を**図4**に示す。

図5　ダイレクトアクセスの動作概要



また，PIO制御機能として直結PIOモジュールのデータ授受をまさに命令実行時に行うダイレクトアクセス機能，定周期プログラムの起動時，及び終了時にTリンクPIOデータをリフレッシュする機能を備えた。これらの機能を活用することにより，システムの事象発生に対応した処理を即座に起動し，最新のPIOデータで処理ができることにより，高速できめ細かな制御応答が実現できる。

ダイレクトアクセスの動作概要を**図5**に示す。

(3)　テスト機能

プログラム量の増大，複雑化に伴って，そのデバッグに費やす労力も膨大なものとなる。デバッグを効率的に行うためにテストモードを設け，プログラムのある区間だけを実行する区間実行，1回路だけを実行するステップ実行など，プログラム動作を回路単位で検証できる機能を備えた。これにより，要所を的確にデバッグでき，システム開発時間の短縮が期待できる。

(4)　二重化機能

Tリンクにプロセッサを2台接続した二重化システム構成例を**図6**に示す。

Tリンク制御権を持つ運転プロセッサは，電源投入順，又はTリンク局番により自動的に選択される。両プロセッサは常にTリンクを介して異常相互監視を行い，運転中のプロセッサがダウンした場合，待機プロセッサが代わって運転に入り，システムをバックアップする。バックアップ運転するプロセッサは，動作モード(RUN/STOP)を継続するイニシャルスタート動作となる。

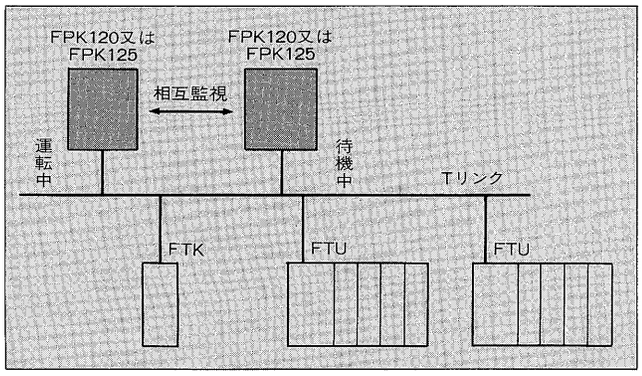
表2　命令一覧表

分類	名称	シンボル
シーケンス	a接点	—||—
	b接点	—|/|—
	コイル	—( )—
	セット	—(S)—
	リセット	—(R)—
	立ち上がり微分	—(↑)—
	立ち下がり微分	—(↓)—
	反転	—┐/—
	シフトレジスタ	D / SR / CL / R
	ステップシーケンス	Sxx.xx Sxx.xx —||— ( )—
タイマ	オンディレータイマ	—[TON]—
	オフディレータイマ	—[TOF]—
	精算タイマ	↑ / TMR / R
	モノステ	—[MON]—
	モノステ(リトリガブル)	—[MR]—
カウンタ	カウンタ	↑ / CT / R
	ダウンカウンタ	↓ / CD / R
	アップダウンカウンタ	↑ / UDCT / ↓ / R
	リングカウンタ	↑ / RCT / R

分類	名称	シンボル
算術演算	加算	—[+]—
	減算	—[−]—
	乗算	—[×]—
	除算	—[÷]—
	除算(四捨五入)	—[÷R]—
	ルート	—[√]—
	絶対値	—[ABS]—
	符号反転	—[+/−]—
	インクリメント	—[+1]—
	デクリメント	—[−1]—
比較	>	—[>]—( )—
	≧	—[>=]—( )—
	=	—[=]—( )—
	≦	—[<=]—( )—
	<	—[<]—( )—
	≠	—[≠]—( )—
	ファイル比較	—[REF]—
論理演算	AND	—[AND]—
	OR	—[OR]—
	EOR	—[EOR]—
	反転	—[INV]—
	シフトライトロジカル	—[SRL]—
	シフトレフトロジカル	—[SLL]—
	セットビット	—[SBIT]—
	リセットビット	—[RBIT]—
	テストビット	—[TBIT]—
変換	2進/BCD	—[BCD]—
	BCD/2進	—[BIN]—
	デコード	—[DECO]—
	エンコード	—[ENCO]—
	7セグメント	—[7SEG]—
	1の個数計数	—[BCNT]—

分類	名称	シンボル
転送	転送	—[MOV]—
	ブロック転送	—[BT]—
	けた転送	—[DT]—
	上位けた転送	—[MOVU]—
	下位けた転送	—[MOVL]—
	パターンクリア	—[PC]—
	サーチ	—[SRCH]—
	スイッチ	—[SW]—
アナログ	上限	—[−/−]—
	下限	—[_/_]—
ファイル	FIFOストア(FILO)	—[FFST]—
	FIFOロード	—[FIFO]—
	FILOロード	—[FILO]—
	ファイル定義	—[FILE]—
	ファイルクリア	—[FLCL]—
	セレクタ	—[SEL]—
	デセレクタ	—[DSEL]—
	ファイル読出し	—[RFIL]—
	ファイル書込み	—[WFIL]—
	ファイル情報	—[FINF]—
プログラム制御	プログラムエントリ	—[PROG]—
	プログラムエンド	—[PEND]—
	FMコール	—[FM]—
	FMスタート	—[FMS]—
	FMエンド	—[FME]—
分岐	スキップ	—[SKIP]—
	スキップ先	—[SEND]—
	ジャンプ	—[JMP]—
	ジャンプ先	—[JEND]—
ループ	ループ	—[LOOP]—
	コンティニュ	—[CONT]—
システム命令	PUSH	—[PUSH]—
	POP	—[POP]—
	LEA	—[LEA]—

図6　二重化システムの構成例



5　ハードウェア構成

5.1　内部構成

ハードウェアブロック図を**図7**に示す。基本アーキテクチャはF100シリーズと同一であり，CPU，ビットプロセッサ，Tリンクインタフェース，Pリンクインタフェース（FPK125のみ），並列バスインタフェース（FPU120のみ），システムメモリ，ユーザーメモリから構成されている。なお，各種演算を実行するCPUには10MHz動作の16ビットCPUを採用するとともに，ビット演算用専用LSIの動作クロックを向上させたことにより高速処理を可能とした。

プログラムメモリは16kステップ内蔵されており，メモリカセットは不要である。PROM運転時は，PROMライタFRW100Aにてプログラム書込み済みのPROMカセットを前面から装着する。

5.2　小形化

内部回路をLSI化，ハイブリッドIC化によって高集積化を図るとともに，CMOS ICを徹底的に採用し，低消費電力化を図った。このため高速化，高機能化されたにもかかわらず，F100シリーズと同一寸法のモールドケースに収納することができた。

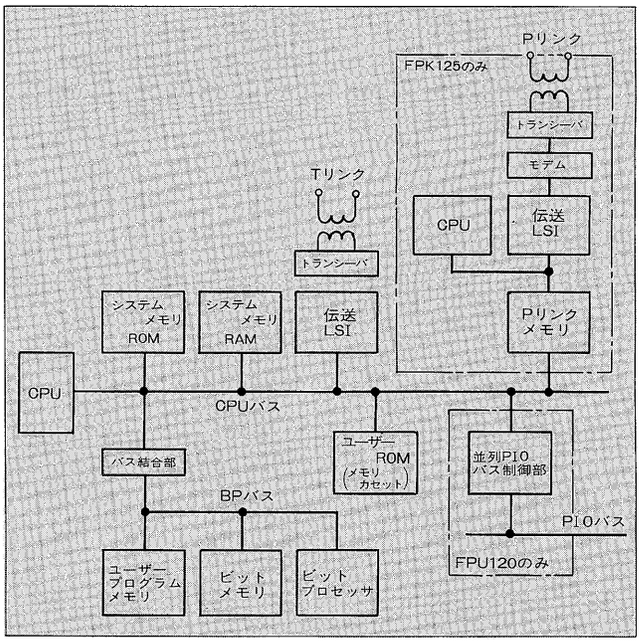
6　ソフトウェア

F120シリーズの命令一覧を**表2**に示す。

MICREX-Fシリーズ全体の共通言語であるFPLの命令セット仕様に準じ，F100シリーズからの機能レベルアップに応じた命令セットを追加している。したがってF100シリーズと完全上位互換性があり，F100シリーズのプログラムをそのまま実行できる。

更にブロック言語プログラミングを可能とし，実際の処理の流れに沿った表現ができるとともに，処理速度の向上が図れる。

図7　ハードウェアブロック図



7　あとがき

F-Netを軸としたMICREX-Fシリーズは，F120シリーズの完成により一層の充実化が図られ，体系化された制御システムの構成が容易に実現できるようになった。

本稿では，F120シリーズの構成，仕様，機能，ハードウェア，ソフトウェアについてその概要を示した。

今後，使いやすさの向上を目ざし，機種系列の拡大，機能強化に努め，MICREX-Fシリーズを発展させていく所存である。

参考文献

(1)　汎用プログラマブルコントローラ特集，富士時報，Vol.58, No.2（1985）
(2)　電子化関連機器特集，富士時報，Vol.60，No.2（1987）

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。