UDC 621.793+621.791.3] : 621.382.049.774.002.72

バンプ技術を核とした実装技術

天野 彰 (あまの あきら)　白畑 久 (しらはた ひさし)　広橋 修 (ひろはし おさむ)

1 まえがき

半導体製造における技術革新は，メモリICに代表されるように，チップの高集積化であり，ほぼ年率1.5～2倍のスピードである。これに伴い電子機器の小形軽量化，高密度実装化も年々加速され，驚異的なペースで進展している。この装置の小形軽量化，高密度実装化（図1[1]）には，ICチップの高密度実装対応，ICパッケージの小形軽量化，多ピン化などの技術的発展が大きく寄与している（図2[2]～[6]）。

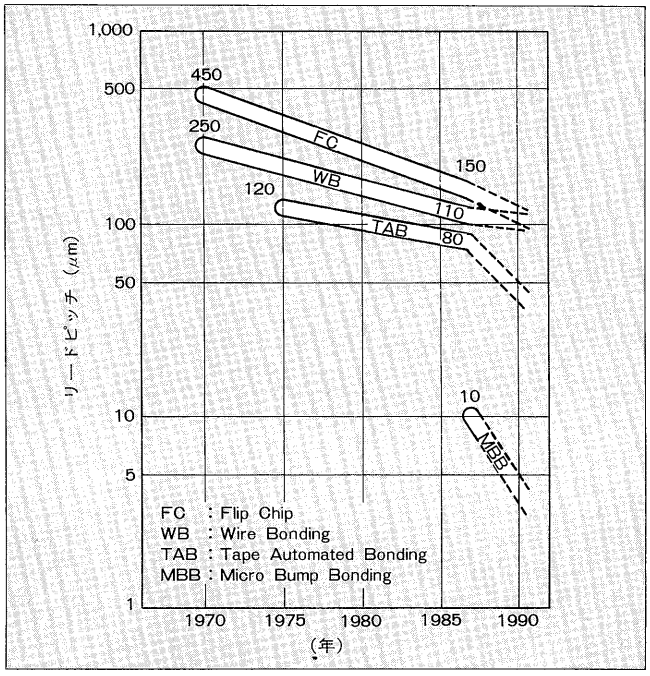
近年，新しいニーズに基づいた新製品の開発，従来品の一層の性能向上のため，ICもパッケージ実装のほかに新しい高密度実装方式の開発が盛んに行われるようになってきた。なかでも，パッケージを省略し，表面実装，高密度実装が可能なバンプドチップ方式が注目を集めている。

富士電機では，昭和54年，フリップチップ（はんだバンプ）の開発を終え，自動車イグナイタ制御ICとして市場展開を図ってきた。開発当初から，車載用ICということで，高信頼度設計に留意してきた。特にバンプ電極の設計に，有限要素法による応力解析の導入（図3[7]），高精度電解めっき方式の開発，高信頼度表面保護膜形成法の開発などにより，今日まで高い評価を得ている。

更に，本技術をベースに，昭和55年には，高密度実装に有利なTAB（Tape Automated Bonding）用金バンプを開発し，情報関連分野への参入を果たした。この分野でも同様に高い評価を得ている。

また，昭和56年には，DIP（Dual Inline Package）で過酷な条件が求められる自動車イグナイタ制御ICの製品化を終え，この分野で培われた技術をベースにして，QFP（Quad Flat Package）-160ピンまで信頼性の高い製品の系列化を進めている。以下に，富士電機のバンプ製品並びにパッケージ製品について紹介する。

図1 各種実装方式のリードピッチ推移と予測



2 バンプ技術

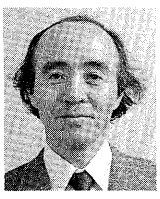
ICチップの実装方式には，通常のワイヤボンディング方式のほか，チップ表面に設けたバンプにより実装するフリップチップ方式やTAB方式がある。電子機器の高機能化，小形軽量化のためフリップチップ方式やTAB方式技術の適用例が多くなっている。これらの実装技術は対象製品に応じて各々の特長を活用して使い分ける必要がある。

富士電機は，高信頼度，高密度実装用バンプとしてはんだバンプでは，自動車搭載ハイブリッドIC用（図4），表示パネル駆動用（図5）などのフリップチップICを，また金バンプではサーマルプリンタ用（図6），表示パネル駆動用などのTABICについてそれぞれ製品化し，その系列拡大並びに新技術への対応を図っている。

2.1 バンプ製造工程

ICウェハにバンプを形成する工程を図7に示す。

(1) ICウェハへの保護膜付け
(2) 保護膜の開口
(3) バンプ金属膜付け



天野 彰

昭和45年入社。半導体プロセスの開発とその製品化に従事。現在，松本工場IC部担当課長。

白畑 久

昭和44年入社。ICの開発設計に従事。現在，(株)富士電機総合研究所IC研究所副主任研究員。

広橋 修

昭和54年入社。ICの開発設計に従事。現在，(株)富士電機総合研究所IC研究所副主任研究員。

図2　高密度実装動向

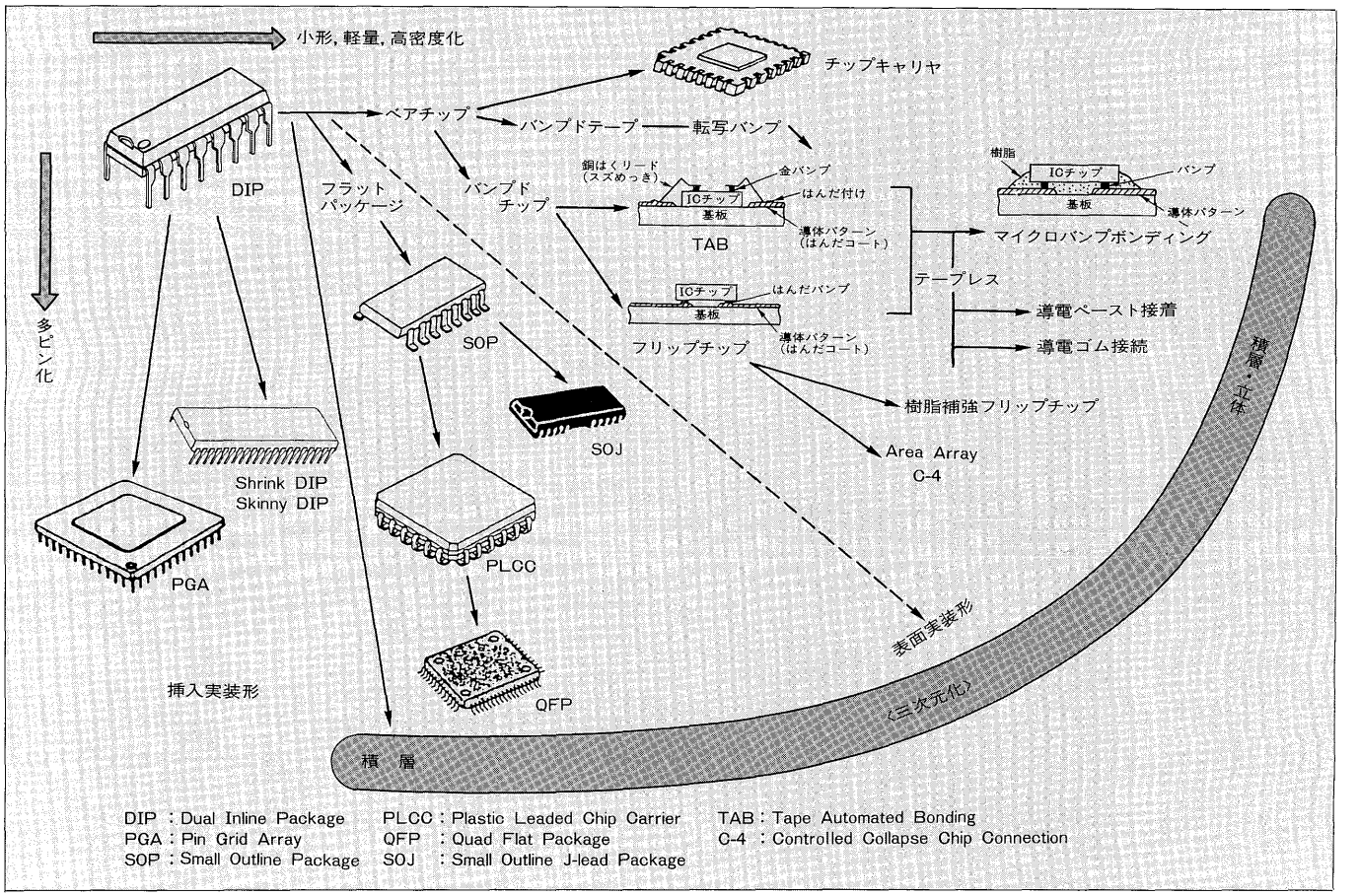
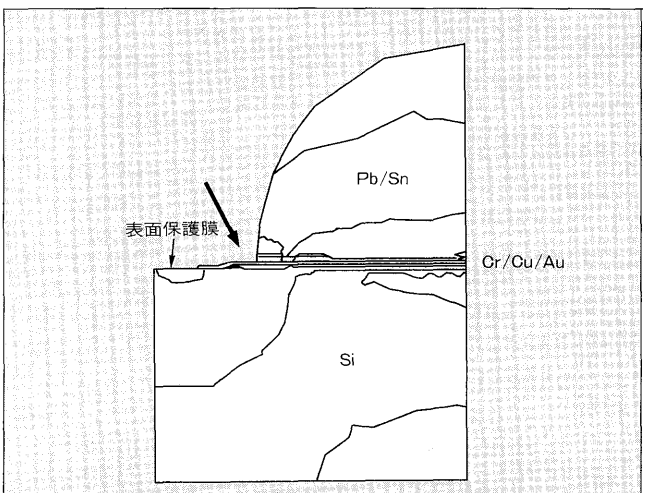


図3　応力分布解析例(有限要素法によるはんだバンプ電極の熱応力分布解析)



(1) Cr/Cu/Auを下地としたはんだバンプ電極に160℃の温度差を与えた場合の熱応力分布の解析例。
(2) 太い矢印は表面保護膜ではバンプ電極下の応力が最も大きくなることを示している。

図4　自動車搭載ハイブリッドIC

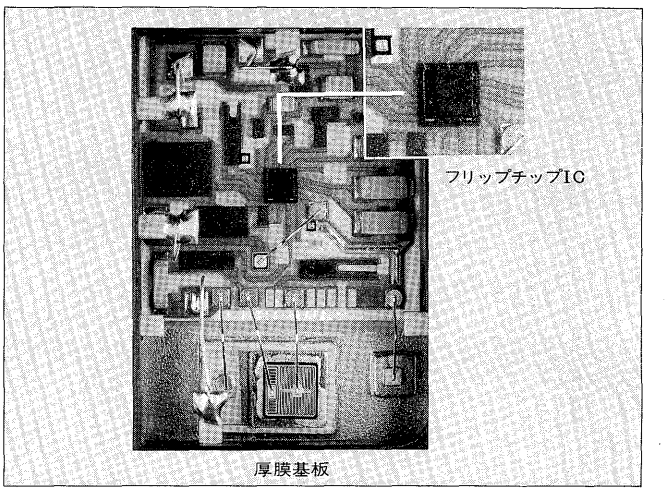


図5　表示パネル駆動IC

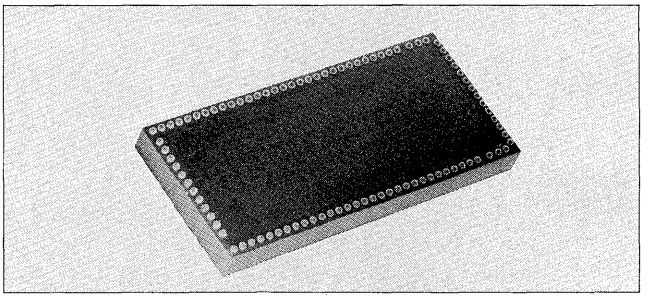


図6　サーマルプリンタ IC

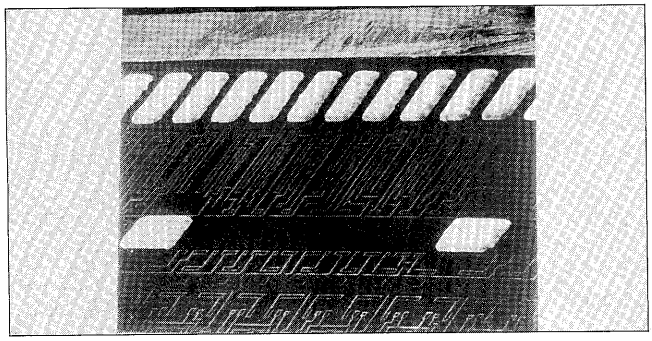
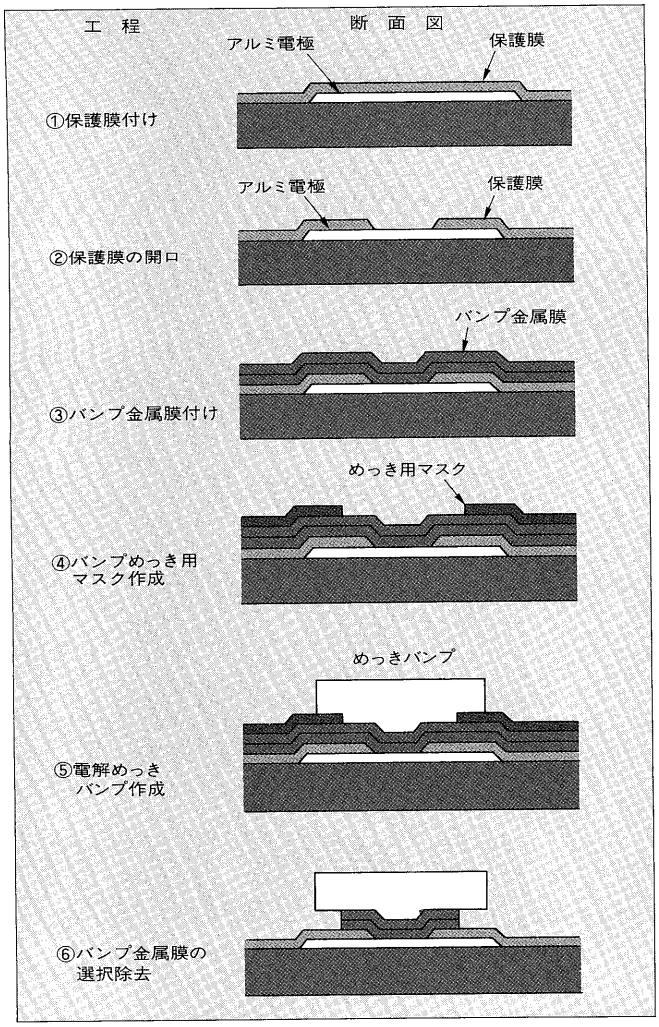


図7　バンプ形成工程



(4)　バンプめっき用マスク作成
(5)　電解めっきバンプ作成
(6)　バンプ金属膜の選択除去

これらの工程によりウェハにバンプを形成する。IC の高機能化とともに必要なバンプ数が増加するため，バンプサイズ，バンプピッチの縮小が図られている。

2.2　IC チップの実装法

図 8 に IC チップの実装法を示す。

(1)　ワイヤボンディング方式

IC チップを接着材などで基板に固定，金線などでワイヤボンディングする。

図8　IC チップのボードへの実装例

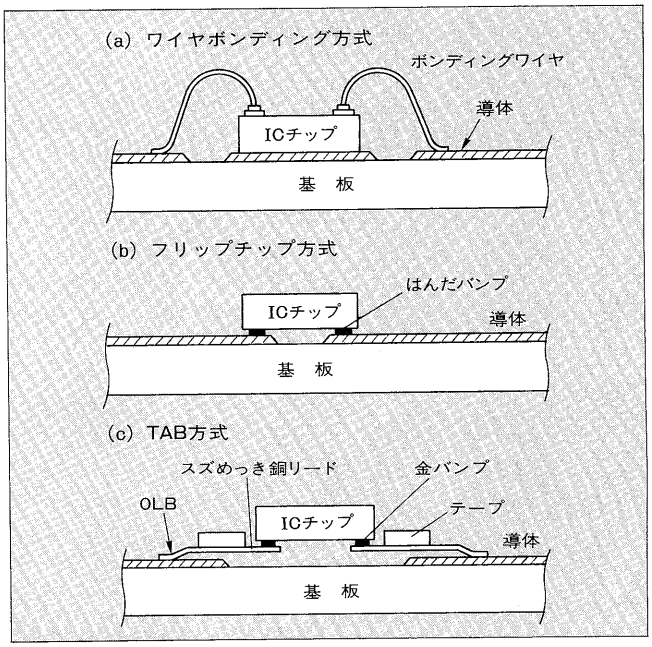


表1　IC ベアチップの接続法の比較

項目＼方式	ワイヤボンディング	フリップチップ	TAB
電極サイズ	100μm□	100μmφ	70×120(μm)
電極ピッチ	170μm	180μm	90μm
接続強度	5～10g/ポイント	30～50g/ポイント	10～20g/ポイント
接続可能領域	外周	全面	外周
接続部目視	可能	不可	可能
実装密度	△	◎	○
信頼性	○	◎	◎
実装コスト	○	◎	◎

〈注〉 ◎：非常に良い，○：良い，△：普通

(2)　フリップチップ方式

IC チップのバンプ電極を基板に位置合わせをして搭載，はんだ付けをリフロー炉などで行う。多数チップを一括実装できる。

(3)　TAB 方式

耐熱テープに張りつけられたスズめっきした銅リードを IC チップの金バンプ電極に接続（ILB：Inner Lead Bonding），テープを切断し基板へ接続（OLB：Outer Lead Bonding）する。ILB 後の中間検査が可能である。

2.3　実装法の特徴

各々の実装上の特徴を**表 1** にまとめる。バンプ品の特徴をワイヤボンディング方式と比較すると次のようになる。

(a)　チップ当たりの実装面積が小さく，高密度実装が可能である。
(b)　チップ実装工程の作業時間が短縮できる。
(c)　チップと基板の接続部の信頼度が高い。

表2　リード挿入形パッケージの外形と端子数

分類	外形	リードピッチ (mm)	呼び寸法 (mils)	端子数 6	8	10	14	16	18	20	22	24	28	32	40	42	44	48	52	64	68	80	84	100	120	160
標準形	DIP	2.54	300	●○	●○		●○	●○	●○	●○	●○	●○	●○													
			400								●○															
			600									●○	●○		●○			●								
シュリンク形	SDIP	1.778	300									●														
			600													●										
			750																	●						

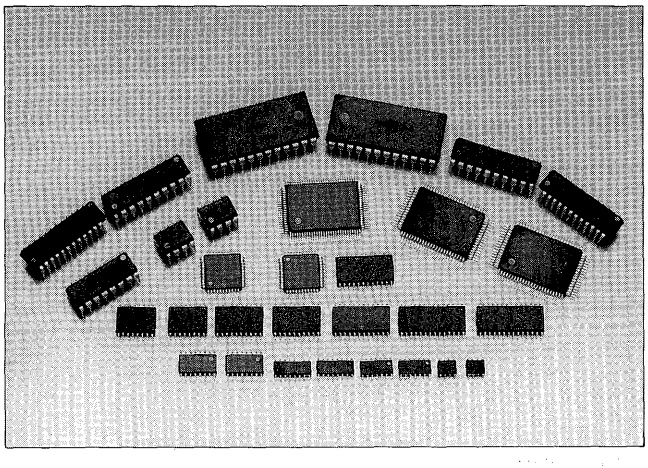
●：プラスチック，○：セラミック　DIP：Dual Inline Package，　SDIP：Shrink Dual Inline Package

表3　表面実装形パッケージの外形と端子数

分類	外形	リードピッチ (mm)	呼び寸法 (mils)	端子数 6	8	10	14	16	18	20	22	24	28	32	40	42	44	48	52	64	68	80	84	100	120	160
フラット	SOP	1.27	150＊		●		●	●																		
			300＊					●	●	●		●	●													
			300					●		●																
	特殊SOP	1.27	———									○														
		0.8	———					○																		
	QFP	1.0	———																	●						
		0.8	———														●	●				●			●	
		0.65	———																					●		●
リード付チップキャリア	PLCC	1.27	———						●	●	●		●	●			●		●		●		●			

●：プラスチック，○：セラミック　SOP：Small Outline Package　QFP：Quad Flat Package
PLCC：Plastic Leaded Chip Carrier　＊：JEDEC呼び寸法

図9　パッケージ製品外観(一部分)



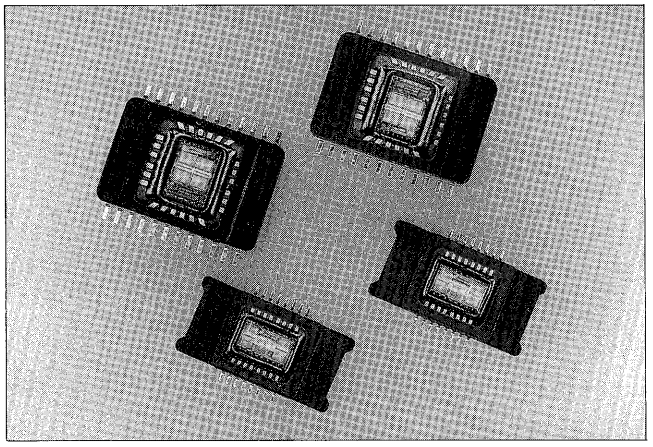
3　パッケージ技術

富士電機におけるICパッケージの外形と端子数を**表2**（リード挿入形），**表3**（表面実装形）に示す。また，**図9**にその外観（一部分）を示す。

リード挿入形のリードピッチ2.54mmの標準DIPは，6ピンから48ピンまで用意されている。また，リードピッチ1.778mmのシュリンクタイプも準備されている。

小ピン用の表面実装形パッケージで2方向にリードを出したSOP（Small Outline Package）には，JEDEC（Joint Electron Device Engineering Counsil）呼び寸法（パッケージ本体幅）150mil，300mil系列とEIAJ（Electronic Industries Association of Japan）呼び寸法（アウターリードの基板と接する平たん部の中心間距離）300mil系列が

図10　特殊SOP



準備されている。リードピッチは，いずれも1.27mmである。

特殊SOPは，オートフォーカスIC用に開発されたもので，**図10**に示すようにガラスリッドでシールされたセラミックパッケージである。

4方向にリードを出した表面実装パッケージであるQFPは，樹脂封止タイプのパッケージ中，最も多ピン化，高密度実装化に優れている。リードピッチを1.0mm，0.8mm，0.65mmと狭くすることで多ピン化に対応している。64ピン，80ピン，100ピン及び120ピン，160ピンは，それぞれ樹脂封止部を同一外形としている。

リードをJ字内曲げした表面実装パッケージであるPLCC（Plastic Leaded Chip Carrier）は，リードが変形しずらいため取扱いが容易である。リードピッチは，1.27mmであり，18ピンから84ピンまで準備されている。

4　あとがき

以上，富士電機ICの実装に関連する，技術，特性の概要，用途などについて述べてきた。

この分野での要望は，年々，高密度対応化，低コスト化，多様技術への対応化など，ますます高度で多岐にわたってきている。それを実現するためには，高い技術開発力と商品に直結して個別対応できる，きめ細かな技術対応が要求されるようになってくる。

富士電機は，このような市場の動向にマッチした製品の供給により，エレクトロニクス化の一層の進展に寄与したいと考えている。

参考文献

(1)　畑田賢造：マイクロ・バンプ・ボンディング実装方式，実装技術，Vol.4，No.4，pp.50-54（1988）
(2)　木下将：チップオンボード（COB）実装について，実装技術，Vol.4，No.4，pp.46-49（1988）
(3)　仲田周次：マイクロ接合技術とその電子部品実装への応用，日本時計学会誌，No.116，pp.38-63（1986）
(4)　本多進：今，実装技術が変わる，Semiconductor World 臨時増刊号（'87～'88ハイブリッドテクノロジー），Vol.6，No.12，pp.19-25（1987）
(5)　府山盛明ほか：液晶表示パネル上へのLSIチップ実装技術の開発，真空，Vol.30，No.6，pp.555-564（1987）
(6)　Fried L.J.，et al：A VLSI Bipolar Mettalization Design with Three-Level Wiring and Area Array Solder Connections, IBM, Res, Develop., Vol.26, p.362（1982）
(7)　有限要素法によるバンプ電極の熱応力分布解析，富士時報，Vol.54，No.1，p.12（1981）

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。