

トレンチゲート MOSFET

西村 武義 (にしむら たけよし)

島藤 貴行 (しまとう たかゆき)

小野沢 勇一 (おのざわ ゆういち)

1 まえがき

近年の携帯電話機やモバイル機器に代表されるバッテリー駆動機器の普及はめざましく、使用されているパワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) には低消費電力化のうえからもさらなる低オン抵抗化が要求されている。しかしながら従来のプレーナ構造では、その構造上微細化によるオン抵抗低減には限界があった。トレンチゲート MOSFET は、この要求を満足する現在唯一の素子である。今回このトレンチゲート MOSFET (図 1) の開発を行ったので、その概要について紹介する。

2 トレンチゲート MOSFET

2.1 トレンチゲート MOSFET の構造

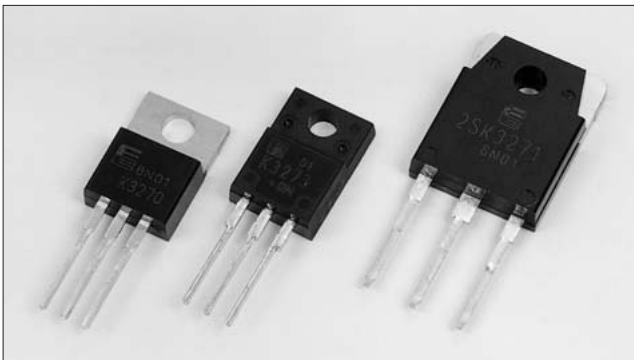
図 2 に、従来のプレーナ構造とトレンチゲート構造のセル断面構造比較を示す。プレーナ構造では半導体基板表面にチャネル領域が水平に形成されるのに対し、トレンチゲート構造では半導体基板に垂直に掘られたトレンチと呼ばれる溝に沿って垂直に形成される。

2.2 トレンチゲート MOSFET の特性

2.2.1 トレンチゲート MOSFET の利点

プレーナ構造は以下の理由によりセルの微細化が困難で

図 1 トレンチゲート MOSFET の外観



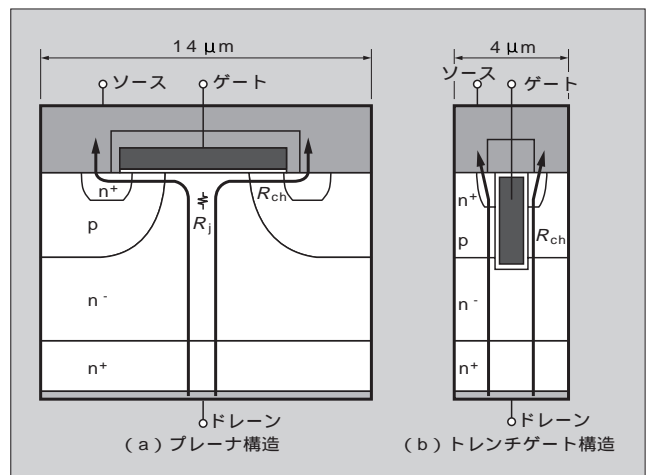
あるのに対し、トレンチゲート構造は微細化が可能で構造的にもチャネル密度の向上が図れるために低オン抵抗化が達成できる。

- (1) 図 2 から分かるように、プレーナ構造ではチャネル部分を半導体基板表面に形成するため、チャネル長がセルサイズを制限しチャネル長以下にセルサイズを小さくすることはできない。
 - (2) プレーナ構造では、MOSFET 動作時のソース-ドレイン間電界により、隣接するチャネル領域から空乏層が伸びて電流の通路を狭める J-FET 効果によるオン抵抗の増加成分 (以下、J-FET 抵抗成分という) が存在する。これを低減するためにはある一定以上のチャネル間隔が必要である。このことがセルサイズの低減を妨げている。
- ### 2.2.2 トレンチゲート MOSFET の課題

(1) ゲート信頼性

トレンチゲート MOSFET は、トレンチエッチング面にゲート酸化膜を形成している。MOSFET はゲート酸化膜に電界がかかることで動作するため、ゲート酸化膜の信頼性は重要な特性の一つである。そのゲート酸化膜を、トレンチエッチングによる面荒れなどのダメージや凹凸の存在するシリコン (Si) 面に形成しなければならないため、ダ

図 2 プレーナ構造とトレンチゲート構造のセル断面構造比較



西村 武義

パワー半導体素子の製造、開発に従事。現在、松本工場半導体開発センターパワー半導体開発部。



島藤 貴行

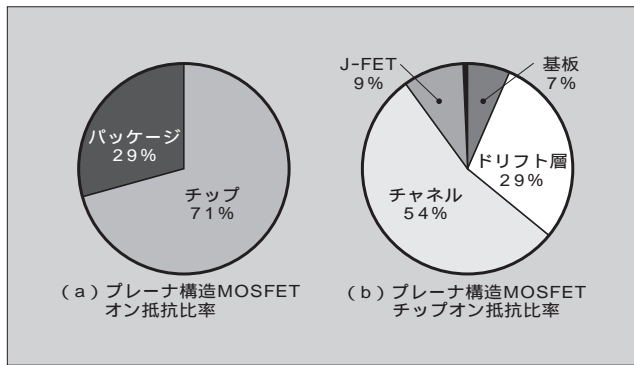
パワー MOSFET の開発、設計に従事。現在、松本工場半導体開発センターパワー半導体開発部。



小野沢 勇一

トレンチ MOSFET の開発に従事。現在、(株)富士電機総合研究所先端デバイス研究所パワーデバイスグループ。

図3 プレーナ構造 MOSFET オン抵抗成分の内訳



メージのない平坦面に形成されるプレーナ構造と比べて特性の劣化を生じやすい。このため、ダメージ除去や形状改善が非常に重要となる。

(2) 容量

立体的なチャンネル形成と微細化によりチャンネル密度が増加するため、トレンチゲート構造の容量はプレーナ構造に比べ増加することは免れないが、チップ面積低減による改善は可能である。

③ プレーナ構造 MOSFET の現状

図3に、プレーナ構造 MOSFET のオン抵抗成分の内訳を示す。チップ抵抗が全体の約70%を占め、チップ抵抗の54%はチャンネル抵抗成分である。トレンチゲート MOSFET にすることでこのチャンネル抵抗成分の大幅な低減が可能であり、J-FET 抵抗成分はなくなる。このような低オン抵抗の領域になるとチップ抵抗の低減だけでは不十分であり、オン抵抗の約30%を占めるパッケージ抵抗の低減も合わせて行っていかなければならなかった。

④ トレンチゲート MOSFET の開発

4.1 オン抵抗の低減

4.1.1 チップ抵抗の低減

(1) チャンネル抵抗の低減

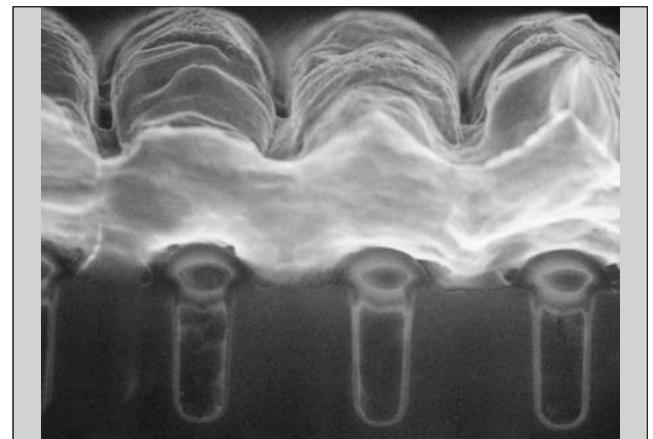
トレンチゲート構造の採用と微細化によりチャンネル密度を上げることで、トレンチゲート MOSFET のチャンネル抵抗の低減を図れるが、トレンチエッチング面にチャンネル領域を形成するために、ダメージや結晶方位の関係で移動度の低下が懸念される。移動度の低下を防ぐために、エッチング条件や酸化条件によるダメージ層の除去、チャンネル形成方位の最適化を行った。

(2) コンタクト抵抗の低減

トレンチゲート構造とすることで微細化が可能となったが、コンタクト抵抗を増加させずにコンタクト面積を縮小するために、コンタクト面積の最適化とSiの析出を抑えるスパッタ・アニール条件の最適化、さらにはソース領域形成プロセスの改善を行った。

(3) その他

図4 トレンチゲート MOSFET セル断面の SEM 写真



トレンチ深さなどのプロセス条件や結晶規格の最適化を図ることで、ドリフト層抵抗の低減を行った。

4.1.2 パッケージ抵抗の低減

ボンディングワイヤ抵抗を低減させるために必要なボンディングワイヤの太径化のためのフレームの改造や、アルミニウム電極膜のシート抵抗を低減させるためにボンディング位置の最適化を行うことで、パッケージ抵抗の低減を図った。

4.2 ゲート信頼性の確保

トレンチ側壁にエッチングによるダメージやエッチング形状の先鋭化が発生すると、ゲート信頼性の低下を招くことが危惧(きぐ)される。このほかにも、ゲート酸化膜に達するイオン注入によるダメージなどもゲート信頼性の低下の要因となる可能性がある。これらを防ぐために、エッチング条件や酸化条件の最適化によるダメージ層の除去、形状の先鋭化の防止、イオン注入ダメージ防止プロセスの開発などの改善を行った。

⑤ 開発結果

図4に、今回開発したトレンチゲート MOSFET のセル断面の SEM (Scanning Electron Microscope) 写真を示す。

5.1 オン抵抗

図5に、今回開発したトレンチゲート MOSFET とプレーナ構造 MOSFET のオン抵抗比較を示す。チャンネル抵抗の半減や J-FET 抵抗成分の除去などにより、トレンチゲート MOSFET のチップ抵抗はプレーナ構造の場合に比べて約60%に低減されている。合わせて、パッケージ抵抗も前述の諸施策により約半減しており、トレンチゲート MOSFET のオン抵抗をプレーナ構造 MOSFET に比べて60%に低減することができた。

5.2 ゲート信頼性

トレンチ形成部におけるエッチングによるダメージやエッ

図5 プレーナ構造とトレンチゲート構造の MOSFET オン抵抗比較

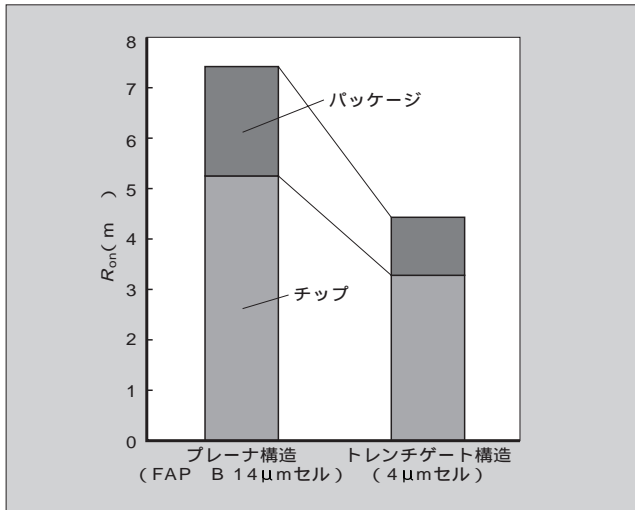
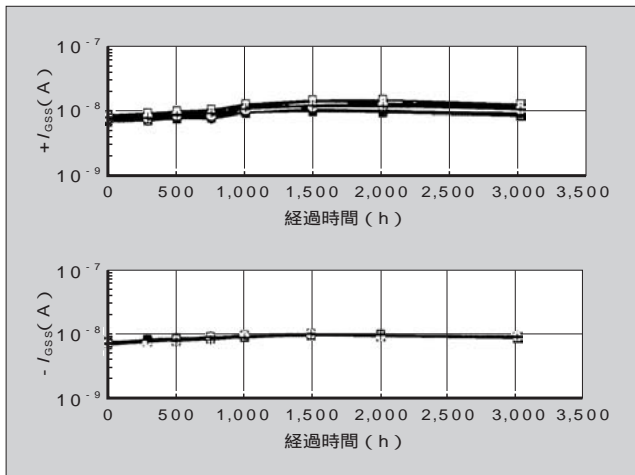


図6 トレンチゲート MOSFET 高温印加試験結果



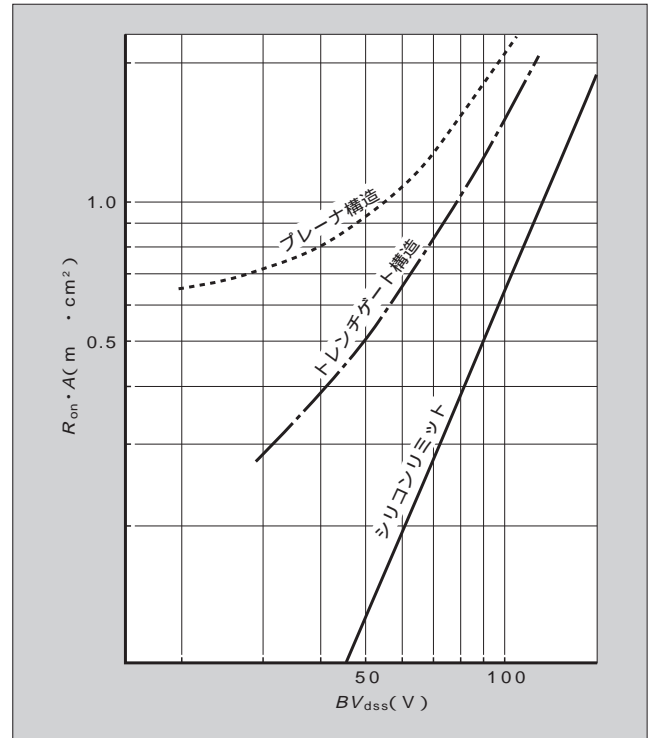
チング形状の先鋭化, またイオン注入によるゲート酸化膜へのダメージなどによるゲート信頼性の低下を, ダメージ層の除去, 形状の先鋭化の防止, イオン注入ダメージ防止プロセスの開発などエッチング条件や酸化条件の最適化を図ることで改善した。図6に, ゲート高温印加試験 (150 V_g = ± 30 V) 結果を示す。この結果から分かるように, 前述の諸改善によりゲート信頼性の向上を図ることができ, ゲート保証電圧 ± 30 V を達成することができた。

今回開発したトレンチゲート MOSFET の特性結果を表1に示す。

表1 トレンチゲートMOSFETの特性結果

定格 [$BV_{dss}, I_d, R_{ds(on)}$]	60 V, 80 A, 6.5 m
ゲート保証電圧	± 30 V
動作保証温度	150
アバランシ耐量保証	80 A

図7 MOSFET の BV_{dss} と $R_{on} \cdot A$ との関係



⑥ あとがき

このたび, 従来のプレーナ構造 MOSFET に比べオン抵抗を約 60 % に低減したトレンチゲート MOSFET を開発することができたが, バッテリー駆動機器の市場は今後も拡大すると予測されており, 今後はさらなる低オン抵抗化の要求からもパワー MOSFET には低耐圧素子 (20 V, 30 V, 40 V クラス) の要求が強まっている。図7に, プレーナ構造とトレンチゲート構造の MOSFET の耐圧とオン抵抗のトレードオフ関係を示す。これから分かるように, 低耐圧クラスになるほどトレンチゲート MOSFET の優位性は拡大しており, このクラスのトレンチゲート MOSFET 化は急速に進み始めている。このほかにも, 自動車電装分野への展開も始まっており, ゲート信頼性の向上とともに, 今後急激に拡大するものと考えられている。

今回開発したトレンチゲート MOSFET の技術を基に, 今後とも市場の要求する低オン抵抗化, ゲート信頼性の向上に努めていく所存である。



*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。