車載用サージ吸収入力 IC

八重澤 直樹（やえざわ　なおき）　市村　武（いちむら　たけし）　岡本　有人（おかもと　ゆうじん）

1　まえがき

近年，自動車電装システムの大規模化が進み，自動車の電子制御装置（ECU：Electronic Control Units）に搭載される半導体部品は，従来のディスクリート部品構成を統合化することで部品点数・実装面積・質量の削減，トータルコストの低減が必要になっている。サブミクロン BCD〔Bipolar/CMOS（Complementary Metal Oxide Semiconductor）/DMOS（Double diffused MOS）〕，SOI（Silicon On Insulator）技術の開発やシステムオンチップなどの技術開発のアプローチは，ディジタル IC，アナログ IC，トランシーバ IC，マイクロプロセッサ，メモリ，A-D コンバータ，D-A コンバータ，電源 IC，パワーデバイスなどのワンチップ統合化に成功している。しかしながら，**図1**に示すように ECU コネクタからマイクロコンピュータまでの入力インタフェース回路におけるサージ保護機能は，いまだ多数のディスクリート抵抗，コンデンサ，ダイオードなどによって構成されている。その理由は自動車電装市場が要求する厳しいサージ耐量を実現することが困難だからである。

富士電機では ECU コネクタから入力される静電破壊サージ（ESD：Electro Static Discharge），イグニッションパルスサージ，電磁波ノイズ（EMC：Electro Magnetic Compatibility）などのサージのみを吸収し，マイクロコンピュータへの電気的信号・車両の各種状態信号のみを伝達することを製品コンセプトとする，車載用サージ吸収入力 IC を開発した。本稿では今回開発したサージ吸収入力 IC「FP001」について報告する。

2　特　徴

図1，**図2**に示すように，従来の抵抗，コンデンサ，ダイオードなどのディスクリート部品構成によるサージ・ノイズ吸収回路およびレベルシフト回路は，プリント板上において 60 mm²/チャネルの実装面積を要している。サージ吸収入力 IC は従来のディスクリート部品構成を SSOP（Super Small Outline Package）多ピンパッケージに統合化することで，その実装面積を 850 mm² から 170 mm² と 1/5 に小型化した。また，14 チャネルをワンチップ構成とすることで，ECU の部品実装点数・工数を削減できる。その他の特徴について以下に記す。

(1)　高 ESD 耐量（150 pF-150 Ω，±25 kV 以上）
(2)　電磁波ノイズ耐量（200 V/m，1 ～ 1,000 MHz）
(3)　高イグニッションパルスサージ耐量（－23 kV 以上）

図1　現状のインタフェース回路部構成

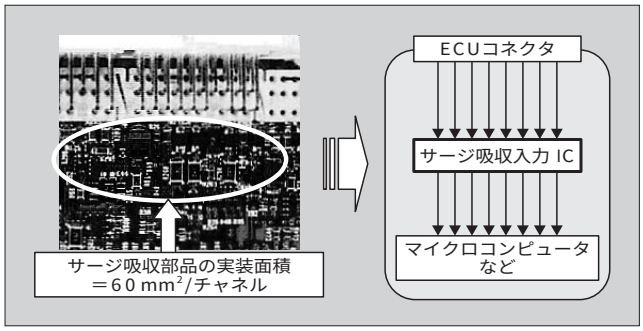
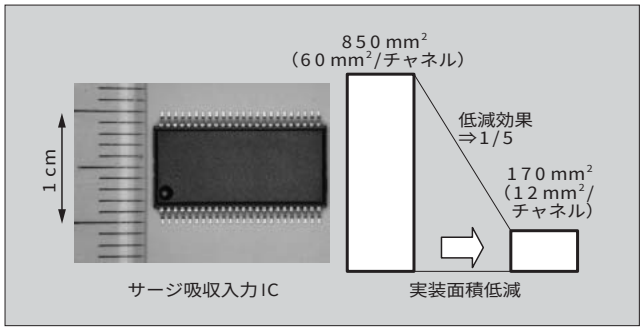


図2　サージ吸収入力 IC 実装面積低減



3　チッププロセス・デバイス

サージ吸収 IC は，自己分離 NDMOS〔NMOS（Negative channel MOS）/DMOS〕プロセスを用いてプロセスステップ数を最小限に抑え，従来の縦型パワー MOSFET

八重澤 直樹

自動車用スマートパワーデバイスの開発・設計に従事。現在，富士日立パワーセミコンダクタ(株)松本事業所開発設計部。

市村　武

自動車用スマートパワーデバイスのチップ開発・設計に従事。現在，富士日立パワーセミコンダクタ(株)松本事業所開発設計部。

岡本　有人

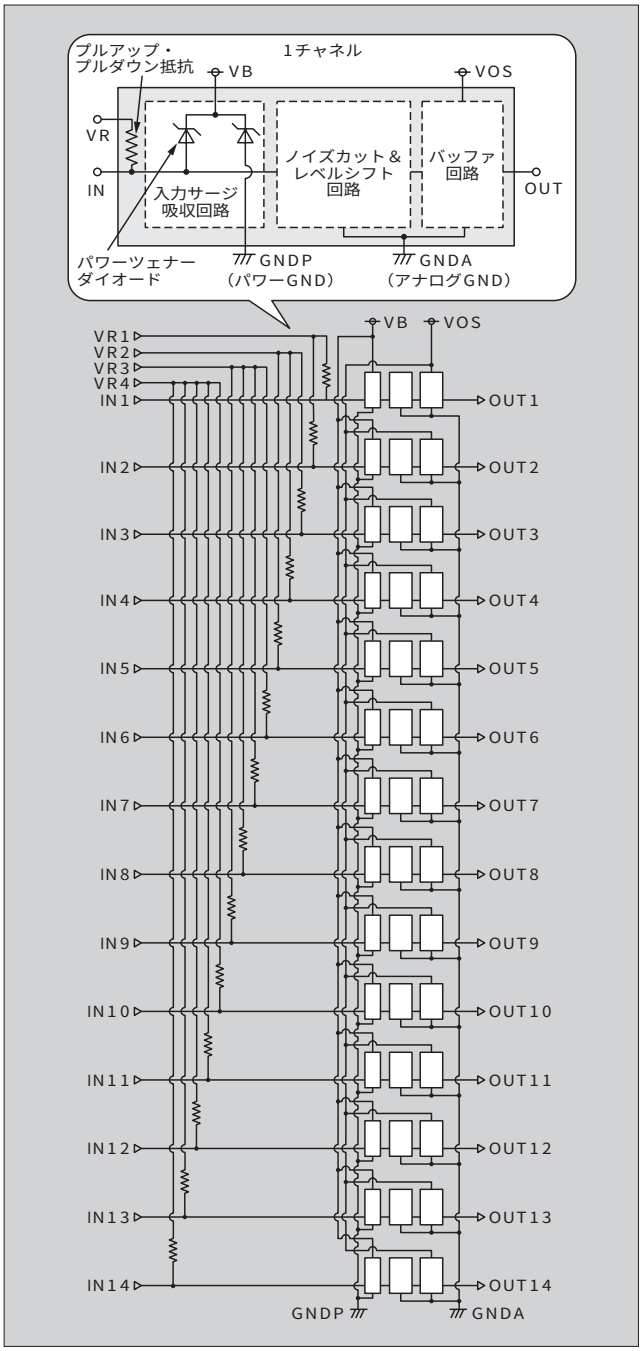
自動車用スマートパワーデバイスの開発・設計に従事。現在，富士日立パワーセミコンダクタ(株)松本事業所開発設計部。

（Metal Oxide Semiconductor Field Effect Transistor）のボディダイオードと同一設計の縦型パワーツェナーダイオードと，NMOS 制御回路の多チャネル構成を同一チップ上に集積した。

4　回路構成

回路ブロックダイヤグラムを**図 3** に示す。入力サージ吸収回路，ノイズカット＆レベルシフト回路，バッファ回路，プルアップ・プルダウン抵抗を集積化した構成を 14 チャネル並列に統合構成し，ワンチップ化している。VB 端子はバッテリーに接続し，VOS 端子は ECU 内で 5 V に変換された電源電圧に接続される。

図 3　回路ブロックダイヤグラム



IN 端子へ印加された ESD のエネルギーは，VB–IN 間のパワーツェナーダイオードによってまず吸収され，さらにレベルシフトを兼ねたポリ Si 高抵抗を通して減衰する。このようにノイズの侵入をカットするフィルタ回路を通ることでマイクロコンピュータ側へのサージ侵入が完全に防止される。

GND 端子については，サージ吸収回路部のパワー GND（GNDP）とレベルシフト回路および電気的信号変換回路のアナログ GND（GNDA）を分離することで，IN 端子・VB 端子に入力されるサージ・ノイズを出力段（CPU 入力）に伝達しない構成としている。

VR 端子は入力端子を 10 kΩ（typ.）の入力抵抗にて，プルアップ・プルダウンすることを可能としており，必要により外付け抵抗を並列接続することで任意の入力抵抗を実現できる回路構成としている。

5　パワーツェナーダイオードの素子面積最適化

パワーツェナーダイオードの素子面積を最適化するために，耐圧を決める結晶条件を変えて 150 pF–150 Ω条件における ESD 耐量を確認した結果について**図 4**，**図 5** に示

図 4　ESD 耐量（素子面積依存性）

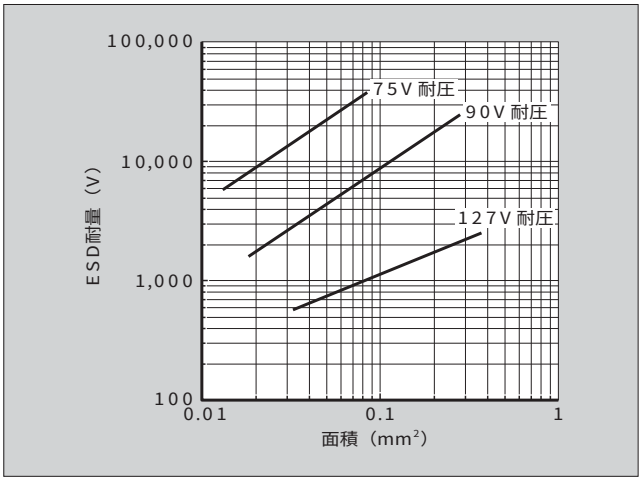


図 5　ESD 耐量（耐圧依存性）

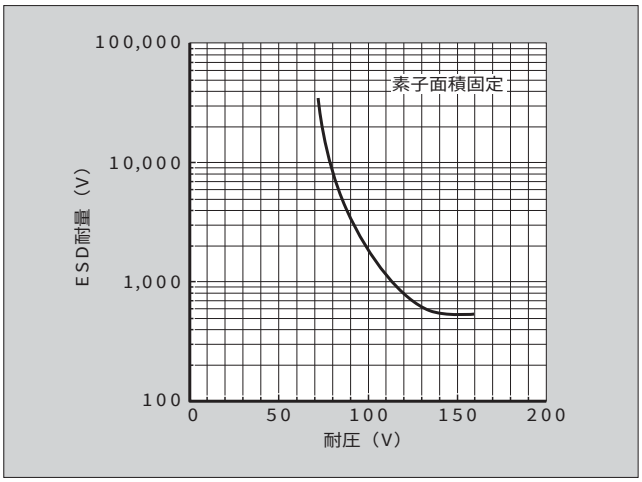


図６　サージ吸収入力 IC のチップ外観

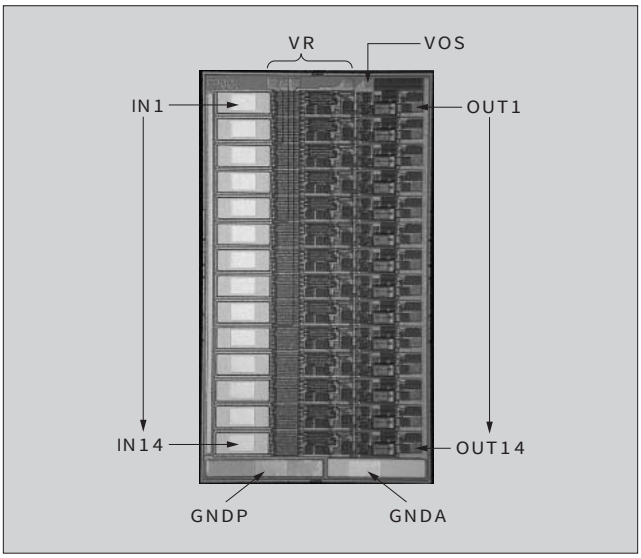
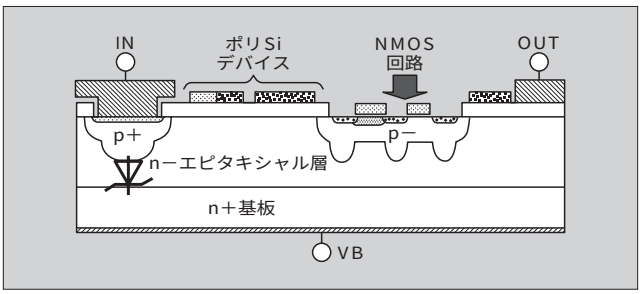


図７　サージ吸収入力 IC の断面構造



す。**図４**は素子面積（mm²）に対する ESD 耐量を，**図５**はパワーツェナーダイオードの耐圧に対する ESD 耐量をそれぞれ示している。これらの結果からパワーツェナーダイオードの耐圧が ESD 耐量に大きく依存し，素子面積を最小にするためにも，パワーツェナーダイオードの耐圧を小さくすることが必要であることが分かる。

この結果から，各 IN 電極パッドの面積程度のパワーツェナーダイオード素子面積で最も厳しい条件で ESD 耐量±25 kV を達成することができ，IN パッド直下に配置することでまったく無駄のないチップレイアウトが実現された。

サージ吸収入力 IC のチップ外観を**図６**に，断面構造を**図７**に示す。入力側は縦型ツェナーダイオード内蔵 IN パッドを並列に 14 チャネル並べた構成で，回路側との接続は局所 SOI 構造である高抵抗ポリ Si およびポリ Si ツェナーダイオードを用いている。

6　寄生 pnp トランジスタ構造 ESD 耐量

本製品の入力端子間に構成される横方向寄生 pnp トランジスタの ESD 耐量について調査した。具体的には**図８**に示すような同一チップ上において同構造，同素子面積のパワーツェナーダイオードを横方向に距離 X（μm）を置いた場合の，横方向寄生 pnp トランジスタ構造間 ESD 耐量を測定した。本結果を**図９**に示す。なお，距離 $X=0$ μm の ESD 耐量データは比較のために単独のパワーツェナーダイオードの耐量をプロットしている。実験の結果，60 V 定格耐圧の結晶条件における ESD 耐量は横方向距離 X に依存せず，単独のパワーツェナーダイオードの ESD 耐量と変わらないことが分かる。

図８　入力端子間寄生 pnp トランジスタ断面構造図

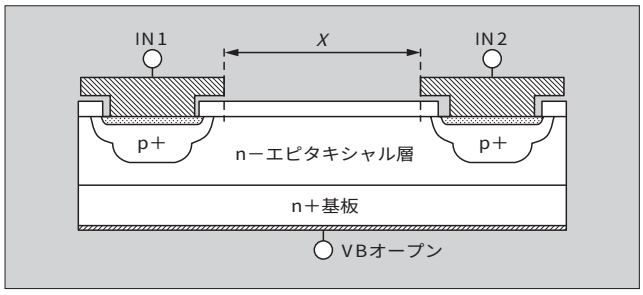
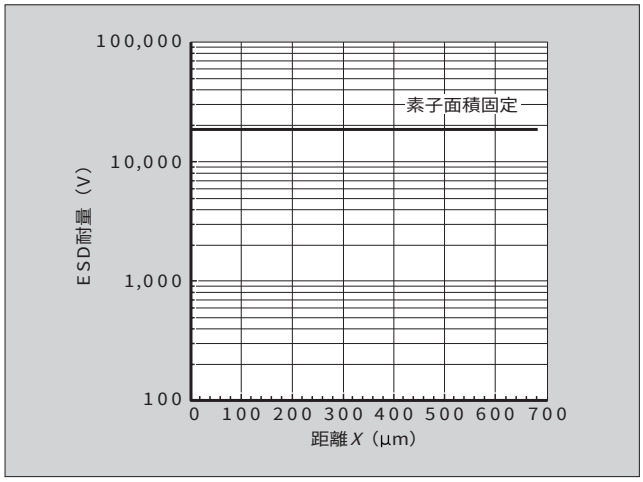


図９　寄生 pnp トランジスタ構造 ESD 耐量



7　サージ吸収動作

7.1　ESD サージ

IN-GNDP 間に 150 pF-150 Ω 条件において ESD 電圧＋25 kV を印加した際に観測された電圧・電流波形を**図10**に示す。＋25 kV の ESD 電圧は 60 V 定格の素子面積に設計されたパワーツェナーダイオードによって 200 V ピーク電圧レベルに制限される。

OUT 出力ラインに CMOS 入力の論理ゲート IC を接続して ESD 実験を試みたが，論理ゲート IC の破壊・誤動作は確認されなかった。

IN-VB 間，IN-GNDP 間，IN-IN 間の ESD 耐量はそれぞれ電源セット状態（V_B ＝ 14 V，V_{OS} ＝ 5 V）またはオープン状態において，150 pF-150 Ω 条件にて ESD 耐量±30 kV 以上を達成している。その他の ESD 条件における ESD 耐量測定結果を**表１**に示す。

7.2　電磁波ノイズ

電磁波ノイズ EMC 耐量をテムセル法により，電界 200

図10　ESD ＋ 25 kV 印加時の IN1 波形

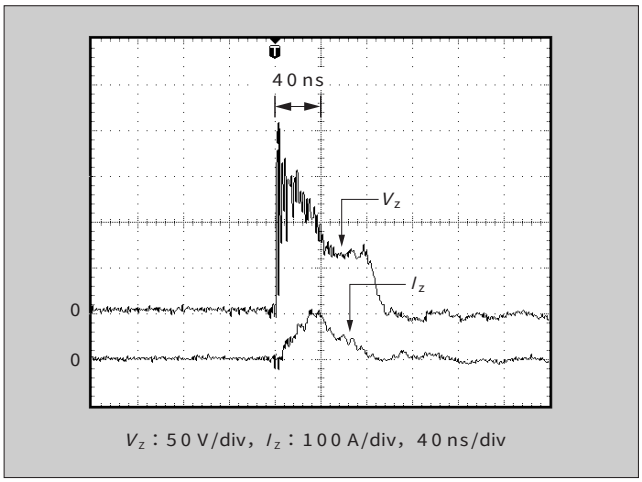


図11　レベルシフト回路とバッファ回路動作波形

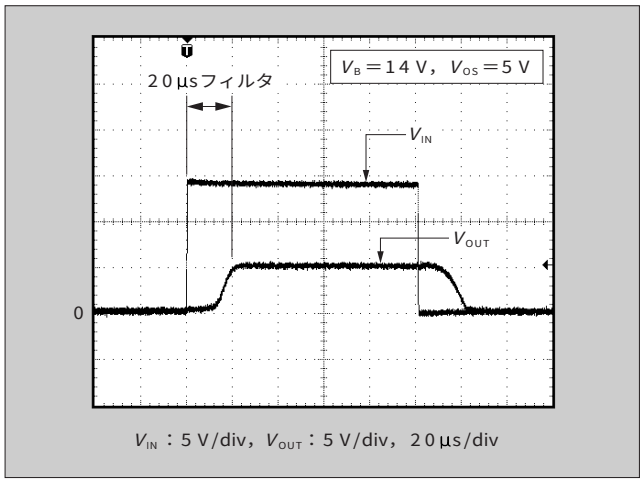


表1　ESD 耐量測定結果

条　件	ESD 耐量	
C＝150 pF R＝150 Ω	IN-GNDP	＞±30 kV
	IN-VB	＞±30 kV
	IN-IN	＞±30 kV
C＝200 pF R＝0 Ω	IN-GNDP	＞±20 kV（typ.）
	IN-VB	＞±20 kV（typ.）
	IN-IN	＞±23 kV（typ.）

V/m，周波数帯域 1 MHz から 1,000 MHz まで 2 % log ステップでスイープさせて確認した結果，OUT 出力に誤動作ないことを確認した。

7.3　イグニッションパルスサージ

IN-VB 間，IN-GNDP 間のイグニッションパルスサージ耐量は，電源セット状態（V_B ＝ 14 V，V_{OS} ＝ 5 V）にて－23 kV 以上を達成している。

8　レベルシフト回路とバッファ回路動作

レベルシフト回路とバッファ回路動作波形を**図11**に示す。バッテリー 14 V 電源から IN 端子へ入力された信号は，OUT 端子からマイクロコンピュータ 5 V 電源に対する出力信号に変換される。また，入力しきい値電圧にはヒステリシス電圧を設け，さらにバッファ回路部には 20 μs のフィルタを設けることで，イグニッションパルスサージなどの高周波ノイズをカットする設計とした。

表2に電気的特性を示す。今回のサージ吸収入力 IC は 14 チャネルの入力構成としているが，要求によっては入力チャネル数の異なる製品への対応も可能である。

9　SSOP パッケージ

本製品には SSOP パッケージを用いる。SSOP パッケージを用いることで，複数の入力端子と複数の出力端子とを 180 度の角度を隔てた方向に振り分け，入力端子に印加されるサージやノイズを出力端子に伝搬させないことを可能としている。

表2　電気的特性

項　目		条　件	特性値 (typ.)	単位
端子間クランプ電圧		VB-GNDP	75	V
		VOS-GNDA	7	V
		VR-GNDP	75	V
		VIN-GNDP	75	V
入力しきい値電圧	$V_{th(H)}$	V_{OS}＝5 V V_B＝14 V	4.0	V
	$V_{th(L)}$		3.8	V
プルアップ・プルダウン抵抗		V_R＝14 V	10	kΩ
入力漏れ電流		V_{IN}＝ V_R＝14 V， V_{OS}＝0 V，1チャネルあたり	0.7	mA
出力電圧	$V_{OUT(H)}$	V_{IN}＝ V_B＝14 V，V_{OS}＝5 V	4.8	V
	$V_{OUT(L)}$	V_{IN}＝0 V，V_B＝14 V， V_{OS}＝5 V	0.2	V
出力遅延時間	T_{don}	V_B＝14 V	20	μs
	T_{doff}	V_{OS}＝5 V	20	μs

10　あとがき

自動車用スマートパワーデバイスの新製品としてサージ吸収入力 IC FP001 の概要について紹介した。今後とも富士電機では，市場要求を満足する新製品開発に注力していく所存である。

参考文献

(1)　Yoshida, K. et. al. Surge Protection IC for the Switch Interface of ECUs. CIPS 2002. 2002, p.139-145.

e-Front runners

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。