# PDP アドレスドライバ IC 技術

多田　　元（ただ　げん）　　川村　一裕（かわむら　かずひろ）　　斉藤　　俊（さいとう　まさる）

## 1　まえがき

PDP（Plasma Display Panel）は大画面でありながら薄型を特徴とし，これまでの課題であった輝度やコントラストも CRT 並みに改善され，家庭用テレビ分野で急速に市場が拡大してきている。今後さらに普及するためには PDP の低価格化が鍵となるが，ドライバ IC に対してもさらなる低価格化が要求されている。

富士電機では，2001 年に第二世代アドレスドライバ IC を開発し，現在量産供給している[1]。しかし低価格化の要求に応えるため，今回 IC チップコストを 2/3 に低減したプロセス・デバイス技術を開発し，第三世代アドレスドライバ IC として製品適用した。

本稿では，プロセス・デバイス技術の概要と，本技術を適用した第三世代アドレスドライバ IC の製品概要について紹介する。

## 2　プロセス技術

富士電機では，従来からアドレスドライバ IC 用のプロセスとして，埋込みエピタキシャルウェーハを用いた pn 接合分離技術を適用しており[2][3]，高性能で低価格な製品を供給してきた。しかし，市場のさらなるコストダウン要求に応えるためには，ウェーハプロセスの工程短縮が必要であり，また将来生産量が増加した場合でも安定して供給できるウェーハプロセス体制が必要である。

以上の要求に応えるべく新プロセスを開発した。特徴は次のとおりである。

(1)　拡散層の共通化や酸化工程の削減によりマスクステップを従来プロセスの 75 %に削減し，ウェーハプロセスの短縮を行った。

(2)　埋込みエピタキシャルウェーハ工程を含めてウェーハプロセスを 8 インチ化し，将来生産量が増加した場合でも安定して供給できる体制を整えた。

## 3　デバイス技術

チップコストを低減するためには，ウェーハプロセスの工程短縮だけでなく，チップサイズを縮小することが鍵となる。そこで今回，デバイスデザインの最適化を行い，チップサイズを従来の 70 %以下に小型化した。以下にその概要を述べる。

### 3.1　高耐圧デバイス縮小技術

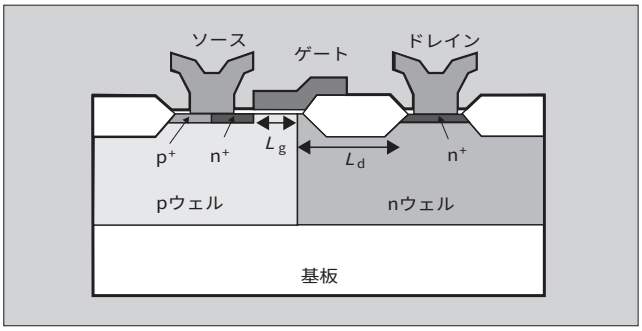
高耐圧デバイスは，アドレスドライバ IC 全体の約 50 %の面積を占めている。そのため，チップサイズを縮小するためには高耐圧デバイスを縮小するのが最も効果がある。**図 1** に高耐圧 n チャネル MOSFET（Metal Oxide Semiconductor Field Effect Transistor）（高耐圧 NMOS）の断面図を示す。

高耐圧 NMOS はリサーフ構造[4]を用いているが，今回，ドレインドリフト領域となる n ウェル層の張り出し長さ（$L_d$）を最適化することで，所望の耐圧を得ながらもオン抵抗を低減した。さらにチャネル長（$L_g$）の最適化を図り，しきい値電圧の最適化とデバイスピッチの縮小を行った。**図 2** に高耐圧 NMOS の電流電圧波形を示す。

一方，高耐圧 p チャネル MOSFET（高耐圧 PMOS）についても同様の手段でデバイスを縮小した。**図 3** に高耐圧 PMOS の電流電圧波形を示す。

これらの結果，70 V のスイッチング動作を保証する高

図 1　高耐圧 NMOS 断面図



**多田　　元**

高耐圧 IC のデバイス・プロセス開発に従事。現在，松本工場 IC 第一開発部プリンシパルエンジニア。電気学会会員。

**川村　一裕**

CMOSIC の開発に従事。現在，松本工場 IC 第一開発部。

**斉藤　　俊**

高耐圧 IC のデバイス・プロセス開発に従事。現在，松本工場 IC 第二開発部。

図２　高耐圧 NMOS の電流電圧波形

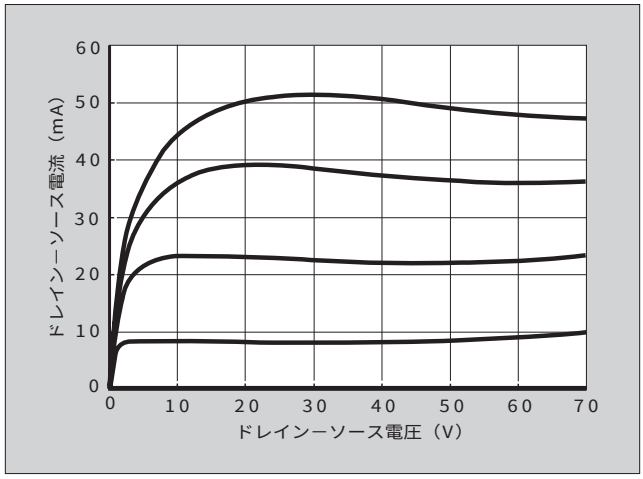



図３　高耐圧 PMOS の電流電圧波形

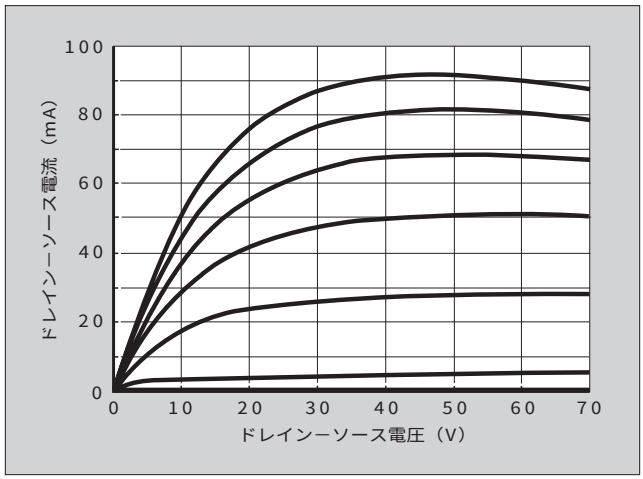
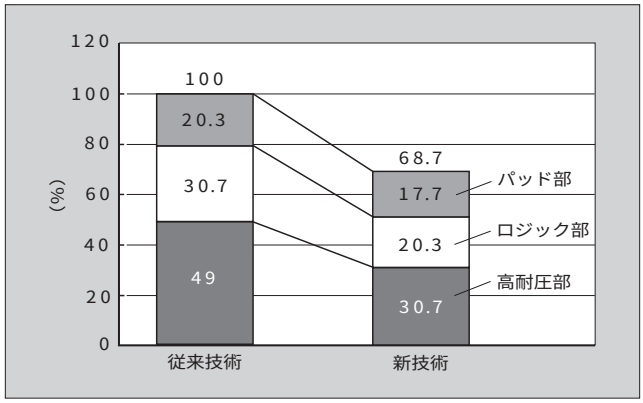



図４　デバイスサイズの比較



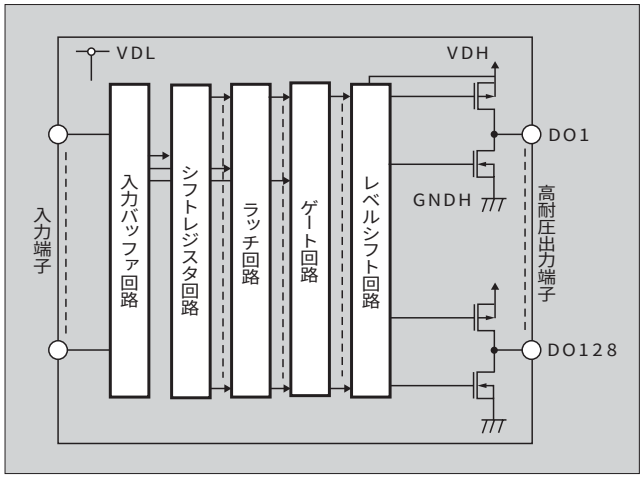

耐圧デバイスを，当社従来デバイス比で約 60 %に縮小できた。

### 3.2　従来技術とのデバイスサイズ比較

高耐圧デバイス以外にも，低耐圧デバイス（ロジック部）およびパッドサイズの縮小を行った。

(1)　デザインルールの微細化により，ロジック部面積を当社従来技術比で 2/3 に縮小した。

図５　ブロック図




(2)　パッドサイズを従来の 90 %に小型化した。

以上の結果，全体では従来技術の 70 %以下にサイズを縮小した（**図４**）。

## 4　第三世代アドレスドライバ IC への適用

今回新規に開発した特徴あるプロセス・デバイスを適用し，カラー PDP アドレスドライバ IC を開発したので以下に紹介する。

### 4.1　概　要

この IC の概要は下記のとおりである。

(1)　128 ビット高耐圧プッシュプル出力
(2)　高耐圧出力：85 V（最大），±30 mA（標準）
(3)　高耐圧出力高速スイッチングスピード
(4)　高速データ転送：40 MHz（データ取込み時最大）
(5)　3.3 V CMOS 入力インタフェース
(6)　4 ビットデータ入出力ポート
(7)　32 ビット双方向シフトレジスタ 4 回路

### 4.2　回路構成

**図５**にこの IC のブロック図を示す。

回路構成としては，3.3 V CMOS 入力インタフェースを可能にする入力バッファ回路，32 ビット× 4 回路の双方向シフトレジスタ回路，128 ビットラッチ回路，全高耐圧出力 H/L/Z 制御用のゲート回路，低消費電流レベルシフト回路，128 ビット高耐圧プッシュプル出力回路から構成されている。

### 4.3　特徴と従来機種比較

#### 4.3.1　チップサイズ

**図６**に従来の IC と，この IC のチップサイズを比較するために両 IC のチップ写真を示す。この IC は，新規に開発した低オン抵抗デバイスの採用，微細加工プロセスを採用することにより，従来 IC と同等の特性であるにもかかわらず，チップ面積では，従来の約 70 %に小型化するこ

図６　チップ写真（従来 IC と開発 IC の面積比較）

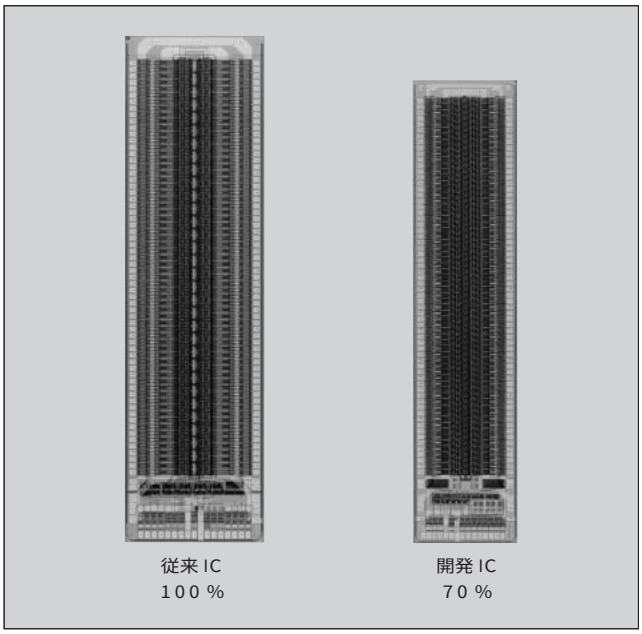



表１　代表特性の比較

| 項　目 | 記　号 | 条件・適用 | 従来機種 | 開発機種 | 単位 |
|---|---|---|---|---|---|
| 高耐圧H出力電圧 | $V_{OH\,DO}$ | $I_{OH}$＝−30 mA | 64.8 | 65.4 | V |
| 高耐圧L出力電圧 | $V_{OL\,DO}$ | $I_{OH}$＝30 mA | 2.2 | 2.8 | V |
| 動作時消費電流 | $I_{DD}$ | ロジック電源電流 40 MHz動作時 | 34.0 | 18.8 | mA |
| 最大クロック周波数 | $f_{CLK}$ | 単体 | 50.0以上 | 50.0以上 | MHz |
| 出力伝達遅延時間 | $t_{p\,HL}$ | $C$＝50 pF | 55.8 | 46.2 | ns |
| | $t_{p\,LH}$ | $C$＝50 pF | 130.0 | 135.6 | ns |
| 出力立上り時間 | $t_r$ | $C$＝50 pF | 52.3 | 45.3 | ns |
| 出力立下り時間 | $t_f$ | $C$＝50 pF | 75.6 | 83.5 | ns |

〈注〉特に指定のない限り，$T_j$＝25 ℃，$V_{DL}$＝5 V，$V_{DH}$＝70 V

とができた。

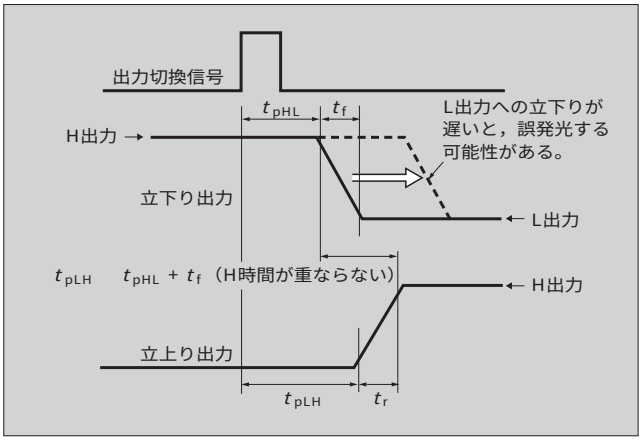
### 4.3.2　代表特性

この IC の代表特性の比較を**表１**に示す。

(1)　高耐圧 H/L 出力電圧

H 出力電圧，L 出力電圧ともに従来機種と同等の特性を実現した。この特性は高耐圧デバイスの面積に大きく影響する特性であるが，デバイス面積としては 60 %程度に小型化したうえで，従来機種と同等の特性を実現できた。

図７　高耐圧出力スイッチング波形




(2)　動作時消費電流（ロジック部）

ロジック回路素子サイズの最適化により，消費電流を従来機種の約 55 %にまで低減できた。

(3)　スイッチング時間

特徴となる特性としては，**図７**のように伝達遅延時間をコントロールすることにより，L から H に変化する出力と H から L に変化する出力の H 期間が重ならないようにし（$t_{pLH}$　$t_{pHL}$ ＋ $t_f$），PDP の誤発光を防止するものである。PDP は，ある期間においてデータドライバが H 出力しているビットのみが発光書込みされる。したがって，発光させたくないビットは，すばやく L 出力に立ち下がっていることが望ましい。この IC についてもこの特徴的なスイッチング波形を実現している。

## 5　あとがき

本稿では PDP アドレスドライバ IC 技術について概説した。ウェーハプロセスの工程短縮ならびにデバイスサイズの縮小により，従来技術に比較してチップコストを 2/3 に低減し，市場のコストダウン要求に応えている。

富士電機では，今後も PDP の普及のために，高性能で低価格なドライバ IC の開発を行っていく所存である。

### 参考文献

(1)　野口晴司ほか．第二世代 PDP アドレスドライバ IC．富士時報．vol.74，no.10，2001，p.574–577.

(2)　多田元，北村明夫．高耐圧 IC プロセス技術．富士時報．vol.69，no.8，1996，p.410–416.

(3)　Meguro, K. et al. Advances of Driver IC Techniques for PDPs. IDW 02. 2002，p.733–736.

(4)　Appels, A. et al. High Voltage thin Layer Devices（Resurf Devices）. IEEE IEDM. 1979，p.238–241.

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。