

## 2 チャンネル電流モード同期整流降圧電源 IC

特集

中森 昭 (なかもり あきら)

野中 智己 (のなか ともみ)

一岡 明 (いちおか あきら)

### 1 まえがき

近年、デジタルテレビ、DVD (Digital Versatile Disk) プレーヤ、DSC (Digital Still Camera) などのデジタル家電機器の普及が進んでいる。特に、日本では 2003 年から地上波デジタル放送が開始され、2011 年にはすべてのテレビがデジタル化へシフトされる見込みである。

本稿では、急速に普及しているデジタルテレビのチューナ用電源として CPU 用に適した 2 チャンネル電流モード同期整流降圧電源 IC 「FA7731F」を開発したので、その概要を紹介する。

### 2 製品の概要

今回開発・製品化した電源 IC の製品外観を図 1 に示す。

#### 2.1 IC の特徴

デジタルテレビのチューナ部の小型化と低価格化のため、電源回路についても部品点数の削減、低損失化、コストダウンの要求が高まっている。デジタルテレビチューナの用途では、7 ~ 14 V 程度の比較的高い電圧から負荷となる CPU へ低電圧・大電流を供給するため、高耐圧で低オン抵抗の出力 MOSFET (Metal-Oxide-Semiconduc-

tor Field-Effect Transistor) を内蔵した許容損失の大きい同期整流降圧電源 IC が必要となる。しかし、こうした要求に合致した仕様を持つ IC はまだ市場ではまったくないため、富士電機では他社に先駆けて製品化した。

本製品の特徴を次に述べる。第一に、高速負荷応答に優れていることである。負荷となる CPU は負荷変動が大きく、その変動を瞬時に抑制するため、制御方式は電流モード方式、出力方式は同期整流方式を採用した。第二は、コンパクト化である。電源の小型化を図るために、2 チャンネル分の 4 個のパワー MOSFET をすべて電源 IC に組み込んだ。第三は、低価格化である。従来、電源 IC に外付けされていた電圧検出および誤差増幅器の制御定数などのチップコンデンサやチップ抵抗を電源 IC に組み込んだことである。

パッケージは小型・薄型・許容損失が大きい TQFP48 ピン (エクスポーズドパッド) を採用した。電源 IC の仕様を表 1 に示す。

#### 2.2 動作説明

FA7731F の回路ブロック図を図 2 に示す。各動作について以下に述べる。

##### 1) オンオフ回路

ON\_OFF 端子を切り換えることで、電源全体の停止と起動をコントロールできる。停止の場合、電源 IC の消費電流は 8  $\mu$ A で、スタンバイ電流を実現できる。

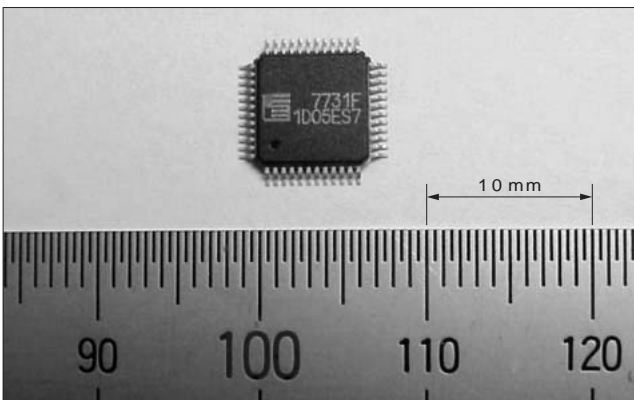
##### 2) 発振器回路

電源 IC の発振周波数は、RT 端子とグラウンド間に、18 ~ 82k の抵抗を接続することで、100 ~ 400 kHz の間で任意に設定できる。1 チャンネルと 2 チャンネルの周波数の位相は 180  $^{\circ}$  である。これにより、入力コンデンサのサイズを小さくすることができる。

##### 3) スロープ補償回路

ピーク電流モードの PWM (Pulse Width Modulation) 制御では、デューティが 50 % 以上で、分数調波振動が発生する可能性がある。本現象を回避するため、1 チャンネルと 2 チャンネル別々に SL 端子を設けている。この SL 端子と

図 1 FA7731F の製品外観



中森 昭

スイッチング電源 IC の開発に従事。現在、富士電機デバイステクノロジー株式会社半導体事業本部半導体工場情報・電源開発部。



野中 智己

スイッチング電源 IC の開発に従事。現在、富士電機デバイステクノロジー株式会社半導体事業本部半導体工場情報・電源開発部。



一岡 明

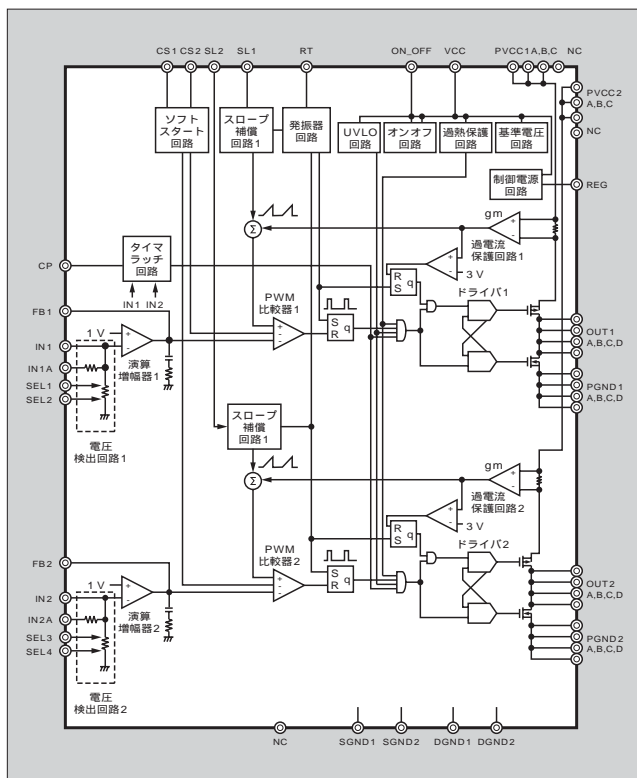
スイッチング電源 IC の開発に従事。現在、富士電機デバイステクノロジー株式会社半導体事業本部半導体工場情報・電源開発部。

グラウンド間に 10 ~ 50k の抵抗を接続することで、IC 内部で自動的に補償信号が生成され、分数調波振動を回避することができる。

表 1 FA7731Fの仕様

入力電圧	7 ~ 14 V	
出力電圧	1 V	
出力チャンネル数	2	
制御方式	電流モード	
動作周波数	100 ~ 400 kHz	
回路方式	同期整流パワーMOSFET内蔵	
チャンネル間位相差	180度	
スロープ補償	外付け抵抗で調整	
切換制御	オンオフ制御	電源全体の動作・停止切換
	CS1制御	チャンネル1の動作・停止切換
	CS2制御	チャンネル2の動作・停止切換
誤差増幅器補償定数	内蔵	あり
	外付け	FB端子に追加可能
電圧検出	内蔵	1.5 V (SEL端子で切換) 1.2 V (SEL端子で切換)
	外付け	任意 (SEL端子で切換)
	ソフトスタート	外付け容量で調整
保護機能	タイマラッチ	外付け容量で調整
	UVLO	6.5 V (オン)、6.0 V (オフ)
	過電流保護	4.5 A
	過熱保護	145
	パッケージ	TQFP48ピン (エクスポーズドパッド) ( $J_a = 25.9$ )

図 2 回路ブロック図



4) ソフトスタート回路

チャンネルごとにソフトスタート回路を設けている。本回路には、チャンネルごとの動作と停止、入力電圧の突入電流と出力電圧のオーバシュートの抑制、の二つの機能がある。CS 端子には内部電流源を内蔵しているため、外部コンデンサの値を変えることで電源の起動時間を任意に調整できる。

5) タイマラッチ式出力短絡保護回路

チャンネルごとに、演算増幅器の入力電圧の異常を監視し、どちらかのチャンネルの入力電圧が通常 1.0 V より 0.2 V 低い状態が、タイマラッチ回路の設定時間以上継続すると、二つのチャンネルともドライバの出力を同時に停止する。CP 端子には、CS 端子と同様に内部電流源を内蔵しており、外部コンデンサの値を変えることでタイマラッチの設定時間を任意に調整できる。タイマラッチ動作後の再起動は、電源電圧をいったんオフにしてから、再投入するか、ON\_OFF 端子で電源をいったん停止モードにしてから、起動モードに切り換えると、再起動がかけられる。

6) 過熱保護回路

IC の温度が 145 以上のまま、タイマラッチ回路の設定時間以上継続すると、二つのチャンネルともドライバ出力を停止する。

7) 低電圧誤動作防止用回路 (UVLO)

電源入力端子 (VCC) の電圧が 6.0 V 以下になると、二つのチャンネルとも同時にドライバ出力を停止する。再度、電源入力端子の電圧が復帰し、6.5 V 以上になると電源は自動復帰する。

8) パルスバイパルス過電流制限回路

チャンネルごとにメイン MOSFET に流れる電流を監視して、4.5 A 以上になると、メイン MOSFET をパルスバイパルスでオフ動作させ、過電流を制限する。

9) 電圧検出回路

電圧検出回路は、SEL1 ~ 4 端子の切換で、三つのモード切換が可能である。SEL 端子と出力電圧の対応を表 2 に示す。出力電圧が 1.2 V と 1.5 V の場合は、検出抵抗を IC 内に組み込み、任意の出力電圧については、外部に検出抵抗を設けることで対応できるモードを設けている。

10) 制御定数設定端子

演算増幅器の制御定数は内蔵化しており、これにより、電源設計時の複雑な設計が不要となる。組み込まれた制御定数は、FB 端子とグラウンド間にコンデンサと抵抗を直

表 2 各種SEL端子と出力電圧

チャンネル	出力電圧	SEL 1	SEL 2	SEL 3	SEL 4
1	任意	グラウンド	開放	/	/
	1.5 V	グラウンド	グラウンド		
	1.2 V	開放	グラウンド		
2	任意	/	/	グラウンド	開放
	1.5 V			グラウンド	グラウンド
	1.2 V			開放	グラウンド

列に追加することで変更が可能である。

### ③ 応用回路例

#### 3.1 回路構成

FA7731Fの応用回路の一例を図3に示す。本例は入力電圧が9V、1チャンネルの出力1.2V、2チャンネルの出力1.5Vである。出力電圧の電圧検出抵抗は、SEL端子を開放かグラウンドに接続して、IC内に組み込まれている抵抗を使用しており、演算増幅器の制御定数も内蔵のものだけを使用している回路例である。外部接続のチップコンデンサと抵抗は全部で9部品であり、また、従来、外部に接続していたパワーMOSFETをIC内部に組み込んでいるため、非常にコンパクトで、シンプルな回路構成となっている。

#### 3.2 効率特性

二つのチャンネルの出力パワーMOSFETは、効率を高めるために、同期整流構成にしている。チャンネルごとの内蔵パワーMOSFETのオン抵抗を表3に示す。2チャンネルのスイッチングを停止した条件での1チャンネルの効率特性を図4に示す。同様に、1チャンネルのスイッチングを停止した条件での2チャンネルの効率特性を図5に示す。図4と図

図3 応用回路例

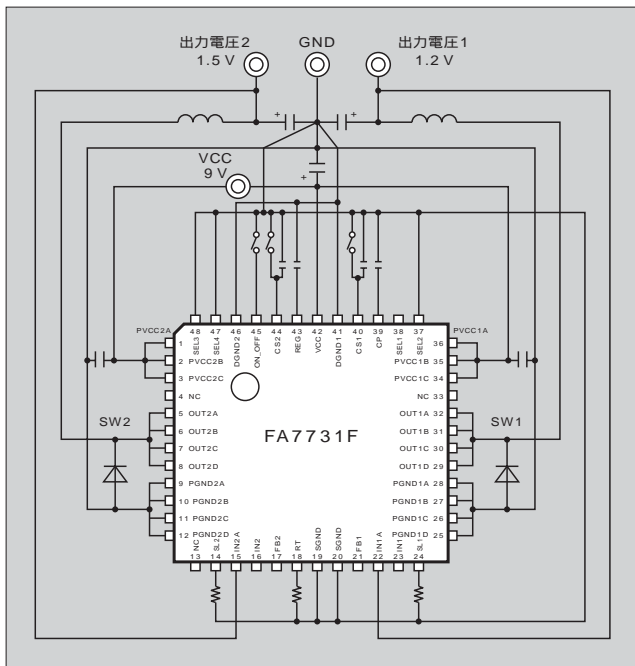


表3 内蔵パワーMOSFETのオン抵抗

チャンネル	デバイス	オン抵抗 ( )
1	PMOSFET	0.3
	NMOSFET	0.2
2	PMOSFET	0.4
	NMOSFET	0.1

5から、両チャンネルともほぼ同様な特性であり、出力電圧が5Vでは、90%を超える高効率を得られる。

#### 3.3 2相発振動作

二つのチャンネルの周波数は同一であるが、位相が180°異なっている。二つのチャンネルが動作しているときの、同期側パワーMOSFETのドレイン-ソース間電圧波形を図6に示す。図6から、二つのチャンネルの動作を180°ずらすことで、入力リップル電流のピーク値が、同相動作の場合に比べ半分となり、入力コンデンサの実効値電流が大幅に減少するため、入力コンデンサのサイズを小さくすることができる。

#### 3.4 低電圧対応

出力電圧検出は外付けモードと内蔵モードがある。内蔵モードでは、出力電圧の最低が1.2Vである。それ以下の電圧で使用したい場合は、SEL端子で、電圧検出抵抗を

図4 出力電圧1の効率特性

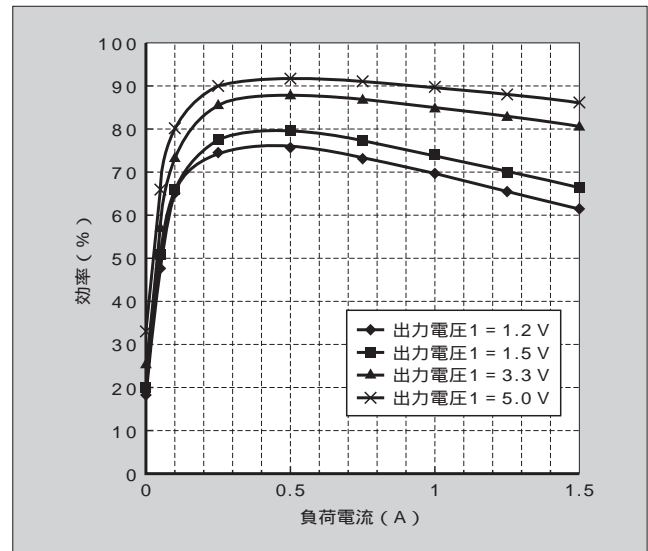


図5 出力電圧2の効率特性

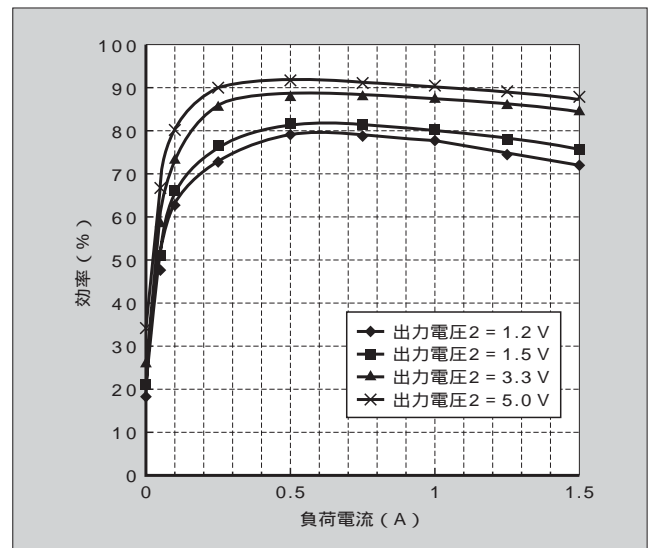


図6 同期側パワー MOSFET のドレイン - ソース間電圧波形

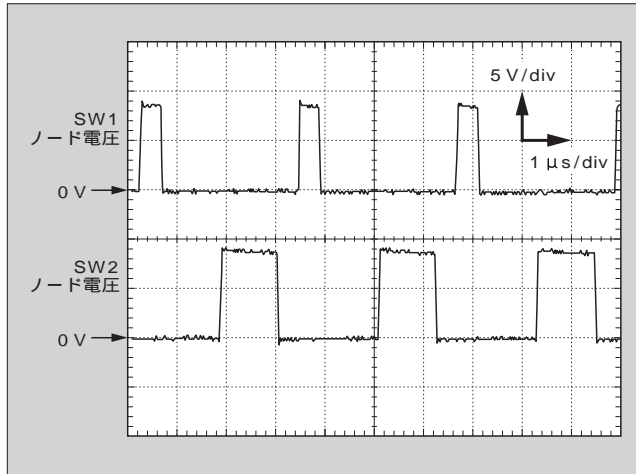


図8 出力電圧 1.2 V 設定時の負荷応答

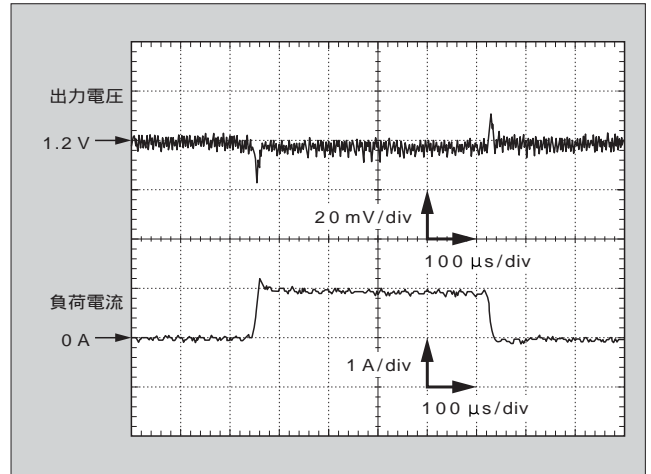
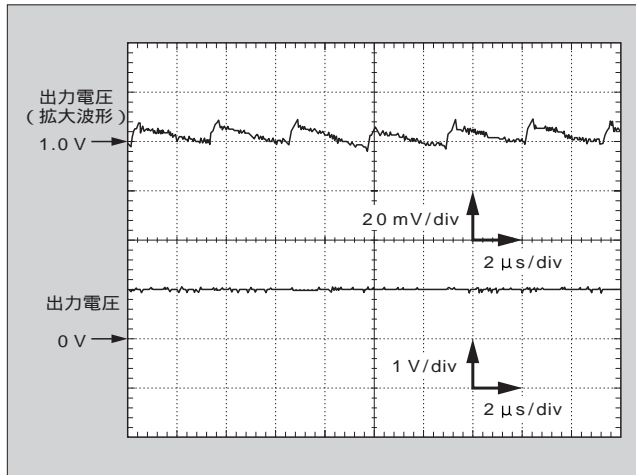


図7 出力電圧 1.0 V 設定時の出力電圧波形



外付けモードに設定し、外付け電圧検出抵抗の設定で、最低 1.0 V まで自由に出力電圧が調整可能である。入力電圧 9.0 V，出力電圧 1.0 V 設定時の出力電圧波形を図 7 に示す。

3.5 負荷変動特性

CPU 負荷は、負荷変動が厳しいのが特徴である。この厳しい負荷変動に対しても、電源 IC は安定な電圧を供給する必要がある。この課題を達成するために、DC-DC コンバータの制御方式に、安定度に優れ、出力の負荷変動に強い、電流モード方式を採用している。出力電圧が低電圧 1.2 V 設定時の負荷変動特性を図 8 に示す。負荷変動 1 A

のステップアップ、ステップダウン変動に対して、出力変動は 20 mV 以下であり、負荷変動が非常に小さく、優れた応答を示す。

4 あとがき

入力電圧が 7 ~ 14 V，パワー MOSFET 内蔵の 2 チャンネル電流モード同期整流降圧電源 IC の概要を紹介した。

デジタル家電製品の急速な普及により、これらの製品の電源として、高性能・小型・低価格への要求が高まっている。

この市場要求に応えるため、富士電機では、今後ともパワー MOSFET の低オン抵抗化や外部ショットキーバリアダイオードおよびソフトスタート、タイマラッチなどの外部コンデンサの削除による部品点数の削減を行い、電源の品質向上、コンパクト化や低価格を進めていく所存である。

参考文献

- 1) 原田耕介ほか．スイッチングコンバータの基礎．コロナ社．1992.
- 2) Johns, D. A. ; Martin, K. Analog Integrated Circuit Design. John Wiley & Sons, Inc. 1997.
- 3) Middlebrook, R. D. Topics in Multiple-Loop Regulators and Current-Mode Programming. IEEE Transactions on Power Electronics. vol.PE-2, no.2, 1987-04.



\*本誌に記載されている会社名および製品名は、それぞれの会社が所有する  
商標または登録商標である場合があります。