

# PDP アドレスドライバ IC

川村 一裕 (かわむら かずひろ)

福知 輝洋 (ふくち あきひろ)

野口 晴司 (のぐち せいじ)

## 1 まえがき

現在、フラットパネルディスプレイ市場は順調に拡大してきているが、それを牽引(けんいん)しているのが大画面テレビでの低価格化である。この中で PDP (Plasma Display Panel) テレビと液晶テレビの競争も激しく、特に液晶テレビの大画面化がその競争に拍車をかけており、PDP テレビとしては 42 インチ以上をターゲットに、さらなる大画面での低価格化を推進する必要がある。PDP のキーデバイスの一つであるアドレスドライバ IC においても、ますます低価格化の要求が強まってきている。

富士電機では 2001 年から 2002 年に第二世代<sup>(1)</sup>、2002 年から 2003 年には第三世代アドレスドライバ IC を開発<sup>(2)</sup>するため、新しいプロセス・デバイス技術を確立してきた。今回はさらなる低価格化、高機能化に対応するため、新たに 0.6 $\mu\text{m}$  の微細加工技術と高耐圧デバイス技術を組み合わせたプロセス・デバイス技術を開発し、第四世代アドレスドライバ IC として製品化した。

本稿では、この第四世代アドレスドライバ IC とドライバ IC の中核技術であるデバイス技術の概要について紹介する。

## 2 デバイス・プロセス技術

富士電機では、従来からアドレスドライバ IC には、埋込エピタキシャルウェーハを用いた pn 接合分離技術を適用しており、高性能で低価格な製品を供給してきた。しかし、顧客からのさらなる高性能・低価格化要求に応えるために、デバイスサイズシュリンクと 3 層配線適用を目的とした新デバイス・プロセス技術を確立した。

### 2.1 ロジックデバイス

0.6 $\mu\text{m}$  ルールを適用し、IC として 60 MHz 動作を可能とする CMOS (Complementary Metal-Oxide-Semiconductor) 用デバイスを開発した。特徴は、深い拡散層と厚い層間膜・酸化膜を用いて、微細デバイスを作り込んでい

る点である。これにより、高耐圧デバイスとの素子形成工程共有化を実現することができ、IC のコストダウンに寄与している。

### 2.2 配線プロセス

今回、既存デバイスと高耐圧部デバイス部の段差を変えることなく、3 層配線・スタックトビアを可能とする多層配線プロセス技術を開発した。従来、高耐圧デバイスを作成する際に生じる大きな段差のために、配線の多層化は困難であった。この開発においては、既存技術の資産を活用して、層間膜平坦(へいたん)化工程最適化と W プラグの適用により、3 層配線加工技術・スタックトビア技術を確立している。

### 2.3 高耐圧デバイス技術

高耐圧デバイスとして、70 V のスイッチング動作を保証する横型の n チャネル MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) (NMOS) と p チャネル MOSFET (PMOS) を開発した。両デバイスともに IC のチップ面積縮小を目的として、単位素子あたりの電流駆動能力向上を達成している。

PDP ドライバ IC では、高耐圧デバイスによって構成された出力回路がチップ面積の 50 % 以上を占めるため、チップ面積縮小には高耐圧デバイスの占有面積縮小が必須となる。図 1、図 2 に、今回開発した NMOS と PMOS の電流 - 電圧波形を示す。素子の低オン抵抗化による活性領域の面積縮小により、単位面積あたりの電流駆動能力を向上させている。低オン抵抗化に対しては、チャネル抵抗の低減を目的に、下記のアイテムに取り組み、素子に複雑な構造を導入することなく、デバイス面積を従来デバイスに対し、NMOS で 82 %、PMOS で 90 % に縮小できた。

- 1) ゲート酸化膜薄膜化 (NMOS)
- 2) チャネル領域形成方法の改良 (PMOS)
- 3) チャネル長の縮小 (NMOS)

今回新たに開発した新しいプロセス・デバイス技術を適用することにより、チップサイズを従来比 70 % にシュリ



川村 一裕

CMOSIC の開発に従事。現在、富士電機デバイステクノロジー株式会社半導体事業本部半導体工場情報・電源開発部。



福知 輝洋

高耐圧デバイスの開発に従事。現在、富士電機デバイステクノロジー株式会社半導体事業本部半導体工場情報・電源開発部。



野口 晴司

CMOS、高耐圧 MOS プロセス開発に従事。現在、富士電機デバイステクノロジー株式会社半導体事業本部半導体工場プロセス開発部。

図1 高耐圧NMOSの電流-電圧波形

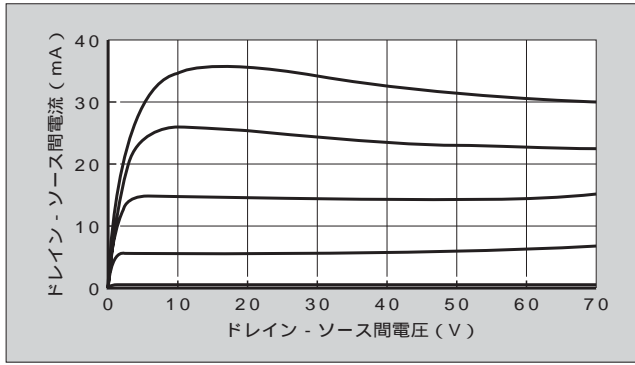
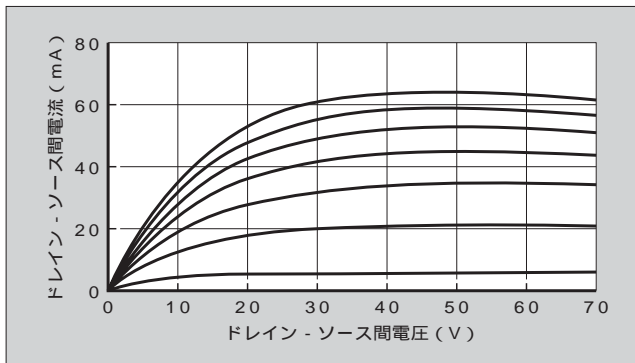


図2 高耐圧PMOSの電流-電圧波形



ンクすることができた。

③ 第四世代カラー PDP ドライバ IC への適用

今回新規に開発した特徴あるプロセス・デバイスを適用し、カラー PDP アドレスドライバ IC の開発を進めているが、その中の代表機種「FCE3269AK」を中心に詳細内容を説明し、さらに同じプロセス・デバイスを適用して開発した系列機種の技術内容についても紹介する。

3.1 概要

この代表機種の概要は下記のとおりである。

- 1) 192 ビット高耐圧プッシュプル出力
- 2) チップ形状：スリムタイプ
- 3) 高耐圧出力：90 V (max), -46 mA, +37 mA (typ)
- 4) 高速データ転送：60 MHz (クロック周波数)
- 5) 3.3 V, 5.0 V CMOS 入力インタフェース
- 6) 3, 4, 6, 3 + 3 ビットデータ入出力ポート切替可能
- 7) クロックのシングルエッジ, ダブルエッジ切替, および双方向切替シフトレジスタ
- 8) TCP (Tape Carrier Package) 用金パンプ電極

3.2 回路構成

図3にこのICのブロック図を示す。

回路構成としては、3.3 V, 5.0 V CMOS 入力インタフェースを可能にする入力バッファ回路, 192 ビット双方向シフトレジスタ回路, ラッチ回路, 全高耐圧出力 H/L/

図3 ブロック図

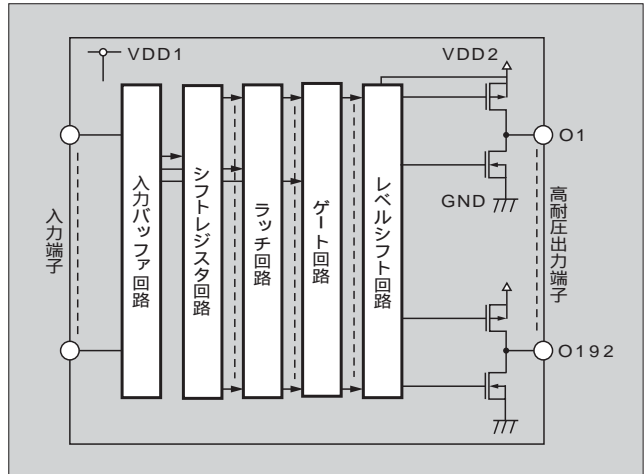


表1 代表特性

項目	記号	条件・適用	FCE3269K	単位
出力部電源電圧	$V_{DD2}$		1.04	V
高耐圧 H側出力電流	$I_o$	pチャンネル FET飽和電流	-46.2	mA
高耐圧 L側出力電流	$I_o$	nチャンネル FET飽和電流	+36.8	mA
高耐圧 H出力電圧	$V_{OH}$	$I_{OH} = -18 \text{ mA}$	-7.3	V
高耐圧 L出力電圧	$V_{OL}$	$I_{OH} = +13 \text{ mA}$	+1.4	V
ロジック部動作時消費電流	$I_{DD}$	$f_{CLK} = 20 \text{ MHz}$ $f_{DATA} = 10 \text{ MHz}$	13.0	mA
最大クロック周波数	$f_{CLK}$	単体	60.0以上	MHz
出力伝達遅延時間	$t_{pLH}$	$C = 50 \text{ pF}$	82.3	ns
	$t_{pHL}$	$C = 50 \text{ pF}$	70.5	ns
出力立上り時間	$t_r$	$C = 50 \text{ pF}$	94.0	ns
出力立下り時間	$t_f$	$C = 50 \text{ pF}$	108.7	ns

注 特に指定のない限り,  $T_j = 25$ ,  $V_{DD1} = 5 \text{ V}$ ,  $V_{DD2} = 70 \text{ V}$

Z (High/Low/High Impedance) 制御用のゲート回路, 低消費電流レベルシフト回路, 192 ビット高耐圧プッシュプル出力回路から構成されている。

3.3 代表特性

代表特性を表1に示す。

1) 高耐圧 H/L 側出力電流

高耐圧の H 側, L 側出力電流 (MOS 飽和電流) は, それぞれ H 側が -46 mA, L 側が +37 mA (typ) の出力電流としている。この特性は高耐圧 MOS の面積に大きく影響する特性であるが, 高耐圧デバイスの改良により従来比で H 側 (PMOS) は 90 % に, L 側 (NMOS) では 75 % に小型化したうえで, この出力電流を実現している。

2) ロジック部動作時消費電流

動作時消費電流においては, 0.6  $\mu\text{m}$  微細加工プロセスの採用と, ロジック回路素子サイズの最適化により, 同等機能の従来機種に対して, 約 80 % の消費電流にまで低減で

きた。

3) 最大クロック周波数

最大クロック周波数としては、従来 IC はシングルクロック動作専用で 40 MHz であったが、この IC はダブルクロック (シングルクロック動作切換可能) でクロック周波数 60 MHz で動作が可能のため、実質 120 MHz のデータ転送が可能となる。

4) スイッチング時間

各スイッチング時間は、負荷容量 50 pF 時では表 1 のとおり設計されている。特に重要な特性としては出力の立上り時間、立下り時間およびそれぞれの波形である。PDP において、アドレスドライバのスイッチング波形は書込み期間で重要であるが、パネル輝度を上げようとする場合、発光維持期間を多く取る必要があり書込み期間は削減しなければならない。このような場合、出力電流を大きくして立上り時間、立下り時間を速くし、出力電圧をすばやく変化させる必要がある。しかし、こうした場合の多くは、そのスイッチングノイズによる波形のひずみが発生し、誤動作および EMI ( Electro Magnetic Interference ) ( 302 ページの「解説」参照) 悪化の原因となる。

したがって、この特性においては、速すぎても遅すぎても問題があり、各顧客のタイミング条件に合わせたピンポイントの設計が必要となる。

3.4 EMI 対策

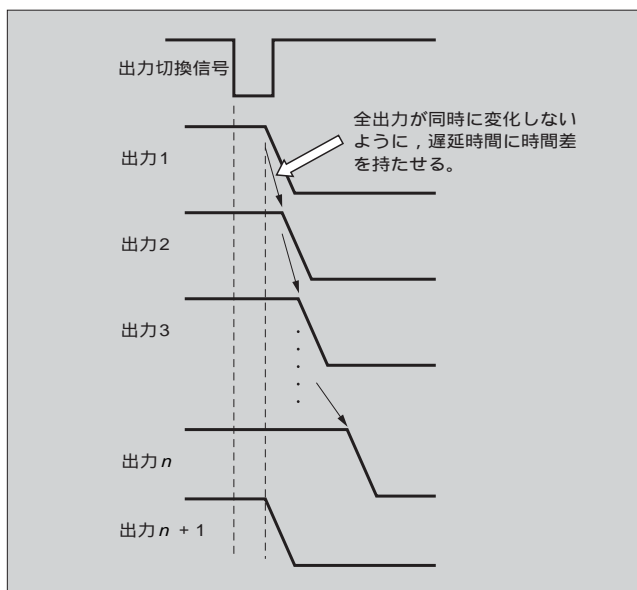
この機種種の EMI 対策としては、目標のスイッチング時間に対して、できるだけ小さい出力電流に設計することにより対応した。他の系列機種種においても、EMI 対策を実施しており、各対策内容について説明する。

1) 出力遅延時間の分割

図 4 に遅延時間の分割について示す。

出力ごとに遅延時間を少しずつずらし、同時に全出力が変化しないように分割するものである。これにより、消費

図 4 出力伝達遅延時間の分割



電流のピーク値を抑えることができ EMI を低減できる。

2) 出力 MOS ゲート充放電電流制御

図 5 に出力 MOS のゲート充放電電流制御についての説明図を示す。また、図 6 にゲート充電電流制御をしない場合の立下り波形を、図 7 にゲート充電電流制御をした場合の立下り波形を示す。立上り時も同様の傾向である。

出力 MOS のゲートへの充放電電流を制御することによ

図 5 出力 MOS ゲート充放電電流制御

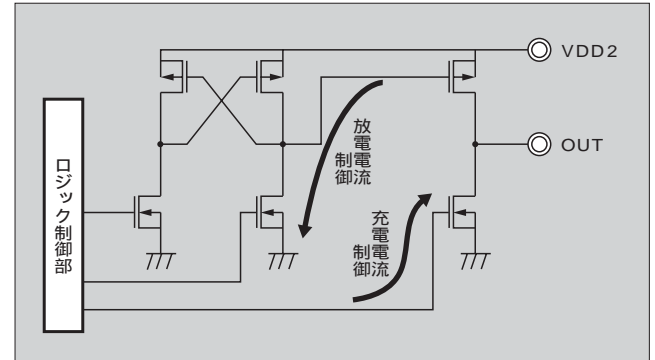


図 6 出力 NMOS ゲート充電電流制御なし

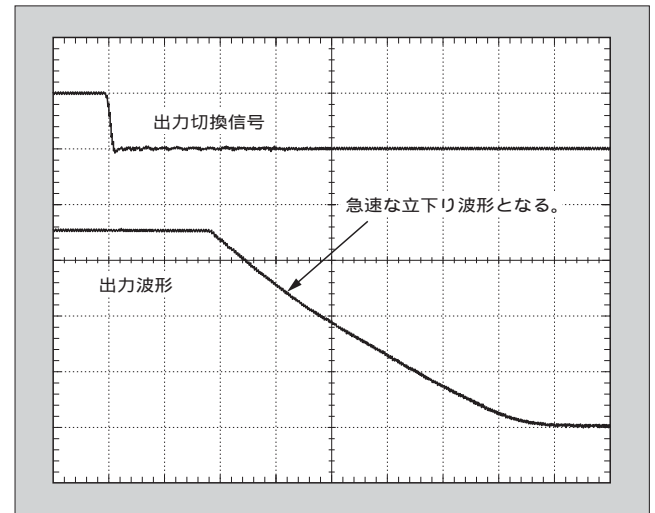


図 7 出力 NMOS ゲート充電電流制御あり

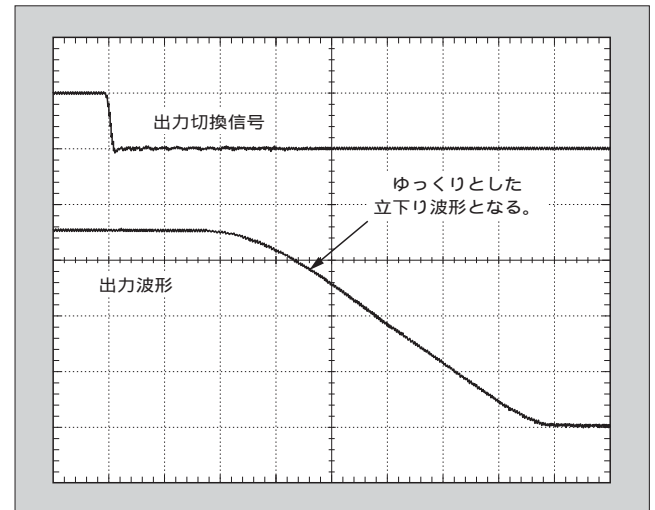


図8 FCE3269AK のチップ写真

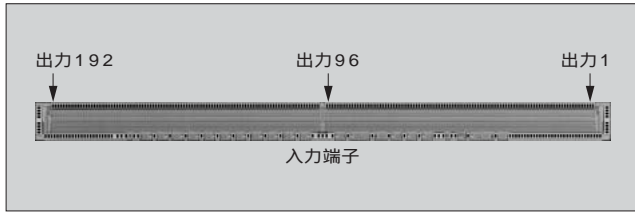
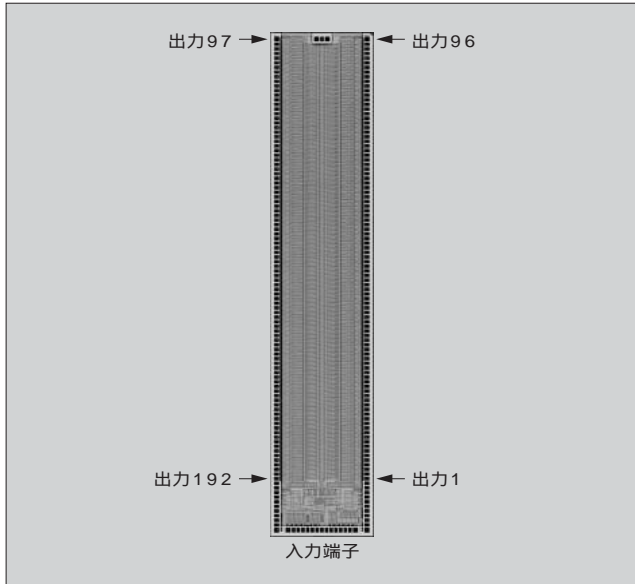


図9 その他の機種種のチップ写真



り、立上がり時、立下がり時の初期段階の電位変化量を抑えることができ、EMI を低減することができる。

### 3.5 チップサイズと形状

図8にこのICのチップ写真を示す。このICは、新規に開発された低オン抵抗高耐圧デバイスの採用、0.6 $\mu$ m 3層メタルの微細加工プロセスを採用することにより、さらな

る小型化を実現できた。第三世代のICでは128ビット出力であったが、第四世代のICはすべて192ビット出力となっており、同等の機能および出力電流のICと比較すると、第四世代のICは1ビットあたりの面積で従来比68%までに小型化することができた。

このICチップ形状について説明する。出力端子(192ビット)が横1列に配置され、入力端子はその反対側に1列に配置されている。このタイプはTCPの面積削減に適している。

図9にその他の機種種のチップ写真を示す。このICは出力端子(192ビット)が両側2列に配置されたタイプで、入力端子は一番下の部分にまとめて配置されている。このタイプは最もチップサイズを小さくできる。

## 4 あとがき

0.6 $\mu$ m 微細加工技術とpn接合分離の高耐圧デバイス技術を用いて開発したPDPアドレスドライバICについて概説した。今回、特徴ある高耐圧プロセス・デバイスを採用することにより、市場の要求価格に応えることができた。富士電機では、今後競争が激化するフラットパネル市場において、PDPの地位を確固たるものとするため、またPDP市場の中においては、ますますの高性能化、低価格化の要求に応えるべく、高耐圧デバイス・プロセス技術およびドライバICの開発を進めていく所存である。

## 参考文献

- 1) 野口晴司ほか．第二世代PDPアドレスドライバIC．富士時報．vol.74, no.10, 2001, p.574-577.
- 2) 多田元．PDPアドレスドライバIC技術．富士時報．vol.76, no.3, 2003, p.172-174.
- 3) Meguro, K. et al. Advances of Driver IC Techniques for PDPs. IDW'02. 2002, p.733-736.

## 解説 EMI【関連論文：p.299-302】

EMI (Electromagnetic Interference : 電磁波障害) とは、電子機器が動作中にその内部の電子回路から電磁波を発生することにより、他の周辺の電子機器の動作に悪影響を及ぼす現象である。高密度実装のOA機器や通信機器類は、多くのLSIが使用されており高周波パルスを発生する。PDPディスプレイでも、その内部において高電圧で高周波数のスイッチングを行う部品が多数あり、このような障害電波を遮へいするた

めに多くのコストをかけてEMIシールドを施している。また近年、EMIに対する規制は、日本を含め各国においてもますます厳しくなっている。

その中で、高電圧、高周波数でスイッチングする多数の出力を持つアドレスドライバICにおいては、少しでもEMIを低減できるように工夫することを要求されており、重要な設計項目の一つになってきている。



\*本誌に記載されている会社名および製品名は、それぞれの会社が所有する  
商標または登録商標である場合があります。