250 V 保証 SOI デバイス・プロセス技術

澄田　仁志（すみだ　ひとし）　　毎熊　　健（まいくま　たけし）

1　まえがき

はり合わせ SOI（Silicon On Insulator）基板とトレンチ技術を組み合わせた SOI 方式誘電体分離技術は，高耐圧パワー IC の分離技術として 1990 年代前半から積極的に技術開発が進められた。そして現在では，民生分野と自動車分野を中心に製品市場が確立している[(1), (2)]。

SOI 方式誘電体分離技術には二つの大きな特徴がある。一つは，素子形成領域が酸化膜で覆われることにより，半導体素子間を完全に分離できることである。この特徴は，寄生素子を完全に除去し，搭載素子と搭載回路に制限を与えないという利点をもたらす。これによって，①バイポーラデバイスのハイサイドスイッチ回路やマルチ出力を備えた回路への適用，②多電源系回路の混載が可能になる。もう一つの特徴は，素子間を分離するための分離領域が狭いことである。これは，①高密度集積化，②少ない pn 接合面積などの利点をもたらす。高密度集積化のメリットはマルチ出力を備えたパワー IC を形成したときにチップサイズ縮小効果となって現れる。また小さな pn 接合面積は高温時の漏れ電流低減効果となって現れる。

半導体分離技術には，誘電体分離技術以外に自己分離技術と pn 接合分離技術がある。この二つの分離技術と比較した場合，SOI 方式誘電体分離技術は分離性能や分離面積といった技術的な性能が他の分離技術よりも格段に優れている。一方，ウェーハコストが高いというデメリットがある。しかし，PDP スキャンドライバ IC への適用に対しては SOI 方式誘電体分離技術の技術的な性能を十分に活用することによって，コストパフォーマンスが他の分離技術よりも優位となることが実証されている[(1)]。

本稿では，各種アプリケーションへの適用を目的として開発した 250 V 保証 SOI デバイス・プロセス技術について紹介する。

2　250 V 保証 SOI デバイス・プロセス技術の概要

2.1　SOI デバイス・プロセス技術

表 1 に，富士電機における高耐圧 SOI デバイス・プロセス技術の開発トレンドを示す。各開発ステージにおける保証耐圧などの仕様はアプリケーションからの要求仕様をもとに設定している。

富士電機では SOI 方式誘電体分離技術と SOI 基板上の高耐圧横型 IGBT（LIGBT：Lateral Insulated Gate Bipolar Transistor）の開発を 1990 年代前半から開始し，1998 年にこれら技術を採用した PDP スキャンドライバ IC の量産化を世界で初めて成功した[(1)]。そして 2006 年度までに，8 インチ SOI ウェーハと 0.6 μm ルールを採用した PDP スキャンドライバ IC 用 SOI デバイス・プロセス技術の開発を完了した[(3)]。本稿で紹介する 250 V 保証 SOI デバイス・プロセス技術も 2006 年度に開発を完了している。

富士電機の SOI 方式誘電体分離技術の特徴は，8 インチサイズのはり合わせ SOI 基板を採用している点，そして高耐圧デバイスメニューに LIGBT を備えている点にある。

8 インチサイズのはり合わせ SOI 基板を用いた誘電体分離技術は 2005 年度に開発完了し，現行製品のすべてに適用している。

一方，LIGBT に対してはパワー IC の出力回路用デバイスとして SOI 方式誘電体分離技術と同時に開発をスタートした。LIGBT の性能を示す特性には幾つかあるが，富

表 1　富士電機におけるSOIデバイス・プロセス技術の開発トレンド

技術開発完了年度	1998	2002	2005	2006	
保証耐圧（V）	200	165	185 ⇒	200	250
デバイス耐圧（V）	250	200	220 ⇒	250	300
プロセス	6 インチ SOI ⇨		8 インチ SOI ⇒		
デザインルール（μm）	1.0 ⇒			0.6 ⇒	
LIGBTの世代	第1世代	第2世代 ⇒		第3世代 ⇒	

澄田　仁志

高耐圧デバイスの開発に従事。現在，富士電機デバイステクノロジー株式会社半導体事業本部情報・電源事業部技術部。工学博士。電子情報通信学会会員。

毎熊　　健

CMOS，高耐圧 MOS プロセスの開発に従事。現在，富士電機デバイステクノロジー株式会社電子デバイス研究所プロセス開発部。

士電機では耐圧特性と単位面積あたりの電流駆動能力のトレードオフ特性，そして短絡耐量を重点において LIGBT の開発に取り組んできた。**表 1** に示すとおり，現在では第 3 世代の LIGBT 技術を開発完了している。今回開発した 250 V 保証 LIGBT は第 3 世代技術に含まれる。

図 1 に，LIGBT 各世代の素子耐圧と単位デバイス面積あたりにおける電流駆動能力のトレードオフ特性を示す。縦軸は，第 1 世代 LIGBT の 250 V 耐圧における電流駆動能力を 1 にしたときの比を示している。

各世代の LIGBT とも基本構造は同一である。しかし，第 2 世代 LIGBT では種々の手法によりデバイスサイズシュリンクを図り[(4)]，第 1 世代 LIGBT よりも電流駆動能力を 2 倍以上向上させた。そして，250 V 保証デバイスとなる第 3 世代 LIGBT は第 2 世代 LIGBT に対してさらなる改良を加え，同一の短絡耐量を維持した状態で約 1.2 倍の電流駆動能力を実現している。

2. 2　250 V 保証 SOI デバイスの特性

表 2 に，今回開発した 250 V 保証 SOI デバイスの特性を示す。各デバイスは 0.6 μm ルールを採用して設計している。また，厚膜ゲート p チャネル MOSFET（HVg-PMOS：P-channel-Metal-Oxide-Semiconductor Field-Effect Transistor）以外，ゲート駆動電圧は 5 V である。

デバイスの基本特性は高耐圧素子の耐圧値以外，従来デバイスと同一である。高耐圧素子の耐圧設計値は 250 V を保証する目的から 300 V とした。また，高耐圧素子の破壊耐量は 250 V 印加状態で確保できるようにしている。

250 V 保証 SOI デバイスの特性例として，**図 2** (a)と(b)に LIGBT のオフ耐圧特性と電流－電圧特性，そして**図 3** に HVg-PMOS の電流－電圧特性を示す。

今回開発した 250 V 保証デバイスを用いて，現行の 185 V 保証 PDP スキャンドライバ IC の 250 V 保証化をベンチマークしたところ，IC のチップサイズは 185 V 保証

図 1　富士電機で開発した LIGBT の素子耐圧と電流駆動能力のトレードオフ特性

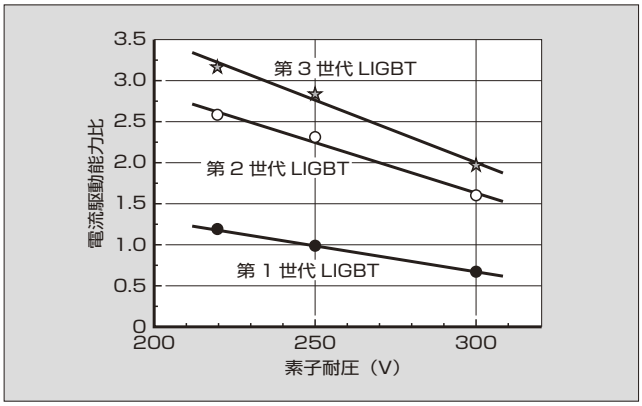


表 2　250 V 保証 SOI デバイスの特性

デバイス		BV (V)	V_{th} (V)	電流駆動能力	破壊耐量
低耐圧素子	PMOS	12	0.8	—	—
	NMOS	13.5	0.6		
	ダイオード	5～10	—		
高耐圧素子	nチャネル IGBT	300	1.2	550 A/cm^2 (V_{GE}=5 V)	SCSOA：3 μs以上 (V_{CE}=250 V, V_{GE}=5 V)
	NMOS	300	1.4	10 mA (V_{GS}=5 V)	BV_{on}：250 V以上 (V_{GS}=5 V)
	HVg-PMOS	300	20	−9 mA (V_{GS}=−250 V)	$\lvert BV_{on}\rvert$：250 V以上 ($\lvert V_{GS}\rvert$=250 V)
	ダイオード	300	—	1.2 V (400 mA)	—

図 2　250 V 保証 LIGBT の特性例

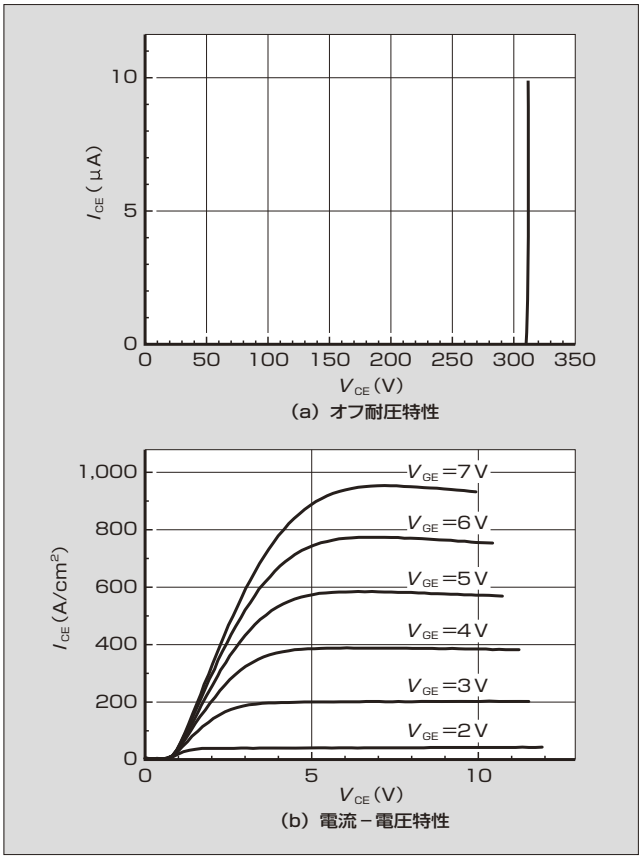
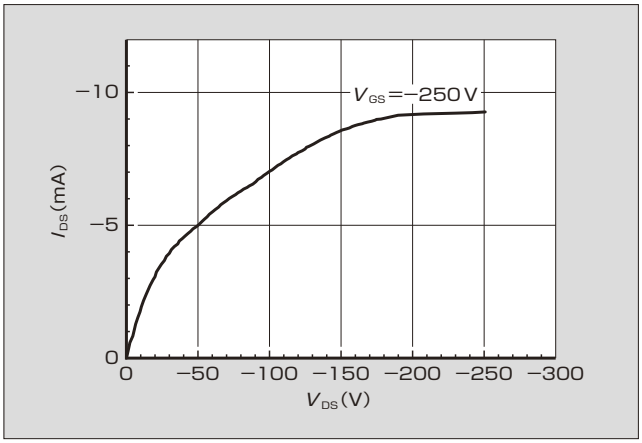


図 3　250 V 保証 HVg-PMOS の電流－電圧特性



品の 1.13 倍となり，開発目標とした 1.2 倍以下をクリアできた。

3　250 V 保証 SOI デバイスの設計例

今回開発した 250 V 保証 SOI デバイスの設計コンセプトは，開発スピードの短縮とコストアップの抑制を目的に，現行プロセスの延長で実現できること，そしてデバイスサイズアップを最小限に抑えることとした。

以下に耐圧設計例を紹介する。

図 4 に，SOI 基板上に形成した LIGBT の断面構造を示す。この図ではトレンチ分離領域を省略しているが，個々のデバイスはトレンチ分離溝によって完全に囲まれている。

素子耐圧を決めるデバイスパラメータとして，はり合わせ酸化膜の厚さ（t_{SiO_2}），n ドリフト層の不純物濃度と厚さ（N_d，t_{SOI}），ドリフト領域長（L_d），そしてエミッタ領域側およびコレクタ領域側のフィールドプレート長（F_{pg}，F_{pc}）

図 4　SOI 基板上に形成した LIGBT の断面構造

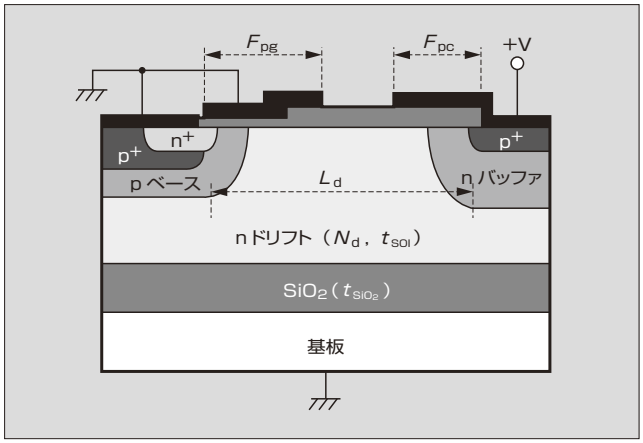
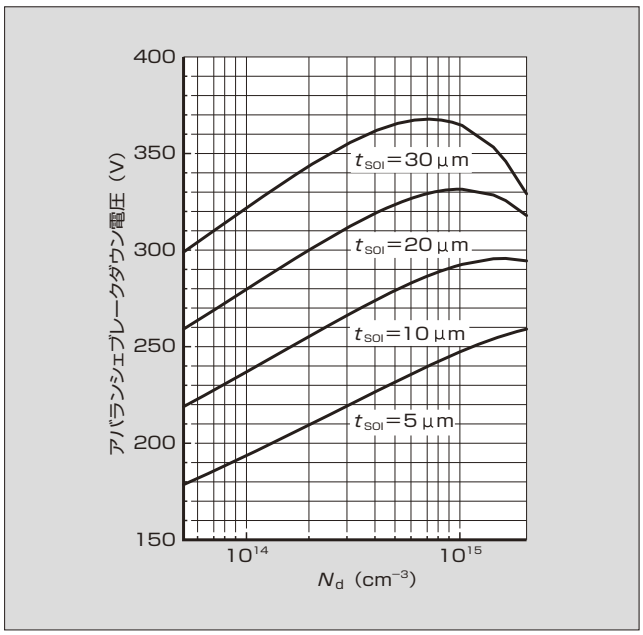


図 5　n ドリフト層の N_d とアバランシェブレークダウン電圧の関係



などがある。

(1)　n ドリフト層の仕様

図 5 に，解析式から求めた n ドリフト層の不純物濃度（N_d）とアバランシェブレークダウン電圧の関係を示す。この計算では t_{SiO_2} を一定にし，パラメータとして t_{SOI} を選んでいる。

任意の n ドリフト層で実現できる耐圧値は同じ t_{SOI} でも N_d に強く依存する。今回は 300 V 耐圧が実現可能な仕様を選んでいる。

(2)　フィールドプレート長依存

一般的に素子耐圧の高耐圧化を図るためには L_d を伸ばし，デバイスの横方向における電界を緩和する必要がある。しかし，L_d の伸長はデバイスサイズアップを招くため，他手段による横方向電界の緩和策が必要となる。その一つの手段がフィールドプレート技術（452 ページの「解説」参照）の適用である。

SOI 基板上の LIGBT では高電圧印加時にコレクタ領域側表面に高電界が発生する[5]。そのため，コレクタ領域側の F_{pc} を最適化することが高耐圧化に有効である。

図 6 は LIGBT のオフ耐圧における F_{pc} 依存性を示す。オフ耐圧は F_{pc} に強く依存し，F_{pc} を伸長することにより L_d を伸ばすことなく，300 V 以上の耐圧を確保することができた。

図 6　LIGBT のオフ耐圧における F_{pc} 依存性

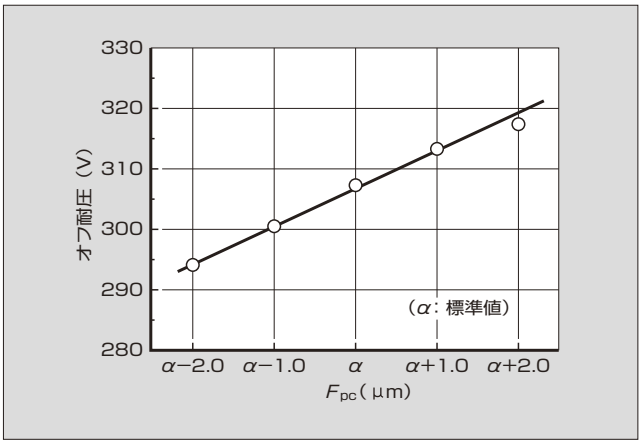
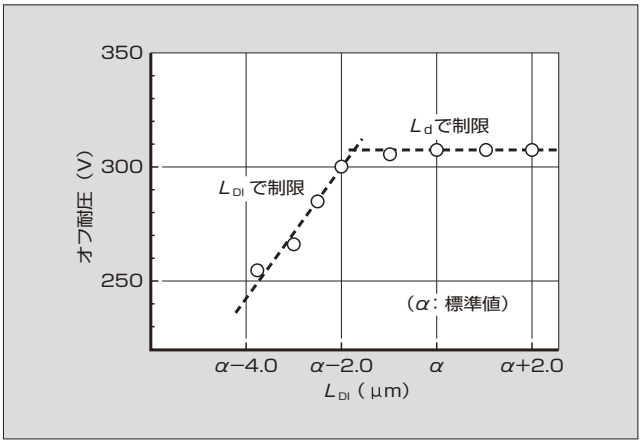


図 7　HVg-PMOS のオフ耐圧における L_{DI} 依存性



(3)　トレンチ分離溝と活性領域間距離依存

HVg-PMOS はトレンチ分離溝の形成位置が素子耐圧に大きく影響する。そのため，トレンチ分離溝とデバイス活性領域間距離（L_{DI}）が素子耐圧にとって重要なパラメータとなる。

図 7 に，HVg-PMOS のオフ耐圧における L_{DI} 依存性を示す。L_{DI} が小さい領域ではデバイス活性領域とトレンチ分離溝間の領域で耐圧が制限を受ける。一方，L_{DI} を伸ばすと，L_d で耐圧制限を受けることになる。

今回開発した HVg-PMOS は L_{DI} で耐圧制限を受けることがないように設計している。

4　あとがき

250 V 保証 SOI デバイス・プロセス技術について，耐圧設計例を中心に紹介した。富士電機ではこれまで，PDP スキャンドライバ IC を製品ターゲットとして SOI 方式誘電体分離技術の開発を進めてきた。今回の 250 V 保証 SOI デバイス・プロセス技術の開発完了により，SOI 方式誘電体分離技術のアプリケーション拡大を図っていく所存である。

参考文献

(1)　Sumida, H. et al. A high performance plasma display panel driver IC using SOI. Proceedings of the 10th ISPSD. 1998, p.137.

(2)　飯田眞喜男ほか．張り合わせ SOI ウェハを用いたインテリジェントパワー IC．デンソーテクニカルレビュー．vol.3, no.1, p.73, 1998.

(3)　Sumida, H. et al. 250 V-class Lateral SOI Devices for Driving HDTV PDPs. Proceedings of the 19th ISPSD. 2007, p.229.

(4)　Sumida, H. et al. A High-Voltage Lateral IGBT with Significantly Improved On-State Characteristics on SOI for an Advanced PDP Scan Driver IC. Proceedings of the 2002 IEEE International SOI Conference. 2002, p.64-65.

(5)　Sumida, H. et al. Lateral IGBT structure on the SOI film with the collector-short region for improving blocking capability. IEICE Trans. Electron. E79-C, 1996, p.593.

解　説　フィールドプレート技術

パワーデバイスの高耐圧化技術の一つである。pn 接合から伸びる空乏層のデバイス表面付近における端部電界を，デバイス表面から空乏層を伸ばすことによって緩和することで高耐圧化を実現する手法である。

パワーデバイスでは低濃度基板層あるいは拡散層に空乏層を伸ばして高耐圧化を図るが，デバイス表面部は表面電位の影響を受けるため，デバイス表面の空乏層はデバイス内部と同じようには伸びない。そこで，デバイス表面に形成された pn 接合部に対して，アルミ電極あるいはポリシリコン電極を pn 接合部から絶縁膜を介して表面横方向に張り出す。そしてその電極に，デバイスに印加される最低電圧あるいは最高電圧を印加し，MOS ダイオードの原理を利用してデバイス表面からも空乏層が伸びるようにしている。

縦型 IGBT の場合，フィールドプレート技術はエミッタ・ゲート領域側のみに適用される。一方，横型 IGBT では素子表面にコレクタ領域も形成されるため，エミッタ・ゲート領域側のみならずコレクタ領域側にも適用できる。

フィールドプレート技術を適用することのメリットとして，デバイス耐圧の高耐圧化実現，耐圧特性不安定要因であるウォークアウト現象の発生防止，また耐圧特性の信頼性向上が挙げられる。

フィールドプレート構造の設計ではフィールドプレート電極の pn 接合部からの張り出し長さや，フィールドプレート電極直下の絶縁膜の厚さなどが重要な仕様となる。ただし，これらは単独で作用するものではないため，新構造デバイスを設計する場合は他のデバイス仕様を考慮しながらフィールドプレート構造の最適化を行う必要がある。

e-Front runners

＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。