

バックプレーンバス「SBバス」

田ノ下 勝 (たのした まさる)

加藤 富雄 (かとう とみお)

① まえがき

プロセス入出力装置 (PIO : Process Input-Output Device) は、コントローラとの通信を行うバスインタフェースモジュール、各種のプロセス入出力信号を制御する入力モジュールなど、複数のモジュールで構成されている。その各モジュール間のデータ伝送を行うバスがバックプレーンバスである。

今回開発したオープン化対応 PIO (以下、オープン PIO と略す) では、このバックプレーンバスに横河電機 (株) にて開発された SB バス (Serial Back-Plane Bus) を採用しているため、その内容を紹介する。

② SB バス開発の背景

PIO の開発にあたっては、以下のような要求を満たすバックプレーンバスが必要であった。

- (1) 高速応答性を実現するための高速通信
- (2) 省スペース、低コスト
- (3) 高信頼性のための二重化サポート

ところで、既存のバスには大きく分けて 2 種類の方式がある。

一つは、VME (Versa Module Europe) バスなどのパラレルバス方式である。パラレルバスは複数のデータ線を持った方式で、1 回のアクセスで多ビットのデータを通信できるため非常に高速である利点を持っている。

しかし、一度に扱えるデータが物理的なバス幅に制約されるため、PIO で扱う情報 (データやステータスなど) を得るためには複数回のバスアクセスが必要である。また、データ線やアクセス制御信号線数が多いため、バスインタフェース部分に多くの部品を必要とする。これは、コストやスペース、消費電力の点で不利であり、二重化も困難であるため要求を満足させることはできない。

もう一つはシリアル通信方式である。シリアル通信方式は 1 ビット分のデータ線にフレームを載せてデータ交換を行う方法で、信号線数が少ないためにコストや実装面積、

消費電力の点で有利である。また、1 回のアクセスで、データとステータスを扱うことができ、さらにパケット交換などまで規定可能である利点を持っている。

しかし、扱えるデータの自由度が増した反面、プロトコルは複雑である。また、データ線が 1 ビット分しかないためアクセス時間がパラレルバスに比べて遅く、高速応答を満足できない。

このように、既存のバス方式では要求を十分に満たすことができないため SB バスが開発された。

③ SB バスの概要

SB バスは以下のような方式をとっている。

- (1) データ線にフレームを載せてデータ交換を行い、3 本のストロブ信号だけでデータ転送を制御する。
- (2) データ線は 4 本。4 ビットを同時に転送する。

この方式の (1) の部分はシリアル通信と同様であり、少ない信号数で構成できるため必要な部品点数も少なく、省スペース、低コスト、二重化サポートを可能としている。さらに、(2) により複数のデータ線 (4 本) を同時に転送するため、高速アクセスを可能としている。

表 1 に SB バスの主な仕様を示す。また、既存のバックプレーンバスとの比較を表 2 に示す。

VME などのパラレルバスと比較するとコスト、実装面積、二重化の実現の面で優れており、転送レートもパラレルバスには劣るものの、従来品の PIO で使用していたバスに比べて格段に向上している。

④ バックプレーンの構成

図 1 にオープン PIO のバックプレーンの構成を示す。オープン PIO のバックプレーンは最大 10 台のモジュールを実装できる。うち 4 スロットはマスタ/スレーブ兼用スロットであり、残り 6 スロットはスレーブ専用スロットである。SB バスはまったく同じ機能であるとの 2 系統のバスを持っており、これにより二重化を行っている。1



田ノ下 勝

情報制御システムのハードウェアの設計・開発に従事。現在、東京システム製作所開発設計部主任。



加藤 富雄

情報制御システムのハードウェア開発および製造技術関連業務に従事。現在、東京システム製作所製造部担当課長。電気学会会員。

表1 SBバスの仕様

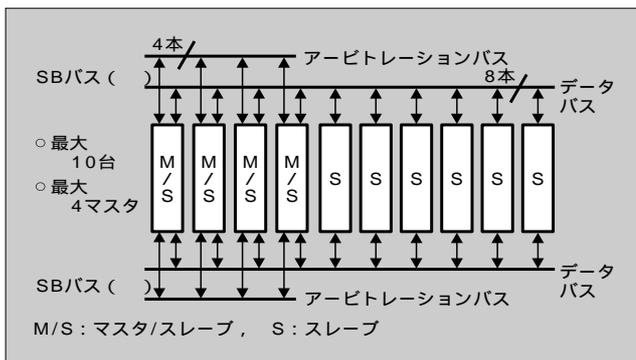
項目	仕様
伝送方式	同期
データ幅	4ビット(物理層は5ビット)
マルチプレクス	シリアルフレーム伝送
データアクセスサイズ	フレームによる
データ同時性	フレーム内で保障
アドレス空間	各モジュール内32ビット
データ伝送レート	128 Mbps
誤り検出	CRC-CCITT
トポロジー	マルチドロップ, 最大4マスタ
バス二重化	標準サポート
バスタイマ監視機能	フレームにより可変
活線挿抜	対応
割込み	1レベル

表2 既存のバックプレーンバスとの比較

名称 項目	SBバス	IPU 内部バス*	Multi Bus (PSB)	VME	C-PCI
データ ビット幅	4	1	32	32	32
方式	パラレル バス (シリアル 通信併用)	シリアル 通信	パラレル バス	パラレル バス	パラレル バス
転送 レート	128 Mbps	2 Mbps	320 Mbps	457 Mbps	1,064 Mbps
最大 接続総数	10	18	20	21	10
二重化	標準対応	標準対応	不可	不可	不可
コスト 実装面積	小	小	大	大	大

* 富士電機の従来のPIO(製品名:IPU)で使用しているバス

図1 オープンPIOのバックプレーンバス構成



システムのバスは13本の信号線で構成されており、2系統合わせても26本という少ない信号線で機能を実現させている。

5 SBバスの信号線

表3にSBバスの信号線分類を示す。

表3 SBバス信号線分類

分類	本数		機能
	マスタ	スレーブ	
データ伝送バス	8	8	マスタとスレーブ間でのデータ伝達
アービトレーションバス	4	4	マスタ相互間でのデータ伝送バス使用権調停
割込み線	1	1	スレーブからマスタへの割込み要求伝達

図2 データフレーム構成

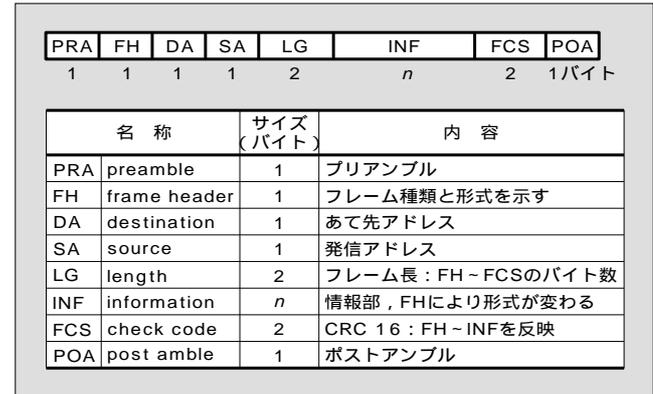


表4 アービトレーション優先順位

スロット番号		バス権 要求信号	優先 順位	備考
左電源型	右電源型			
B1	B2	REQ 0	1位	バスインタフェース モジュール用
B2	B1	REQ 1	2位	
IO1	IO8	REQ 2	3位	ローカルマスタ用
IO2	IO7	REQ 3	4位	

5.1 データ伝送バスの構成

データ伝送バスは、5ビットのデータ線(DATA[4:0])と3本のストローブ線(STRB[2:0])で構成されている。データ線は同時スイッチングによる波形のひずみを軽減するために、4ビットのデータを5ビットのグレイコードにエンコードして伝送している(詳細は7.1節を参照)。ストローブ線STRB[2:0]は、データ線DATA[4:0]の取込みタイミングを通知する信号である。3本のストローブ信号は順番に使用され、ローパルスの立上りエッジでデータをサンプリングする(後掲の図6を参照)。

5.2 データフレーム構成

データはシリアル通信のように、フレーム単位で通信する。データ長は可変であり、フレーム単位で指定可能である。誤り検出としてCRC(Cyclic Redundancy Check)チェックを採用している。図2にデータフレーム構成を示す。フレームはバスインタフェースのハードウェアで作成するため、プロセッサ処理の負荷が軽くなっており、より高速な通信を可能としている。

5.3 アービトレーションバスの構成

SBバスは4マスタのバス権要求を制御可能である。優先順位はスロットで固定である。オープンPIOのベースユニットにおけるスロットと優先順位の関係を表4に示す。REQ[3:0]は各マスタモジュールのバス権要求を示す信号であり、各信号は表4のようにスロットに割り当てられている。

5.4 割込み線の構成

SBバスはマスタへの割込み要求を伝えるために、割込み線(INT)を各系統に1本ずつ用意している。

割込みを要求するモジュールは、この割込み線をドライブすることによって、マスタに割込み要求発生を伝達することができる。

ただし、割込み機能のサポートはマスタ側、スレーブ側ともにオプション扱いとしている。

図3 モジュールのハードウェア構成

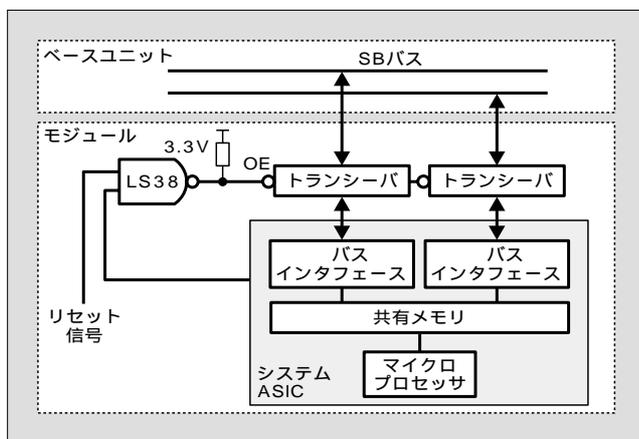
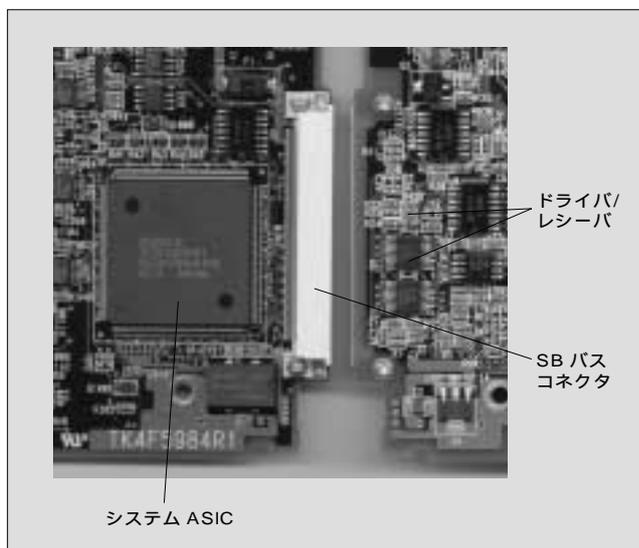


図4 モジュール部品実装例



⑥ SBバスのハードウェア構成

SBバスインタフェースを持つモジュールのハードウェア構成を図3に示す。

6.1 構成部品

SBバスインタフェースの論理回路とデータ交換に使用する共有メモリは、システムASIC(CPU組み込みタイプのカスタムLSI)に含まれている。このため、SBバスインタフェースはシステムASICと若干のトランシーバICなどでコンパクトに実現可能である。図4にモジュール部品実装例の写真を示す。

6.2 データ交換方式

マスタとスレーブ間のデータ交換の方式として、汎用的で融通性の高い共有メモリ方式を採用している。スレーブ側にある共有メモリがマスタとスレーブ双方からアクセス可能なメモリになる。

共有メモリ内ではフレーム単位のデータの同時性を保証できるハードウェア構成になっている。例えば、マスタが「BBBBBB」という1単位のフレームデータを「AAAAA」が書き込まれているアドレスに転送した場合、スレーブのプロセッサがそのアドレスをどのようなタイミングで読み出しても「AAAAA」または「BBBBBB」が読み出される。「AAABBB」などのように転送途中の状態は読み出せないように構成されている。これにより、通信途中の古いフレームデータと新しいフレームデータが混在したデータを読み出した場合の混乱を防止している。

⑦ 高速化、波形ひずみ低減のための工夫

SBバスでは高速なデータ転送を行うため、波形ひずみの低減やタイミングのマーヅンを得るための工夫を行っている。本章ではそのうちグレーコーディング方式とインターリーブ方式について説明する。

7.1 グレーコーディング方式

SBバスではデータバスにグレーコーディングを採用している。通常の2進コードでは、例えばデータが1111から0000に変化すると、すべてのビットが同じ値に同時変化する。このような状態ではトランシーバICが同時に同じ動作を行うため、瞬間的に大きな電流が流れることによるグラウンドバウンドが発生するなど、波形にひずみが発生する要因となる。採用しているグレーコードではデータがどのように変化しても同じ値に同時変化するビット数が少ないため、同時動作による波形ひずみを軽減することができる。

SBバスのデータは、図5のように4ビットのデータを5ビットのグレーコードに変換してバックプレーンを転送している。

図5 グレーコーディングのコード変換

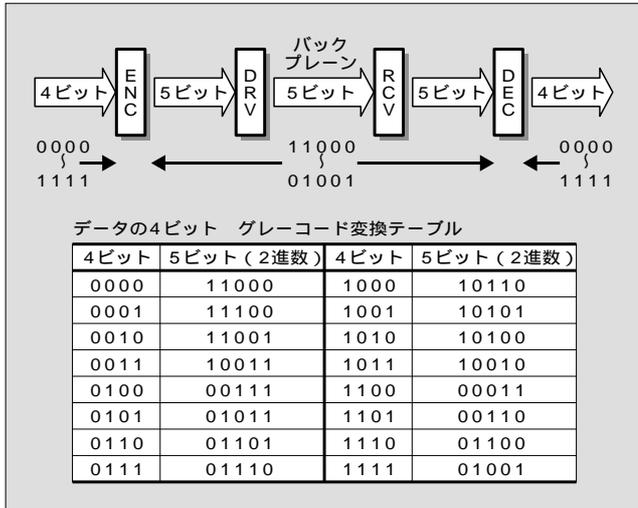
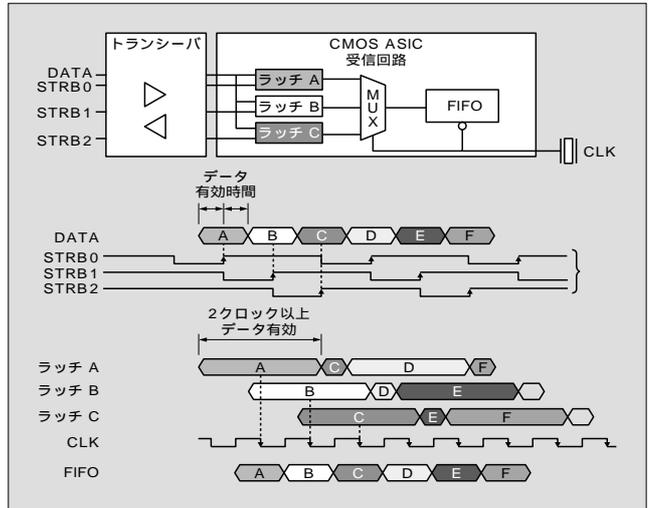


図6 インターリーブ方式説明図



7.2 インターリーブ方式

SBバスではデータ伝送をデータ信号線1本あたり32MHzという高速で行っているうえ、送信側の送るデータ、ストロブ信号と受信側の内部クロックは非同期である。このような場合、通常では32MHzよりも高速なクロックを受信側で発生させてサンプリングしたり、内部クロックとの位相合わせなどの難しい処理が必要となる。また、PLL (Phase Locked Loop) などのアナログ回路や高速で高価な部品の使用が必要になったり、消費電力が増加するなどの問題が発生する。そこでSBバスでは、データの取込み信号であるストロブ信号を3本用意し、それぞれのストロブ信号を使って図6のように3個のラッチに順番

にデータを保持する方式をとっている。その結果、それぞれのラッチには内部クロックの2クロック分以上の時間が保持されるため、受信側の非同期な内部クロックでも確実にデータに取り込めるようになり、低速なデジタル素子だけでインタフェース回路の実現を可能とした。

8 あとがき

以上のように、SBバスは小型、高速、高信頼性でPIOのバックプレーンバスに適したバスである。

今後、PIOの標準バスとして幅広く使用されていくことを期待する。また、本稿がSBバス導入検討の一助となれば幸いである。