

第7章 代表的なトラブルとその対処方法

1. トラブル発生時の要因解析	7-2
2. 故障判定方法	7-7
3. 代表的なトラブルとその対処方法	7-8

本章では、代表的なトラブルとその対処方法について説明します。

1.トラブル発生時の要因解析

素子破壊等の異常が発生した場合、発生状況や原因を明確にしたうえで対策する必要があります。素子外部の破壊痕から異常現象の要因解析をする手引きとして、表7-1を参考に破壊要因の調査をお願いします。表7-1を用いて原因が解析できない場合には詳細な図を活用して破壊要因を調査してください。

表7-1 素子の破壊モードと原因の推定

素子外部の異常現象		原因		素子破壊モード	チェックポイント
短絡	アーム短絡	短絡検出後、保護をかける(オフする)時にサージ電圧がSCSOAを超えて素子が破壊		SCSOA(サージ電圧)破壊	アーム短絡時の動作軌跡と素子耐量のマッチング
	直列アーム短絡(上下アーム短絡)	デッドタイム不足して破壊	-V _{GE} 不足でt _{off} が大きくなった、デッドタイム設定ミス	過熱(短絡耐量)破壊	素子のt _{off} とデッドタイムのマッチング
		dv/dt誤動作を起こして短絡破壊	-V _{GE} 不足、ゲート配線が長い		dv/dt 誤ONチェック
		ノイズ等が原因で短絡破壊	ゲート駆動回路誤動作、ロジック回路誤動作		回路誤動作チェック
	出力短絡	配線ミス、配線誤接触、負荷短絡		SCSOA 及び、過熱破壊	不具合発生状況チェック、素子耐量と保護回路のマッチング、地絡配線状態チェック
地絡	配線ミス、配線誤接触				
過負荷(過電流)		過電流が流れ破壊	ロジック誤動作 過電流保護設定ミス	過熱	ロジック信号 過電流保護設定値の見直し
過電圧	直流電圧過大	C-E間に素子耐圧を超える過電圧が印加され破壊	入力電圧過大 過電圧保護	C-E間耐圧オーバー	過電圧保護レベル見直し
	サージ電圧過大	ターンオフ時のサージ電圧がRBSOAを超えて破壊		RBSOA	ターンオフ動作軌跡とRBSOAのマッチング、スナバ回路見直し
		FWD転流(逆回復)時のサージ電圧が素子耐圧を超えて破壊			
		ゲート信号がパルス割れなどを起こし、非常に短い時間間隔のターンオフ→ターンオン(数百nsオーダー)を起こし、素子耐圧を超える過大な逆回復サージ電圧が発生して破壊(以下、微小パルス逆回復現象)	ノイズによるロジック又はゲート駆動回路誤動作 主回路等からのゲート信号線への電磁誘導	C-E間耐圧オーバー	ロジック及びゲート信号 大電流動作時のゲート信号/信号線のより線/主回路~信号線の距離
ドライブ電源電圧減		V _{GE} が所定設計値より低下してV _{CE} 間電圧が大きくなり、発熱(損失)が大きくなり破壊	DC-DCコンバータ誤動作 ドライブ電源確立までの時定数が大きすぎる ゲート信号配線はずれ	過熱	回路チェック
ゲート過電圧		静電気がG-E間に印加されゲートが破壊 ゲート配線が長すぎてG-E間に耐圧を超えるサージ電圧が発生し、破壊		G-E間耐圧オーバー	作業状態チェック(静電気対策) ゲート電圧チェック
ゲートオープンでの駆動		受入試験等でゲートオープンの状態でC-E間に電圧を印加(オン電圧/耐圧測定等)して破壊		過熱破壊	ゲート電圧チェック
過熱	放熱能力不足	放熱能力不足で素子が異常過熱、最大ジャンクション温度を超えて破壊	端子取付けネジのゆるみ サーマルグリースの塗布不足	過熱	放熱条件チェック
	熱暴走		冷却ファン停止		ロジック回路チェック
応力	応力	製品内部の端子はんだ付け部等が応力疲労を起こし断線する	外部配線から端子に掛かる応力	製品内の電気配線断線(オープン)	端子部に発生する応力/製品および他の部品の実装状態
	振動		実装した他の部品等が振動して端子に応力を与える		
素子の適用条件と信頼性、実力のマッチングが取れてない		素子の適用条件(環境、温度変化、実装時の組立条件、保管状態等)と製品の信頼性実力のマッチングが取れていない、製品内部の配線、絶縁構造、外観等が破壊		破壊モードはケース毎に異なる	本章 図7-1に基づいてチェックしてください

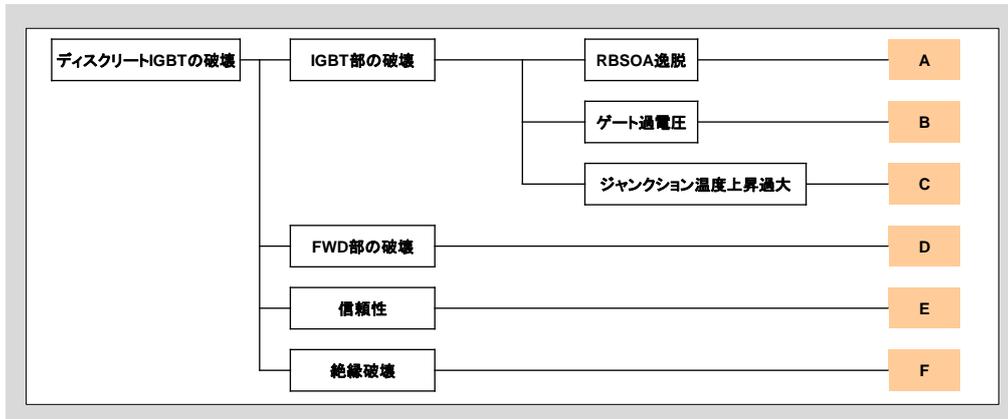


図7-1 IGBT故障解析図(A-Eの記号は以降の図へ連結)

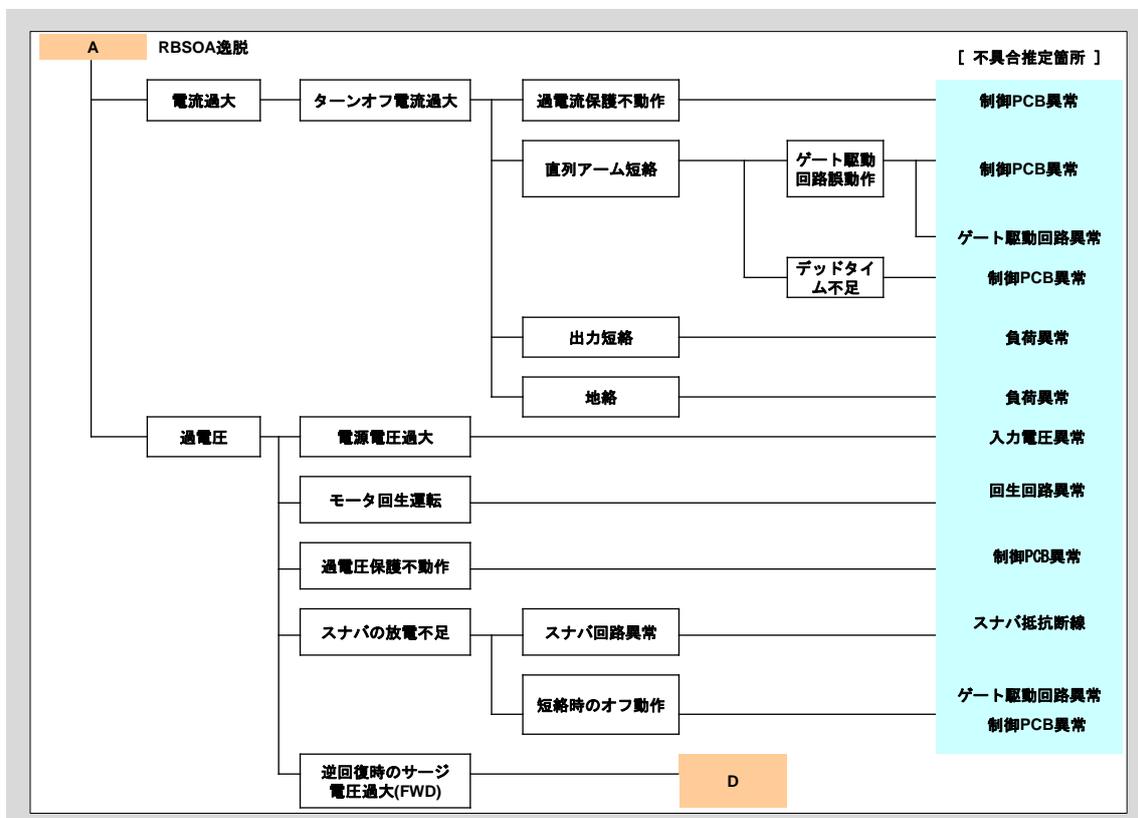


図7-1(a) モードA : RBSOA逸脱

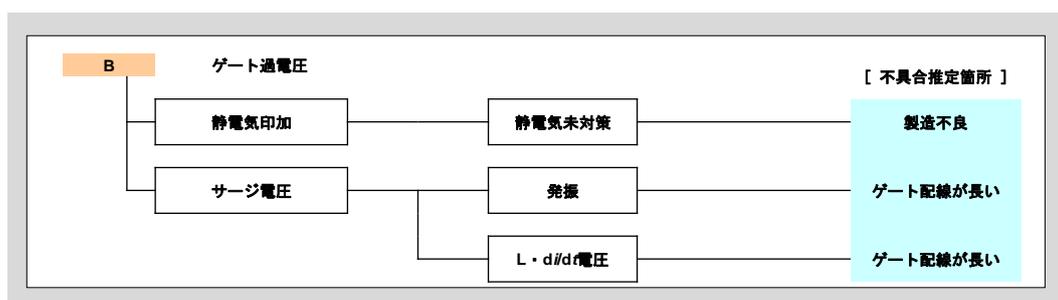


図7-1(b) モードB : ゲート過電圧

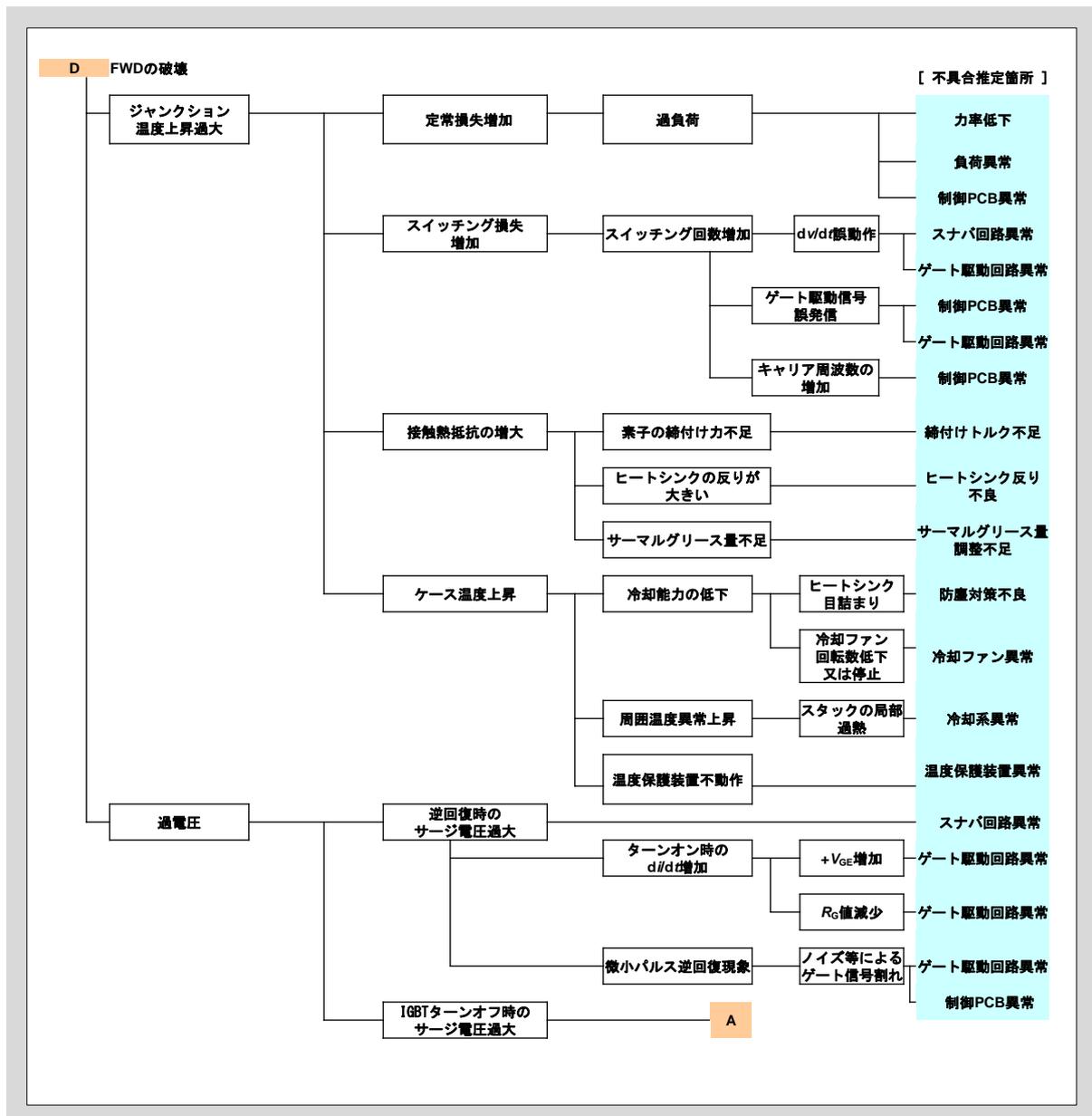


図7-1(d) モードD : FWDの破壊

2.故障判定方法

IGBTの破壊確認はトランジスタ・カーブトレーサ(以下CTと略す)を用いて、次の項目を判定できます。

- ① G-E間の漏れ電流 ② C-E間の遮断電流 (G-E間を必ず短絡してください)

また、テスタ等の電圧・抵抗測定装置を使用しても簡易的に故障判定ができます。

<G-E間チェックによる故障判定方法>

図7-2に示す様に、C-E間短絡状態でG-E間の漏れ電流或いは抵抗値を測定します。製品が正常であれば、漏れ電流は数百nA程度で抵抗値は数十MΩ～無限大になります。漏れ電流が数mA以上、もしくは抵抗値が数MΩ以下の場合は素子が故障している可能性があります。

尚、測定時はG-E間に±20Vを超える電圧を印加しないでください。テスタを使用する場合、内部のバッテリー電圧が20V以下であることを確認してください。

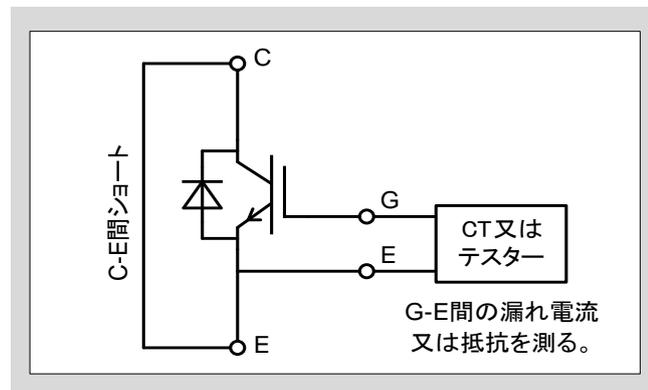


図7-2 G-E間 チェック

<C-E間チェックによる故障判定方法>

図7-3に示す様に、G-E間短絡状態でC-E間の遮断電流或いは抵抗値を測定します。素子が正常であれば仕様書記載の I_{CES} 最大値以下の遮断電流あるいは数十MΩ～無限大の抵抗値になります。尚、下記項目に注意してください。

- ①測定時はコレクタを+に、エミッタを-に接続してください。逆に接続するとFWDが導通して測定できません。
②定格以上の電圧を印加しないでください。定格以上の電圧を印加すると素子が破壊することがあります。

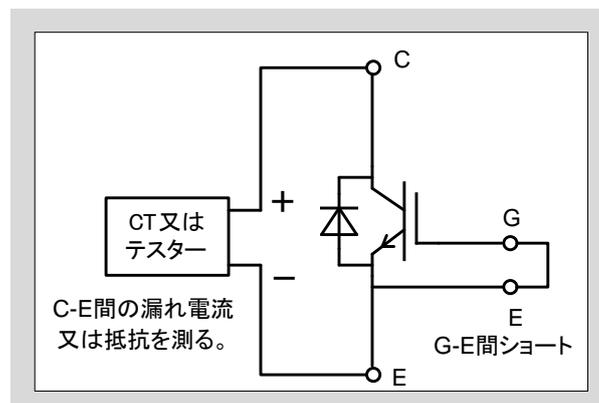


図7-3 C-E間チェック

3. 代表的なトラブルとその対処方法

<FWD逆回復時のdv/dtによる誤点弧回避方法>

FWD逆回復時のdv/dtによるIGBTゲートの誤点弧を回避する方法について示します。図7-4はdv/dt発生時に生じる誤点弧の原因について示した図です。本図ではIGBT2が逆バイアスされています。ここでIGBT1がオフ状態からオン状態になると、その対向アームのFWD2が逆回復します。またそれと同時に、オフ状態にあるIGBT2とFWD2の電位が上昇し、IGBT1のスイッチング時間に応じたdv/dtが発生します。IGBT1、2にはそれぞれ帰還容量 C_{res} があるため、この C_{res} を介して電流 $I = C_{res} \cdot dv/dt$ が発生します。この電流がゲート抵抗 R_G によってゲート電位を上昇させ、結果としてG-E間の電圧 V_{GE} が生じます。この V_{GE} がIGBT2の逆バイアス電圧としきい値電圧 $V_{GE(th)}$ の和の電圧を越えるとIGBT2が誤点弧し、IGBT1とIGBT2は短絡状態となります。

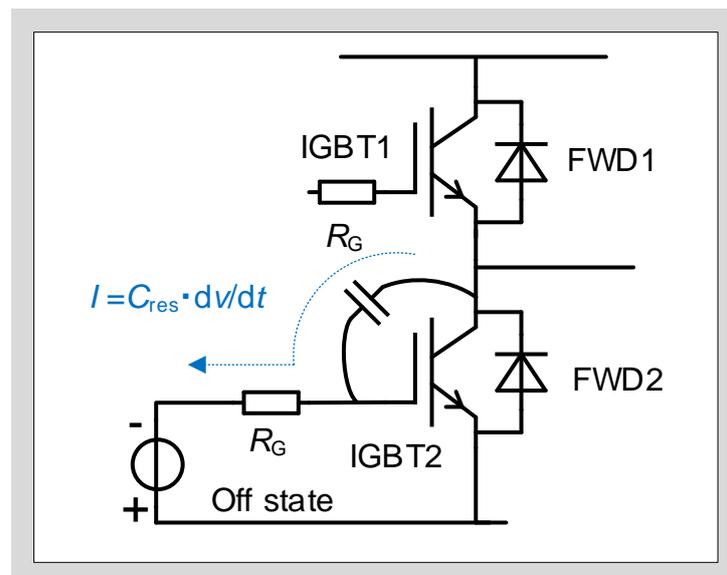


図7-4 dv/dt発生時の誤点弧の原理

誤点弧回避の方法を図7-5に示します。

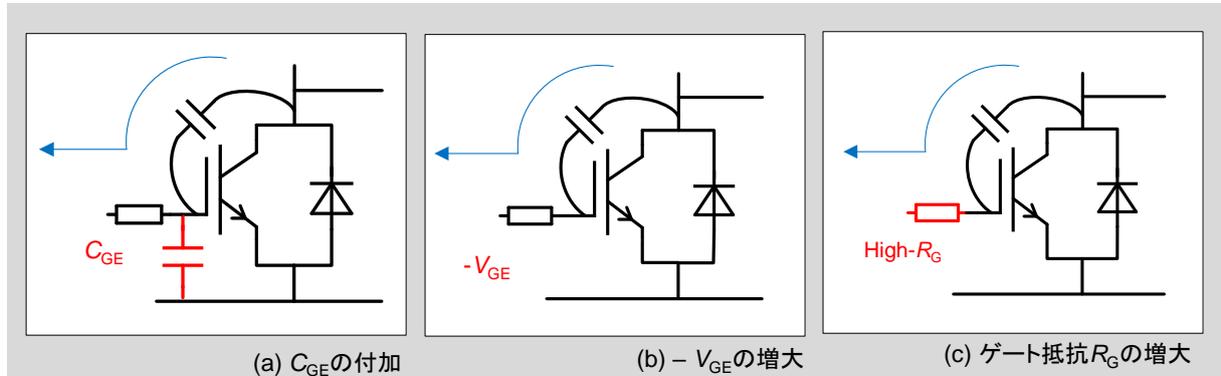


図7-5 dv/dt 誤点弧回避方法

IGBTの誤点弧回避方法は、G-E間に容量成分 C_{GE} を付加する、 $-V_{GE}$ を増大させる、ゲート抵抗 R_G を大きくする方法が挙げられます。これらの対策による効果は適用ゲート駆動回路によって異なるため実動作で誤点弧が無い事を確認してください。またスイッチング損失への影響もあるので併せて確認してください。

G-E間に容量成分 C_{GE} を付加する方法は、誤点弧電流をその C_{GE} に流すことでゲート抵抗に流れる電流を低減しゲート電圧の上昇を抑え誤点弧を回避します。しかし、ゲートドライブ時に C_{GE} 容量成分を充電する必要があるためスイッチングスピードが遅くなりスイッチング損失は大きくなります。対策として C_{GE} を付加すると共にゲート抵抗を低減することで、スイッチング損失を増大させることなく誤点弧を回避することが可能です。

なお、 C_{GE} の目安はデータシート記載 C_{ies} の2倍程度をG-E端子間直近に付加し、ゲート抵抗 R_G は C_{GE} 付加前の約半分へ変更することを推奨します。

<G-E間オープン状態での主回路電圧印加>

素子単体で特性チェックをする場合、G-E間オープン状態でC-E間に電圧を印加すると、IGBTの C_{res} を介して図7-6に示すように電流(i)が流れます。これによりG-E間容量に電荷が充電されゲート電位が上昇しIGBTがオンして I_c が流れ発熱し破壊の可能性があります。製品の受入試験等でスイッチ切り替えを行っている場合はG-E間が瞬時オープンになり素子が破壊する可能性があります。IGBTを駆動する際には必ずG-E間に信号を入れた状態で駆動してください。また、必ず主回路(C-E間)電圧を0Vまで放電してからゲート信号の切り替えを行なってください。

図7-7はオン電圧測定回路の例です。この例で測定手順を説明します。まずゲート駆動回路(GDU)をオフ($V_{GE}=0V$)にしてから SW_1 をオンしC-E間に電圧を印加します。次に、GDUでG-E間に所定の順バイアス電圧を印加しIGBTを通電させ、オン電圧を測定します。最後にゲート駆動回路をオフ状態にし SW_1 をオフにします。この手順で素子を破壊する事なく安全に素子の特性を測定することが出来ます。

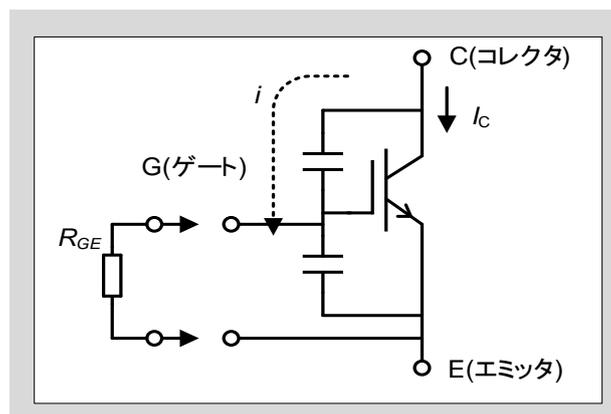


図7-6 G-E間オープン状態でのIGBTの振る舞い

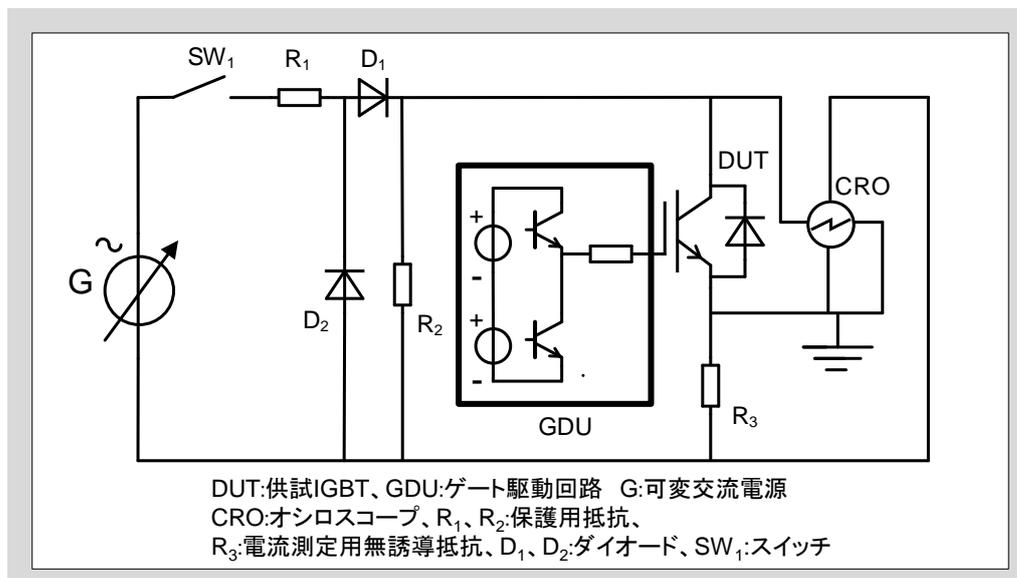


図7-7 オン電圧の測定回路

<過渡オン状態からのダイオード逆回復(微小パルス逆回復)現象>

IGBTの駆動時にノイズ等によってゲート信号割れが起きると、過大な逆回復サージ電圧が発生します。この現象を微小パルス逆回復現象と呼びます。図7-8に微小パルス逆回復による過大サージ電圧の発生タイミングチャートを示します。

図7-9でIGBT2がオンしている V_{GE} のオン期間 T_{ON} に対しオフ信号 T_w が発生するとIGBT2がオフし、対向アーム側のFWD1がオンし、再度すぐにIGBT2がオンし逆回復動作に入ります。本来の逆回復現象ではFWD内に十分なキャリアが蓄積されてから逆回復動作に入るのに対して、微小パルス逆回復現象では十分なキャリアの蓄積がない状態で逆回復動作します。これによりFWD内で空乏層が急激なスピードで広がります。そのため、急峻な di/dt 、 dv/dt が発生し、逆回復時のC-E(A-K)間に点線で囲まれた非常に大きな逆回復サージ電圧が発生します。製品の耐圧保証値を超えるサージ電圧が発生すると素子破壊の可能性があります。装置設計を行なう際にはこのような短いゲート信号オフパルスが発生しないように注意してください。

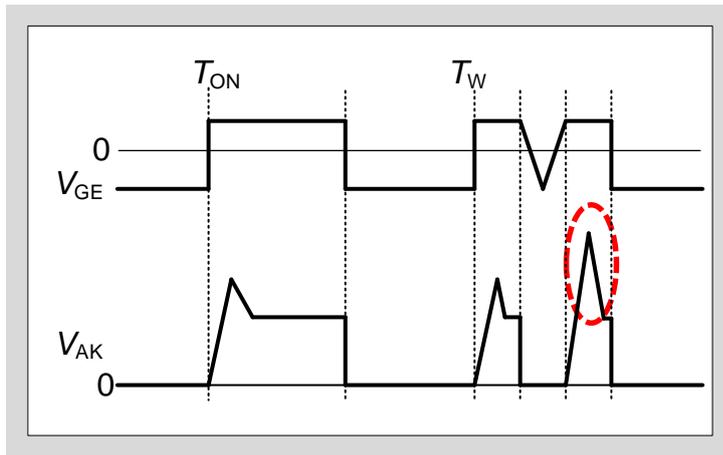


図7-8 微小パルス逆回復による過大サージ電圧の発生

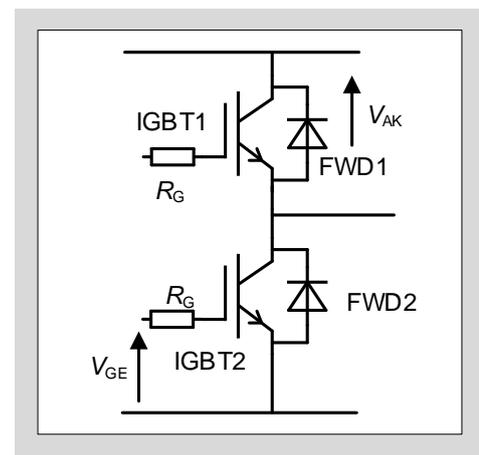


図7-9 回路図

<並列接続時の注意点>

大電流を制御する用途にIGBTを適用する場合、素子を並列に接続して使用する事があります。並列接続では電流バランスが崩れると、一つの素子に電流が集中し破壊する可能性があります。並列接続時の電流バランスは、素子の特性や配線方法等で変わるため、バラツキを抑えた $V_{CE(sat)}$ の素子適用や主回路配線の均等化設計等が必要になります。並列接続を行う場合には同一製品ロットでご使用ください。

主回路配線が不均等な場合、スイッチング時の di/dt で各配線のインダクタンスに不均等な電圧が発生し、並列接続されたエミッタ部の制御側配線ループに振動電流が流れゲート電圧が振動します。この振動でIGBTが誤動作する可能性があります。

上記のIGBT誤動作を起こさないために左右対称配線をすることで均等な電流分担が実現できます(図7-10参照)。

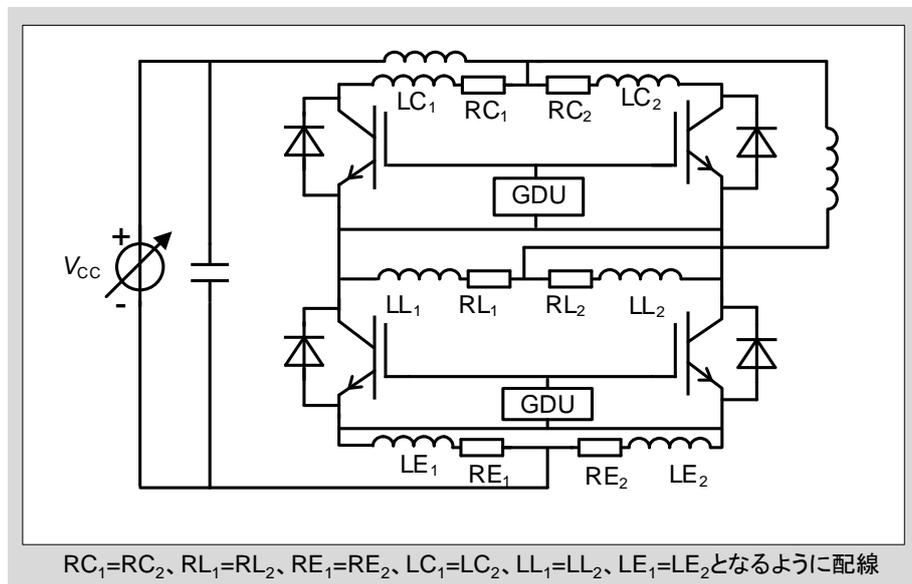


図7-10 並列接続時の等価回路

図7-11(1)にエミッタ部の配線インダクタンスを極端に不均等にした場合の振動現象を示します。

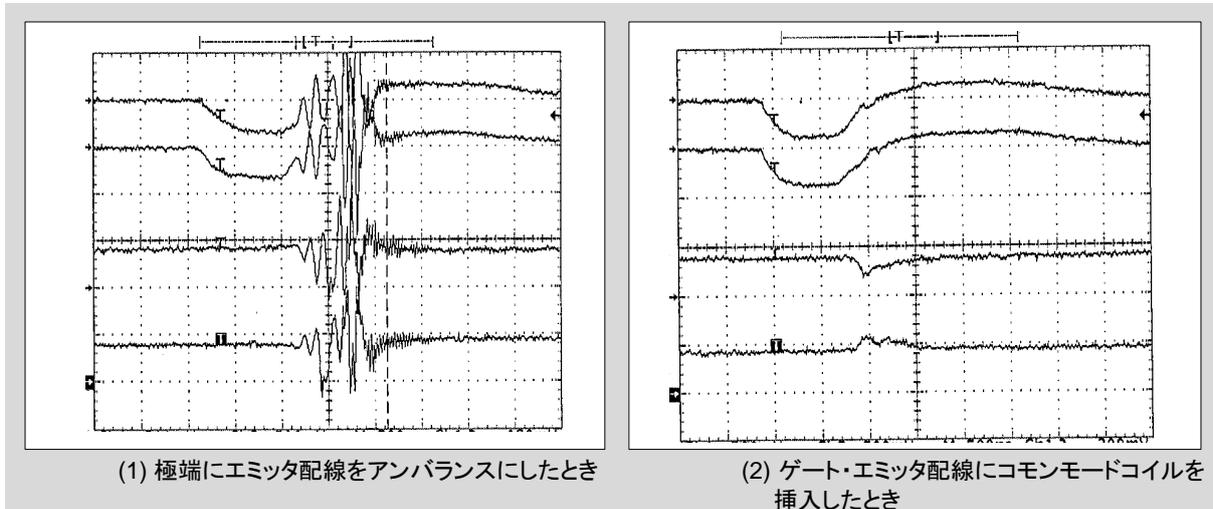


図7-11 2並列時のコレクタ・ゲート電流波形

振動対策として、図7-12のように各ゲート・エミッタ配線にコモンモードコイルを挿入し、エミッタ部のループ電流を流さない方法があります。図7-11(2)に影響をなくした場合の波形を示します。図7-11(1)に比べて振動が抑制されています。

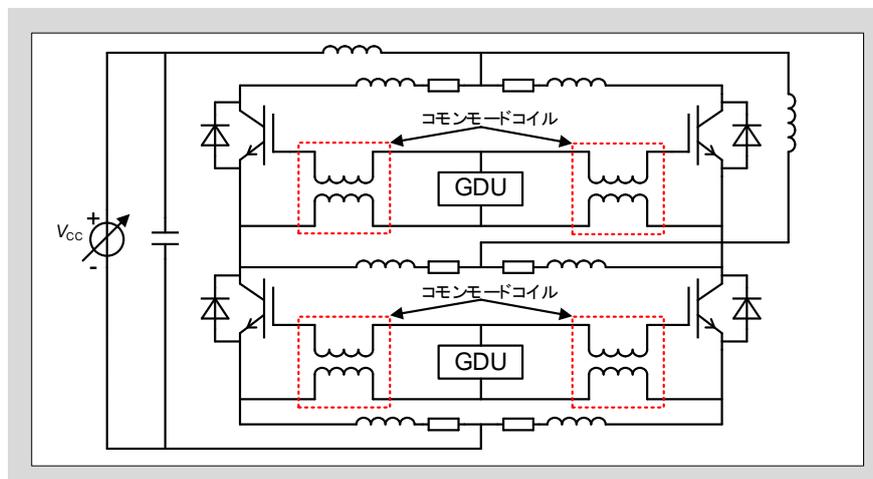


図7-12 コモンモードコイルを挿入した並列回路