

## 富士 IGBT モジュール 第8章 IGBT モジュールの並列接続

### Application Manual

## 注意

このマニュアルの内容(製品の仕様、特性、データ、材料、構造など)は2020年12月現在のものです。この内容は製品の仕様変更のため、または他の理由により事前の予告なく変更されることがあります。このマニュアルに記載されている製品を使用される場合には、その製品の最新版の仕様書を入手して、データを確認してください。

本資料に記載してある応用例は、富士電機の半導体製品を使用した代表的な応用例を説明するものであり、本資料によって工業所有権、その他権利の実施に対する保証または実施権の許諾を行うものではありません。

 **注意**

(1) 輸送と保管

段ボール箱の適切な面を上にして運搬してください。そうしないと製品に予期しないストレスがかかり、端子の曲りや樹脂パッケージ内の歪みなど、影響を及ぼす可能性があります。さらに製品を投げたり落下させたりすると、製品に大きなダメージを与える可能性があります。また水に濡れると破壊や故障の原因になりますので、雨や凍結には十分な配慮をお願いします。輸送中の温度や湿度などの環境条件は、仕様書に記載してありますので厳守してください。

(2) 組み立て環境

パワーモジュールの素子は静電気放電に対して非常に弱いため、組み立て環境におけるESD対策を、仕様書に記載の範囲内で適切に実施してください。特に、導電性スポンジを制御端子から取り外す時が、最も製品に電氣的ダメージを与える可能性があります。

(3) 動作環境

製品を酸や有機物、腐食性ガス(硫化水素、硫酸ガスなど)にさらされる環境で使用した場合、製品性能や外観を十分確保することができません。

## 第8章 IGBTモジュールの並列接続

1. 定常時に電流アンバランス	8-2
2. スイッチング時の電流アンバランス	8-6
3. ゲート駆動回路	8-7
4. 並列接続時の配線例	8-8

IGBTモジュールを変換回路に適用する際、通電能力を増やす目的としてIGBTモジュールを並列接続して使用場合があります。IGBTモジュールの並列数は特に制限がありませんが、装置の大きさに伴って配線長が長くなるリスク(ノイズやサージ電圧の増加)を考慮する必要があります。IGBTを並列接続する場合の基本的な留意点は以下の3つです。

- 1) 定常時の電流アンバランス抑制
- 2) スイッチング時の電流アンバランス抑制
- 3) ゲート駆動回路

本章ではIGBTモジュールを並列接続する際の留意点について記載します。

## 1. 定常時の電流アンバランス

IGBTが導通(オン)時における電流アンバランスの要因は、主に次の2つが挙げられます。

- $V_{CE(sat)}$  のバラツキ
- 主回路配線抵抗のバラツキ

### 1.1 $V_{CE(sat)}$ のバラツキによる電流アンバランスの発生

並列接続するIGBTの  $V_{CE(sat)}$  のバラツキによって、出力特性に差が生じます。これにより導通時の定常状態において、電流アンバランスが発生します。図8-1に異なる  $V_{CE(sat)}$  を持つIGBTの出力特性を示します。なお、図8-1では2並列を例として図示しています。図8-1において  $Q_1$  と  $Q_2$  の出力特性は以下の式で近似できます。

$$V_{CEQ1} = V_{01} + r_1 \times I_{C1}$$

$$r_1 = V_1 / (I_{C1} - I_{C2})$$

$$V_{CEQ2} = V_{02} + r_2 \times I_{C2}$$

$$r_2 = V_2 / (I_{C1} - I_{C2})$$

したがって  $Q_1$  と  $Q_2$  を並列接続した回路に  $I_{Ctotal}(=I_{C1}+I_{C2})$  のコレクタ電流を流した場合、 $Q_1$  と  $Q_2$  の電圧が同一になる必要があることから、それぞれに流れるIGBTのコレクタ電流は以下のように求めることができます。

$$I_{C1} = (V_{02} - V_{01} + r_2 \times I_{Ctotal}) / (r_1 + r_2)$$

$$I_{C2} = (V_{01} - V_{02} + r_1 \times I_{Ctotal}) / (r_1 + r_2)$$

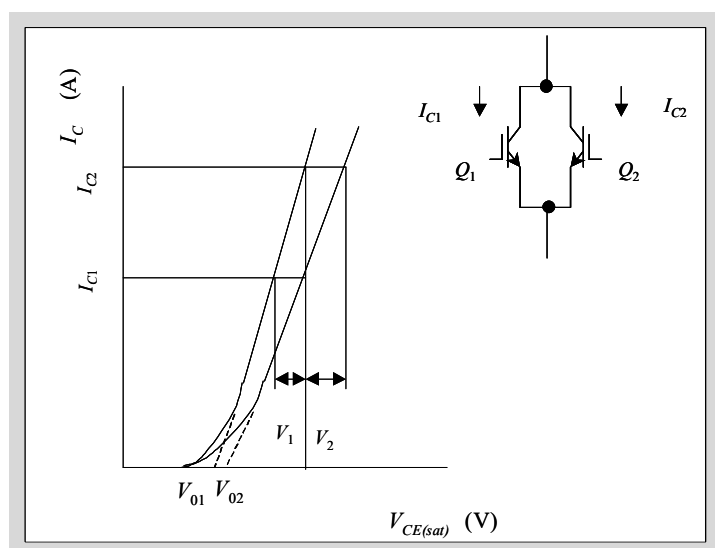


図8-1 異なる出力特性の組み合わせ例

前述式において $V_{01}=V_{02}$ を仮定した場合、 $Q_1$ には、 $Q_2$ に流れる電流の $r_2/r_1$ 倍の電流が流れることとなります。図8-1からわかるように $r_2 > r_1$ であることから、 $Q_1$ の電流分担が大きくなります。このように $V_{CE(sat)}$ のバラツキがある場合には低 $V_{CE(sat)}$ のIGBTの電流分担が大きくなります。したがって、良好な電流分担を得るためには $V_{CE(sat)}$ のバラツキの少ない素子を組み合わせる必要があります。 $V_{CE(sat)}$ バラツキは同一製品ロットのIGBTモジュールを用いることにより最小にすることができます。これは様々なプロセス要因から生じる影響を最小にできるためです。したがって並列接続を行なう場合、同一製品ロットで並列接続することを推奨いたします。

### 1.2 主回路配線の抵抗分バラツキに起因した電流アンバランスの発生

図8-2に2並列接続時の主回路配線に抵抗成分がある場合の等価回路図を示します。主回路配線の抵抗成分の影響は、コレクタ側と比較してエミッタ側の方が大きいいため、図8-2ではコレクタ側の抵抗成分を省略して記載しています。

図8-2に示すようなエミッタ側の主回路配線に抵抗成分がある場合、IGBTの出力特性の傾きが等価的に緩やかになるため、抵抗成分がない場合と比べ同じ $V_{CE}$ に対するコレクタ電流は減少します。また抵抗成分が大きい程、出力特性の傾きが緩やかになるので、コレクタ電流は小さくなります。図8-2で $R_{E1} > R_{E2}$ を仮定した場合、 $I_{C1} < I_{C2}$ となり、電流アンバランスが生じます。また、抵抗成分( $R_{E1}, R_{E2}$ )にコレクタ電流が流れることによって生じる電位差が実際のG-E間電圧を小さくさせます( $V_{GE}=V-V_E$ )。これによりIGBTの出力特性が変化してコレクタ電流は減少します。

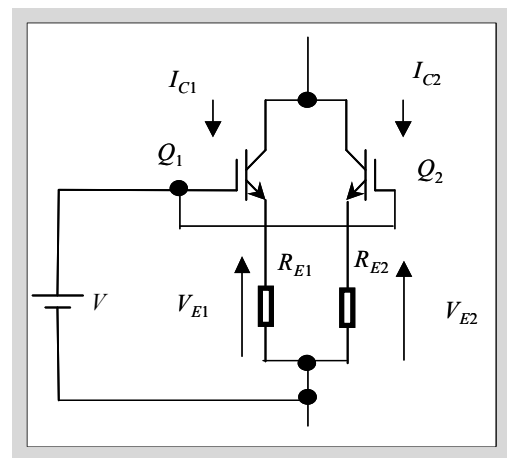


図8-2 主回路配線に抵抗成分がある場合の等価回路図

このようにエミッタ側の抵抗成分によって、IGBTへの正味のG-E間電圧が小さくなることや電流アンバランスが生じるなどの影響があります。したがってこの影響を低減するためには、エミッタ側の配線は極力短かつ均等にする必要があります。

### 1.3 出力特性の接合温度依存性と電流アンバランス

出力特性の温度特性はその挙動によって電流アンバランスに大きな影響を与えます。ここで $V_{CE(sat)}$ が接合温度上昇とともに高くなる場合を正の温度特性、逆に低くなる場合を負の温度特性と定義します。図8-3に正と負の温度特性を有する100A定格IGBTの代表的な出力特性を示します。出力特性の温度特性が正の場合、接合温度が上昇するにつれて、コレクタ電流は減少することになります。

本章1.1で述べたように並列接続時には $V_{CE(sat)}$ の低いIGBTの電流分担が増えます。これにより定常損失は $V_{CE(sat)}$ の低いIGBTが大きくなり、接合温度はもう一方よりも上昇することになります。

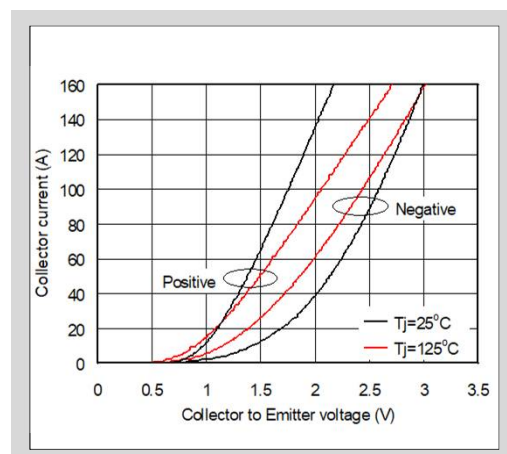


図8-3 出力特性比較

正の温度特性を有するIGBTの組み合わせでは、温度上昇によって $V_{CE(sat)}$ の高いIGBTとバランスしあう方向に作用します。反対に負の温度特性を有するIGBTの組み合わせでは、温度上昇に伴い片方のIGBTに電流が集中し電流アンバランスを増長する動作となるため、並列運転する際、電流分担に留意して設計を行なう必要があります。出力特性が正の温度特性を有するIGBTは、負の特性を有するIGBTよりも並列運転が比較的容易であるため、並列接続時には出力特性の温度特性が正のIGBTを選定することを推奨いたします。なお、第四世代Sシリーズ以降のIGBTモジュールは出力特性の温度特性は正となっています。出力特性の温度特性詳細についてはIGBTモジュールの仕様書にて確認をお願いいたします。

#### 1.4 $V_{CE(sat)}$ のバラツキと電流アンバランス率

IGBTの並列接続時に生じる電流分担の割合は電流アンバランス率と呼ばれ、IGBT自身の $V_{CE(sat)}$ のバラツキや出力特性の接合温度特性によって決定されます。

図8-4に代表的な $V_{CE(sat)}$ のバラツキと電流アンバランス率の関係を示します。同図はVシリーズIGBTの2並列接続時における電流アンバランス率です。図8-4からわかるように $V_{CE(sat)}$ のバラツキが大きくなると電流アンバランス率が大きくなります。それゆえ並列接続をする際には $V_{CE(sat)}$ の差( $\Delta V_{CE(sat)}$ )が小さい製品を組み合わせることが重要となります。

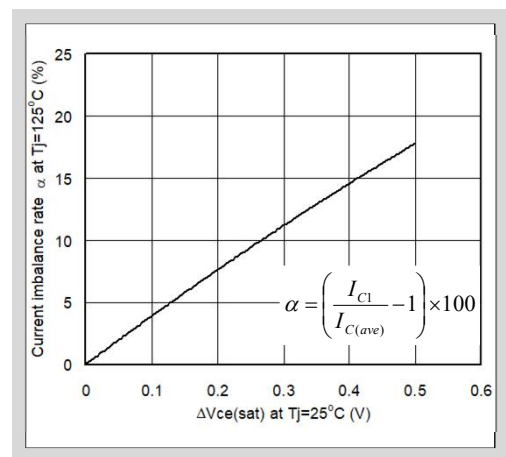


図8-4  $V_{CE(sat)}$ のバラツキと電流アンバランス率

#### 1.5 多並列接続時のディレーティング

IGBTの並列接続時には電流アンバランスを考慮する必要があり、その電流総和(流すことができる最大電流)には定格電流の総和に対するディレーティング(電流低減)が必要となります。n個の素子を並列接続する場合、最も $V_{CE(sat)}$ が低い1素子への電流集中が最悪条件と考えます。n個の素子を並列接続した場合の許容最大電流 $\Sigma I$ は、2並列時の電流アンバランス率 $\alpha$ を用いて以下の式で表すことができます。

$$\Sigma I = I_{C(max)} \left[ 1 + (n-1) \frac{\left(1 - \frac{\alpha}{100}\right)}{\left(1 + \frac{\alpha}{100}\right)} \right] \quad \alpha = \left( \frac{I_{C1}}{I_{C(ave)}} - 1 \right) \times 100$$

ここで上式の電流アンバランス率 $\alpha$ は図8-1に示した2並列時の電流値 $I_{C1}$ と平均電流値 $I_{C(ave)} = (I_{C1} + I_{C2})/2$ により求められます。また $I_{C(max)}$ は1素子当りの最大電流、 $\Sigma I$ は並列接続時の最大電流を表しています。 $\Sigma I$ を駆動するためには並列接続した全ての素子が仕様書に記載のRBSOAを満足する必要があるとともに、発生損失によって生じる接合温度の上昇を $T_{vj(max)}$ 以下にする必要があります。特に発生損失による接合温度の上昇は使用条件(スイッチング周波数,ゲート駆動条件,放熱条件,スナバ条件等)により異なるので注意が必要です。たとえば $\alpha=15\%$ , $I_{C(max)}=200\text{A}$ , $n=4$ の場合では $\Sigma I=643.4$ となり単純に $200 \times 4=800\text{A}$ とはならず19.6%のディレーティングが必要であることがわかります。このように並列時の全電流 $\Sigma I$ は単純な電流総和( $n \times I_{C(max)}$ )に対してディレーティングが必要となります。

電流アンバランス率  $\alpha=15\%$  とした場合の IGBT のデレーティング率を図8-5に示します。この図からわかるように、並列数の増加とともにデレーティング率が大きくなっています。したがって並列接続を行なう際、接続数に応じたデレーティングを行なってください。またデレーティング率は電流アンバランス率によって異なりますので、注意してください。

本例に示すデレーティング率は前記の電流アンバランス率から求めた参考値のため、実機動作によってアンバランス確認と検証を行なった上でデレーティング率を決定してください。

故障、保守などにより並列接続したモジュールの交換が必要となった場合は、並列接続している全モジュールの交換を推奨いたします。また交換する際、前述のように同一製品ロットで並列接続することを推奨いたします。

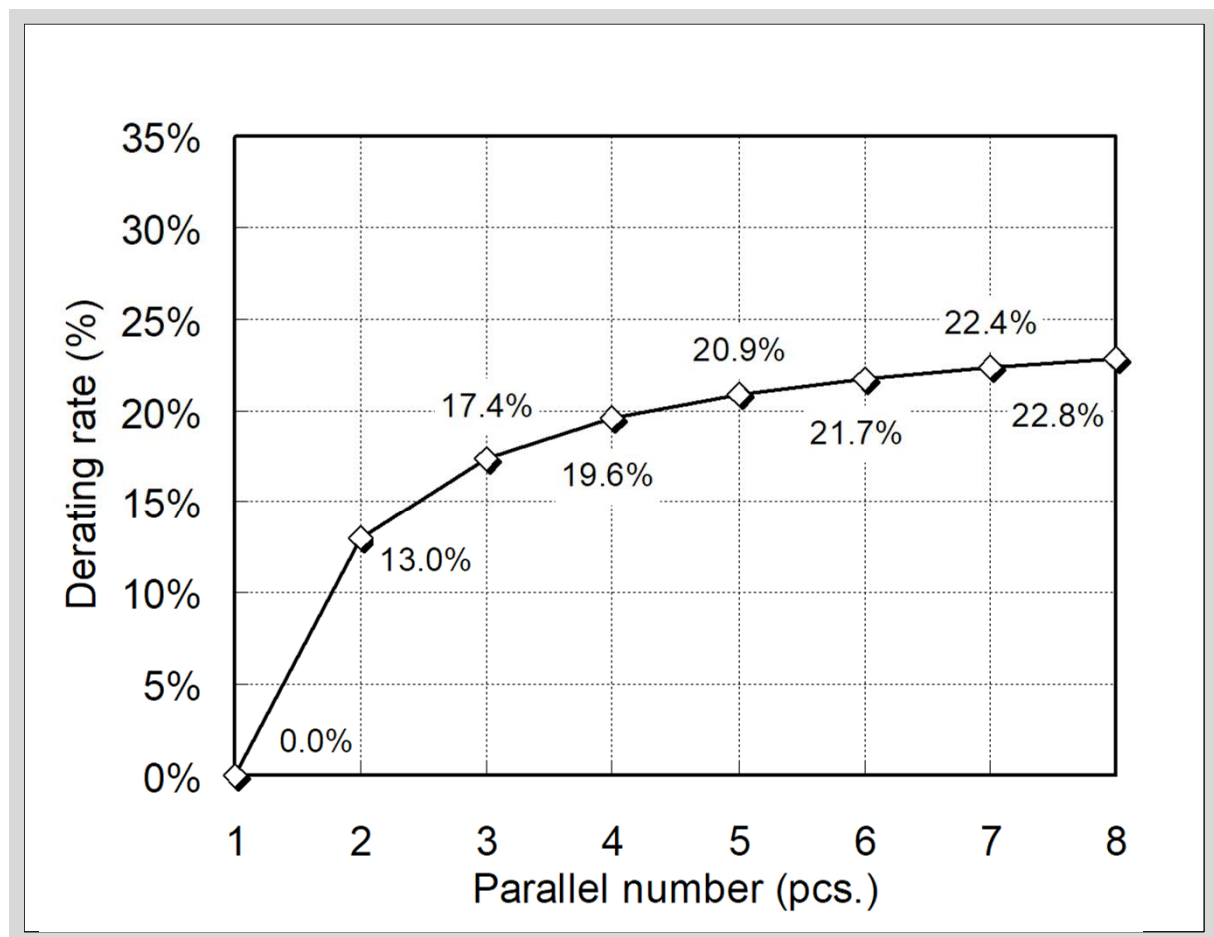


図8-5 並列接続数とデレーティング率の関係



## 2. スイッチング時の電流アンバランス

スイッチング時における電流アンバランスの要因としては、主に次の2つが挙げられます。

- 素子特性のバラツキ
- 主回路配線インダクタンスのバラツキ

### 2.1 素子特性のバラツキ

IGBTのスイッチング時、特にターンオフ直前の電流アンバランスはオン状態の電流アンバランスでほぼ決まると考えられます。前章で述べたように、オン状態の電流アンバランスを抑えることにより、スイッチング時の電流アンバランスも同時に抑えられます。

### 主回路配線インダクタンスのバラツキ

主回路配線のインダクタンスが不均等の場合、並列接続した素子のスイッチング時の電流分担にアンバランスが生じます。図8-6に主回路配線インダクタンスを考慮した並列接続時の簡易等価回路を示します。IGBT1,2に流れるオン電流をそれぞれ $I_{C1}$ ,  $I_{C2}$ としたとき、電流分担は各IGBTの配線インダクタンス $L_{C1}+L_{E1}$ と $L_{C2}+L_{E2}$ の差に影響を受け、ほぼインダクタンス比によって決まります。したがってスイッチング時の電流アンバランスを緩和するためには配線インダクタンスをできる限り均等にする必要があります。しかし、 $L_{C1}+L_{E1}=L_{C2}+L_{E2}$ という理想的な配線インダクタンスを実現したとしても、 $L_{E1}$ と $L_{E2}$ の配線インダクタンスが不均一な場合、スイッチング時の電流変化率(di/dt)の違いによって発生する誘起電圧に差が生じます。誘起電圧の差は並列接続した各IGBTの実効的に印加されるゲート電圧に影響を与え、電流アンバランスを助長します。

このことから、素子の並列接続を行なう際、可能な限り $L_{C1}=L_{C2}$ ,  $L_{E1}=L_{E2}$ となる配線として、対称性を確保した配線とする事が非常に重要となります。また、主回路配線インダクタンスが大きいとIGBTターンオフ時のサージ電圧が大きくなるため、配線インダクタンスはできる限り小さくする必要があります。並列接続するIGBTモジュールは可能な限り密着させて配置し、配線は可能な限り均等化して下さい。

IGBTモジュールに補助エミッタ端子がある場合、エミッタ側主回路インダクタンスの影響を小さくするために、補助エミッタ端子を用いてゲートを駆動することを推奨いたします。

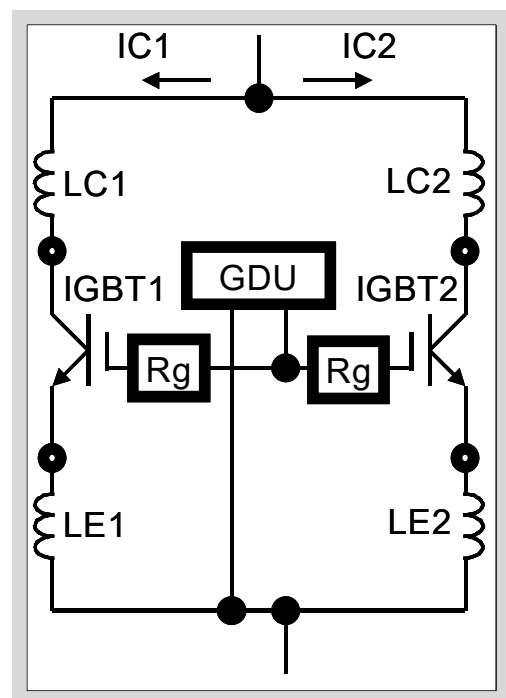


図8-6 主回路配線インダクタンスを考慮した並列接続時の簡易等価回路

### 3. ゲート駆動回路

各IGBTを異なるゲート駆動回路(GDU)で駆動した場合、回路の遅れ時間などのバラツキによってスイッチングタイミングにバラツキを生じることが懸念されます。したがってIGBTモジュールを並列接続する場合、IGBTのゲート駆動回路はIGBTモジュールの並列数に関係なく1台で構成することを推奨いたします。このように構成することでゲート駆動回路に起因したスイッチングのバラツキを低減でき、IGBT並列動作時の悪影響を減らすことが可能となります。ただし並列接続したモジュールの各IGBTのゲートを同一の回路で駆動する場合、駆動能力不足によるスイッチングスピードの低下、ゲート制御ができないなどが懸念されるため、ゲート駆動回路は並列数に応じた適切な容量を選定してください。

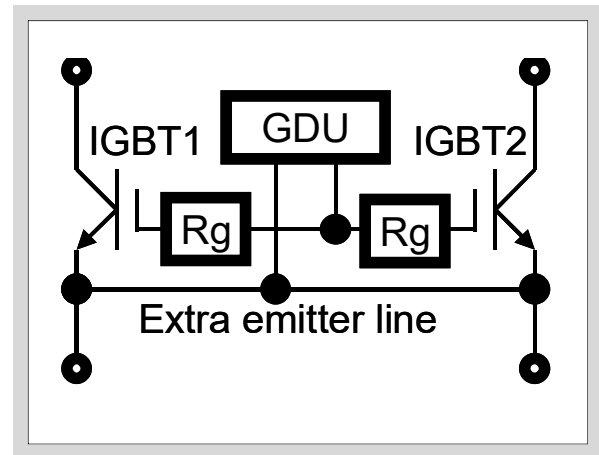


図8-7 ゲート駆動回路の配線

またゲート駆動回路を1台で構成する場合、配線インダクタンスとIGBTの入力容量により、ゲート電圧の立ち上がり時に寄生振動を起こす場合がありますので、各IGBTのゲート抵抗はそれぞれのゲートへ個別に接続して下さい(図8-7参照)。さらにこの振動抑制のためにエミッタ配線に抵抗を入れる場合がありますが、その抵抗によって生じる電圧降下により素子の誤動作を引き起こす可能性がありますので、十分に検証して適用してください。ゲート駆動回路のエミッタ配線が主回路配線の異なった位置に接続した場合には、図8-6に示した $L_{E1}$ と $L_{E2}$ が不均衡となるため、並列接続された素子の過渡的な電流分担がアンバランスになります。通常、2in1などのIGBTモジュールにはゲート駆動回路用に補助エミッタ端子を設けており、素子内部のゲート配線は均等となります。したがってこの端子を使用してゲートを駆動すれば、素子内部での過渡的な電流アンバランスを抑制することができます。このような理由から、IGBTモジュールに補助エミッタ端子がある場合にはその端子を用いてゲートを駆動することを推奨いたします。

しかしながら補助エミッタ端子を用いてゲートを駆動した場合でもゲート駆動回路から各モジュールまでのエミッタ配線が長く、不均一になれば電流アンバランスを引き起こします。それゆえ並列接続した各モジュールへのゲート駆動回路の配線は均等な長さで最短となるように行ってください。このときゲート駆動回路の配線は密に撚り合わせると共に、主回路配線からはできるだけ遠ざけ、相互誘導(特にコレクタ電流)を受けないように配置して下さい。

#### 4. 並列接続時の配線例

これまで述べてきたように、IGBTモジュールを並列接続して使用する場合、十分な注意が必要です。

図8-8に大容量2in1素子を並列接続で構成した時の等価回路を示します。図8-8からわかるように、並列接続しているIGBT (IGBT1とIGBT2) への各種配線はIGBTに対しすべて対称に配線しています。

1700V/1000Aの大容量2in1素子を2並列で均等配線接続した場合のスイッチング波形を図8-9に示します。この波形からわかるように、各IGBTに流れる電流 $I_{C1}$ 、 $I_{C2}$ ともほぼ均等に流れており、電流アンバランス率はわずか2%です。このように並列接続時に対称配線構成とすることで、非常に良好な電流分担が実現できます。

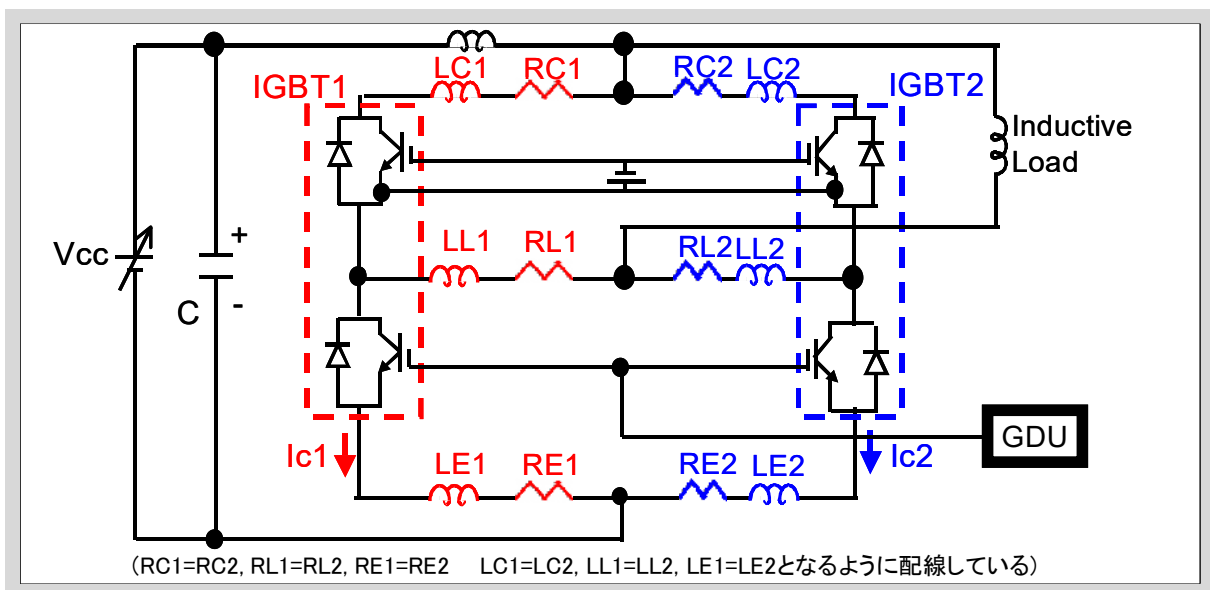


図8-8 大容量2in1素子で構成した並列接続時の等価回路

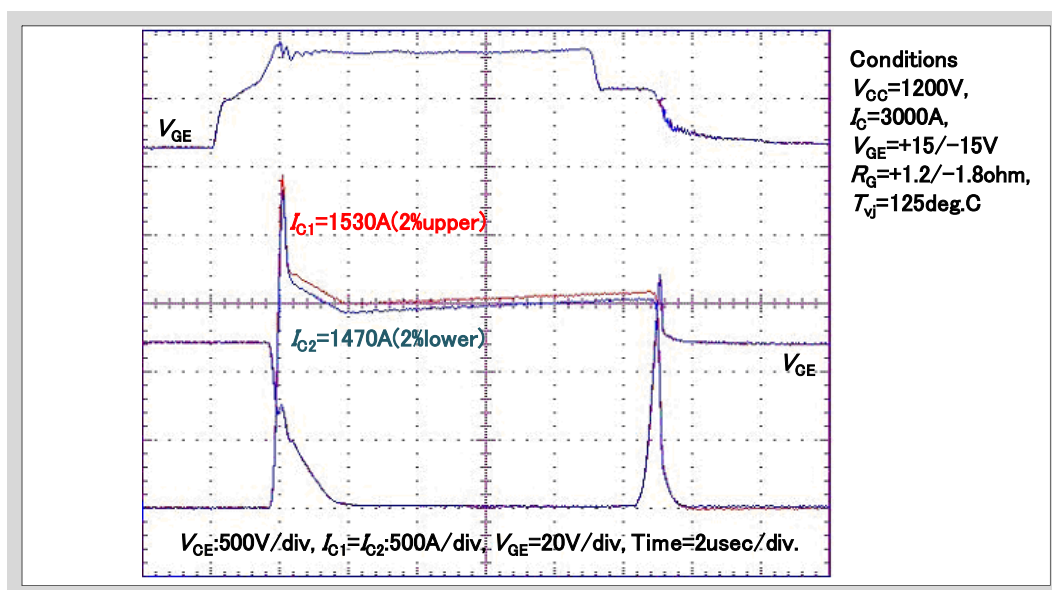


図8-9 1000A/1700V 大容量2in1素子(2MBI1000VXB-170-50)の2並列時の波形