

Fuji Power MOSFET

Application Manual

 **注意**

1. この資料の内容(製品の仕様、特性、データ、材料、構造など)は2018年12月現在のものです。この内容は製品の仕様変更のため、または他の理由により事前の予告なく変更されることがあります。この資料に記載されている製品を使用される場合には、その製品の最新版の仕様書を入手して、データを確認してください。
2. 本資料に記載してある応用例は、富士電機製品を使用した代表的な応用例を説明するものであり、本資料によって工業所有権、その他権利の実施に対する保証または実施権の許諾を行うものではありません。
3. 富士電機(株)は絶えず製品の品質と信頼性の向上に努めています。しかし、半導体製品はある確率で故障する可能性があります。富士電機製半導体製品の故障が、結果として人身事故、火災等による財産に対する損害や、社会的な損害を起こさぬように冗長設計、延焼防止設計、誤動作防止設計など安全確保のための手段を講じてください。
4. 本資料に記載している製品は、普通の信頼度が要求される下記のような電子機器や電気機器に使用されることを意図して造られています。
 - ◆コンピュータ、OA機器、通信機器(端末)、計測機器、工作機械、オーディオビジュアル機器、家庭用電気製品、パーソナル機器、産業用ロボット、など
5. 本資料に記載の製品を、下記のような特に高い信頼度を持つ必要がある機器に使用をご予定のお客様は、事前に富士電機(株)へ必ず連絡の上、了解を得てください。この資料の製品をこれらの機器に使用するには、そこに組み込まれた富士電機製半導体製品が故障しても、機器が誤動作しないように、バックアップシステムなど、安全維持のための適切な手段を講じる必要があります。
 - ◆輸送機器(車載、船用など)、幹線用通信機器、交通信号機器、ガス漏れ検知及び遮断機、防災/防犯装置、安全確保のための各種装置
6. 極めて高い信頼性を要求される下記のような機器には、本資料に記載の製品を使用しないでください。
 - ◆宇宙機器、航空機搭載用機器、原子力制御機器、海底中継機器、医療機器
7. 本資料の一部または全部の転載複製については、文書による当社の承諾が必要です。
8. 本資料の内容にご不明の点がありましたら、製品を使用する前に富士電機(株)または、その販売店へ質問してください。本注意書きの指示に従わないために生じたいかなる損害も富士電機(株)とその販売店は責任を負うものではありません。

CONTENTS

- 第1章 富士パワーMOSFET
- 第2章 データシートの用語と定義
- 第3章 デバイス特性と応用
- 第4章 熱設計
- 第5章 破壊メカニズムと回路設計
- 第6章 実装・取り扱い上の注意事項

1章 富士パワーMOSFET

1. 素子の構造と特徴	1-2
2. 富士パワーMOSFETの名称体系	1-3

1. 素子の構造と特徴

(1)素子の構造と特徴

MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)は、その名前が示すように、MOS構造(金属-酸化膜-半導体)となっており、電界効果により動作する半導体素子です。その構造から縦型と横型があり、縦型はチップ全体に電流を流すことができ、単位チップ面積あたりの抵抗(オン抵抗)を小さくできる特徴があります。従来のバイポーラトランジスタと比較すると以下の特徴があります。

- 1)電圧制御素子で、駆動電力が少ない
- 2)ユニポーラ素子のため、高速スイッチングが可能
- 3)電流の温度係数が負のため、並列動作が容易

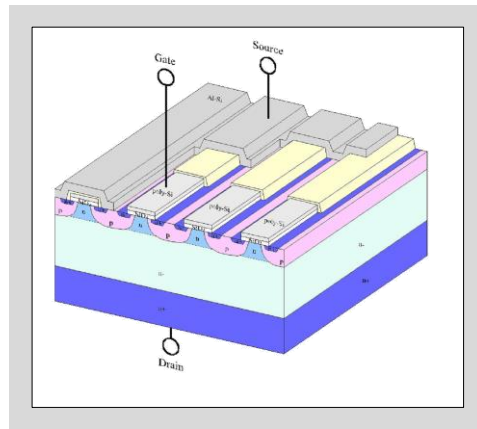


図1-1.パワーMOSFETの基本構造

(2)デバイス構造の変革

当社パワーMOSFETのデバイス構造の変革を図1-2に断面構造で示します。従来DMOS構造から疑平面構造にすることで耐圧を確保することが可能となり、n型ドリフト層の抵抗値低減によりチップ単位面積あたりの抵抗値を小さくすることができ、Super Junction 構造ではn型ドリフト層の抵抗を大幅に低減することが可能になりました。

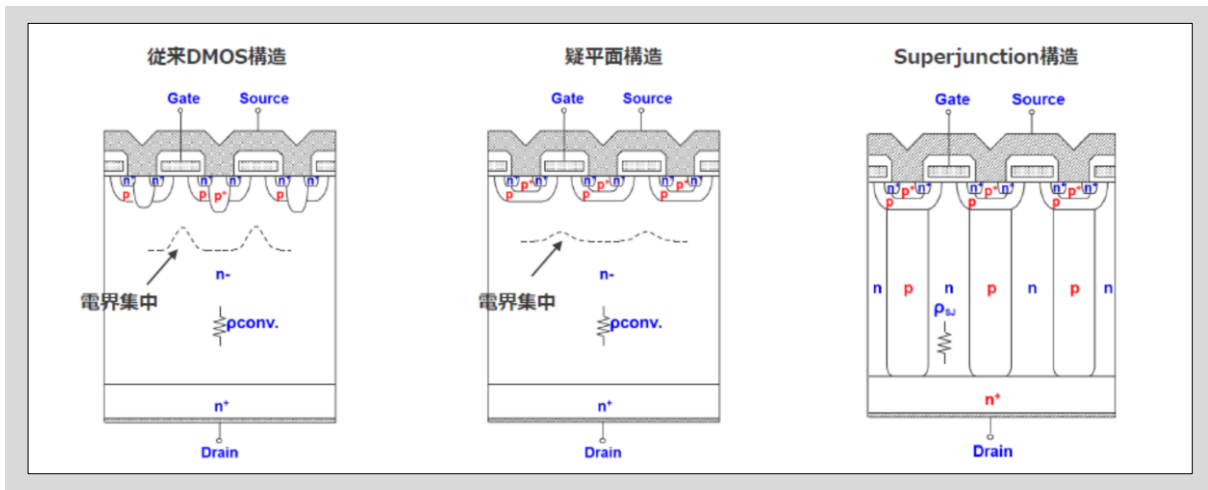


図1-2.デバイス構造の変革

2. 富士パワーMOSFETの名称体系

Super J MOS[®] はS2シリーズから名称体系を変更しています。従来品から電流定格を示す箇所が電圧定格に、電圧定格を示す箇所がオン抵抗を示すようになりました。S2シリーズの名称体系を図1-3に従来品のS1シリーズとSuper FAP-E3、Super FAP-Gの名称体系を図1-4に示します。

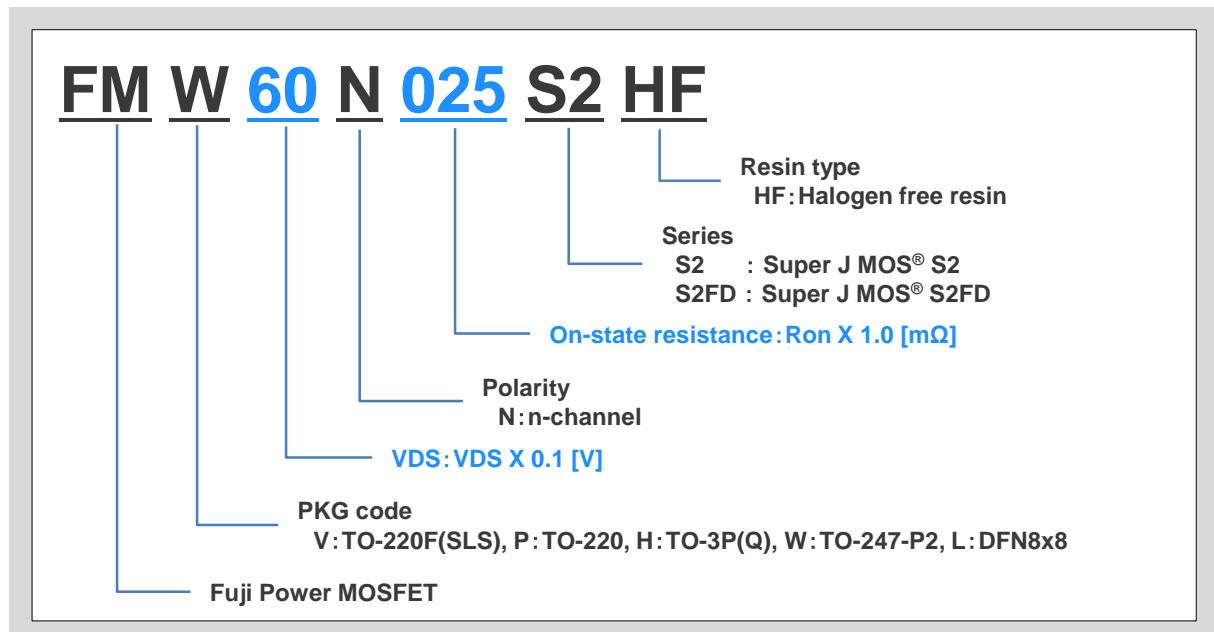


図1-3. Super J MOS[®] S2シリーズの名称体系

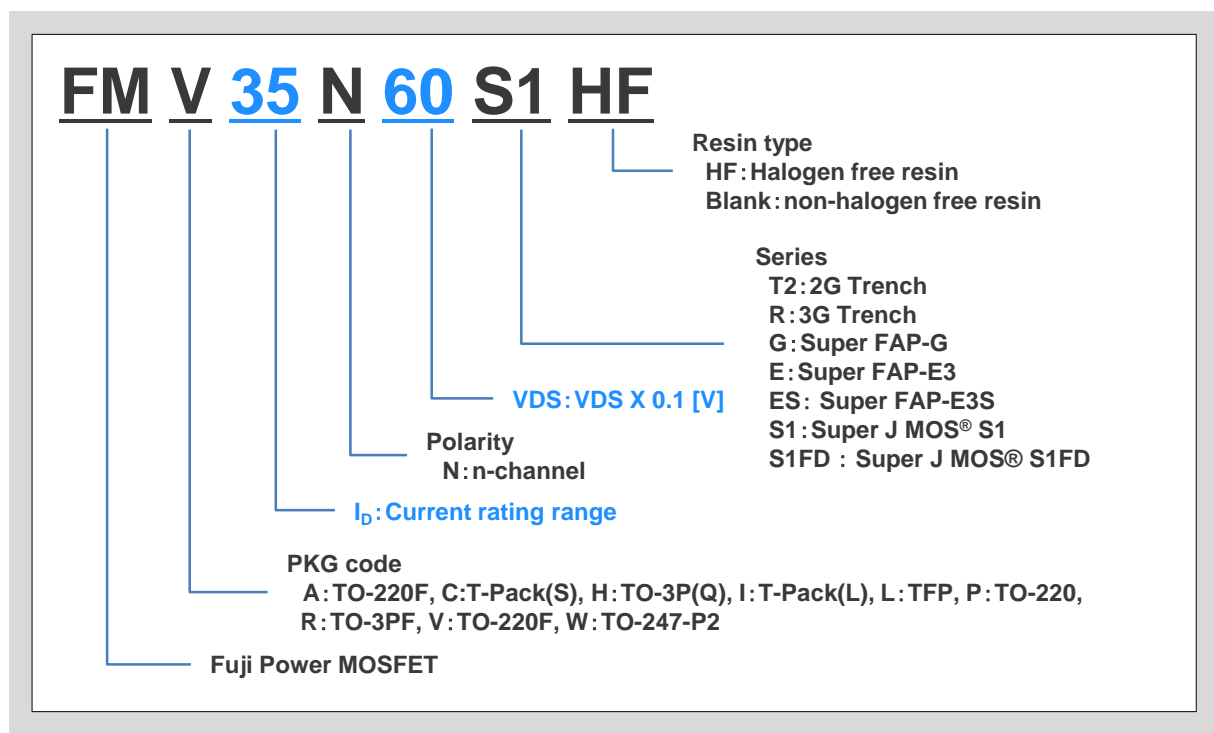


図1-4. 従来シリーズの名称体系

2章 データシートの用語と定義

1. 絶対最大定格	2-2
2. 電気的特性	2-4
3. 熱抵抗	2-10

富士電機パワーMOSFETのデータシートには大きく分けて絶対最大定格、電気的特性、熱抵抗が記載されています。ここではデータシートに記載のある用語と特性について説明します。なおシリーズによっては記載が追加されている、または変更となっている項目もあります。そのため参考例として掲載しているFMW60N025S2HFのデータシートには記載されていない用語もあります。

1. 絶対最大定格 (Absolute Maximum Ratings)

絶対最大定格はパワーMOSFETを安全にご使用いただくために必ず守っていただく数値です。また、絶対最大定格の項目に示されている数値は、特に記載の無い限りケース温度 T_c が25°Cのときの数値です。実際に使用される温度環境でケース温度 T_c が25°Cと異なる場合には、温度ディレーティンググラフを参照の上、仕様範囲を超えないようにご使用頂く必要があります。参考としてFMW60N025S2HFのデータシートに記載の絶対最大定格を図2-1に示します。また表2-1に絶対最大定格に記載されている用語の定義、及び説明を示します。またアバランシェ電流 I_{AS} 、アバランシェエネルギー E_{AS} は図2-2に示すような所定の回路条件にて測定した数値となります。

■ Absolute Maximum Ratings at $T_c=25^\circ\text{C}$ (unless otherwise specified)				
Parameter	Symbol	Characteristics	Unit	Remarks
Drain-Source Voltage	V_{DS}	600	V	
	V_{DSX}	600	V	$V_{GS}=-30\text{V}$
Continuous Drain Current	I_D	95.5	A	$T_c=25^\circ\text{C}$ Note*1
		60.4	A	$T_c=100^\circ\text{C}$ Note*1
Pulsed Drain Current	I_{DP}	286.5	A	Note *1
Gate-Source Voltage	V_{GS}	± 30	V	
Non-Repetitive Maximum Avalanche Current	I_{AS}	8.5	A	Note *2
Non-Repetitive Maximum Avalanche Energy	E_{AS}	6074.3	mJ	Note *3
Maximum Drain-Source dV/dt	dV_{DS}/dt	50	V/ns	$V_{GS}\leq 600\text{V}$
Continuous Diode Forward Current	I_{SD}	95.5	A	$T_c=25^\circ\text{C}$ Note*1
		60.4	A	$T_c=100^\circ\text{C}$ Note*1
Pulsed Diode Forward Current	I_{SDP}	286.5	A	Note *1
Peak Diode Recovery dV/dt	dV/dt	30	V/ns	Note *4
Peak Diode Recovery -di/dt	$-di/dt$	100	A/ μs	Note *5
Maximum Power Dissipation	P_D	2.50	W	$T_s=25^\circ\text{C}$
		340		$T_c=25^\circ\text{C}$
Operating and Storage Temperature range	T_{ch}	150	$^\circ\text{C}$	
	T_{stg}	-55 to +150	$^\circ\text{C}$	

Note *1 : Limited by maximum channel temperature.
 Note *2 : $T_{ch}\leq 150^\circ\text{C}$, See Fig.1 and Fig.2
 Note *3 : Starting $T_{ch}=25^\circ\text{C}$, $I_{AS}=5.1\text{A}$, $L=428\text{mH}$, $V_{DS}=60\text{V}$, $R_G=50\Omega$, See Fig.1 and Fig.2
 E_{AS} limited by maximum channel temperature and avalanche current.
 Note *4 : $I_{SD}\leq 95.5\text{A}$, $-di/dt\leq 100\text{A}/\mu\text{s}$, $V_{DS\text{ peak}}\leq 600\text{V}$, $T_{ch}\leq 150^\circ\text{C}$.
 Note *5 : $I_{SD}\leq 95.5\text{A}$, $dV/dt\leq 30\text{V}/\text{ns}$, $V_{DS\text{ peak}}\leq 600\text{V}$, $T_{ch}\leq 150^\circ\text{C}$.

図2-1. FMW60N025S2HFデータシート抜粋(絶対最大定格)

表2-1. 絶対最大定格用語説明

用語	記号	定義 及び 説明
Drain-Source Voltage ドレイン-ソース間電圧	V_{DS}	ゲート-ソース間を短絡した状態で、ドレイン-ソース間に許容される電圧
	V_{DSX}	ゲートを逆バイアスした状態でドレイン-ソース間に許容される電圧
Continuous Drain Current ドレイン電流	I_D	ドレイン端子に許容される直流電流 最大許容損失と最大オン抵抗($T_{ch}=150^{\circ}C$)から決まる値で寄生ダイオードの順電流定格も含む。
Pulsed Drain Current パルスドレイン電流	I_{DP}	パルス動作時に許容されるドレインピーク電流
Gate-Source Voltage ゲート-ソース間電圧	V_{GS}	ゲート-ソース間に許容される電圧
Maximum Avalanche Current 最大許容アバランシェ電流	I_{AS}	アバランシェ降伏時に許容される非繰り返し電流
	I_{AR}	アバランシェ降伏時に許容される繰り返し電流
Maximum Avalanche Energy 最大許容アバランシェエネルギー	E_{AS}	非繰り返し時の最大許容アバランシェエネルギー
	E_{AR}	繰り返し時の最大許容アバランシェエネルギー
Maximum Drain-Source dv/dt 最大許容ターンオフ電圧変化率	dv_{DS}/dt	ドレイン電流遮断時(ターンオフ時)の最大許容ドレイン-ソース間電圧変化率
Continuous Diode Forward Current 寄生ダイオード順方向電流	I_{DR} I_{SD}	寄生ダイオードの順方向に許容される直流電流
	I_{DRP} I_{SDP}	パルス動作時に寄生ダイオードの順方向に許容されるピーク電流
Peak Diode Recovery dv/dt 最大許容リカバリー電圧変化率	dv/dt	寄生ダイオードの逆回復動作中における最大許容ドレイン-ソース間電圧変化率
Peak Diode Recovery - di/dt 最大許容リカバリー電流変化率	$-di_{DR}/dt$ $-di/dt$	寄生ダイオードの逆回復動作中における最大許容ドレイン-ソース間電流変化率
Maximum Power Dissipation 最大許容損失	P_{tot} P_D	MOSFETに許容される損失 $T_a=25^{\circ}C$; 自立使用状態 / $T_c=25^{\circ}C$; 無限大放熱状態
Operating Temperature range チャネル温度	T_{ch}	MOSFETの動作が許容されるチャネル温度
Storage Temperature range 保管温度	T_{stg}	MOSFETに電氣的負荷をかけずに保管および輸送できる温度範囲
Isolation voltage 絶縁耐圧	V_{ISO}	パッケージ裏面の絶縁耐圧。フルモールドパッケージのみ適用。

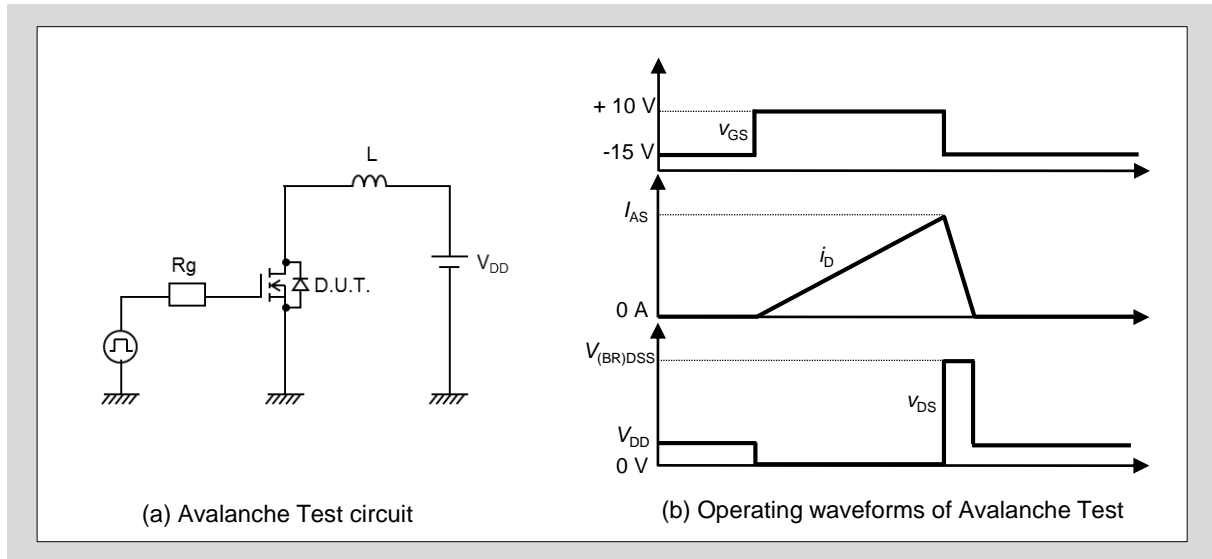


図2-2. アバランシェ電流、エネルギー測定回路

2. 電気的特性 (Electrical Characteristics)

データシートの電気的特性は静特性、動特性、寄生ダイオードの3つの項目があります。静特性はデータシート記載の条件のもと試験した数値でMOSFETがONしている、もしくはOFFしている安定した状態での数値が記載されています。動特性はMOSFETがONからOFFするとき、またはOFFからONするときのスイッチング特性の数値が記載されています。寄生ダイオードは寄生ダイオードの順方向電圧、逆回復特性の数値が記載されています。ここでは静特性、動特性、寄生ダイオードについてそれぞれ説明します。

静特性(Static Ratings)

参考としてFMW60N025S2HFのデータシートに記載の静特性を図2-3に示します。また表2-2に静特性に記載されている用語の定義、及び説明を示します。

■ Electrical Characteristics at $T_c=25^\circ\text{C}$ (unless otherwise specified)						
• Static Ratings						
Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
Drain-Source Breakdown Voltage	BV_{DSS}	$V_{GS}=0\text{V}$ $I_D=250\mu\text{A}$	600	-	-	V
Gate Threshold Voltage	$V_{GS(th)}$	$V_{DS}=V_{GS}$ $I_D=17.5\text{mA}$	3.0	4.0	5.0	V
Zero Gate Voltage Drain Current	I_{DSS}	$V_{DS}=600\text{V}$ $V_{GS}=0\text{V}$ $T_{ch}=25^\circ\text{C}$	-	-	25	μA
		$V_{DS}=480\text{V}$ $V_{GS}=0\text{V}$ $T_{ch}=125^\circ\text{C}$	-	150	-	
Gate-Source Leakage Current	I_{DSS}	$V_{DS}=0\text{V}$ $V_{GS}=\pm 30\text{V}$	-	10	100	nA
Drain-Source On-State Resistance	$R_{DS(on)}$	$V_{GS}=10\text{V}$ $I_D=47.8\text{A}$	-	0.0235	0.0270	Ω
Gate resistance	R_G	$f=1\text{MHz}$, open drain	-	2.7	-	Ω

図2-3. FMW60N025S2HFデータシート抜粋(静特性)

表2-2. 電気的特性(静特性)用語説明

用語	記号	定義 及び 説明
Drain-Source Breakdown Voltage ドレイン-ソース間降伏電圧	$V_{(BR)DSS}$ BV_{DSS}	ゲート-ソース間を短絡した状態で、指定のドレイン電流を与えて測定したドレイン-ソース間の電圧。
Gate Threshold Voltage ゲートしきい値電圧	$V_{GS(th)}$	指定のドレイン電流、指定のドレイン-ソース間電圧を与えて測定したゲート-ソース間電圧。
Zero Gate Voltage Drain Current ドレイン遮断電流	I_{DSS}	ゲート-ソース間を短絡した状態で、指定のドレイン-ソース間電圧を与えて測定したドレイン電流。
Gate-Source Leakage Current ゲート漏れ電流	I_{GSS}	指定のゲート-ソース間電圧を与え、ドレイン-ソース間を短絡した状態で測定したゲート電流。
Drain-Source On-State Resistance オン抵抗	$R_{DS(on)}$ $r_{DS(on)}$	指定のゲート-ソース電圧および指定のドレイン電流を与えて測定したドレイン-ソース間の抵抗。
Gate resistance ゲート抵抗	r_g	MOSFETに内蔵しているゲート抵抗。

動特性(Dynamic Ratings)

参考としてFMW60N025S2HFのデータシートに記載の動特性を図2-4に示します。動特性の説明については測定内容ごとに分けています。

• Dynamic Ratings						
Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
Forward Transconductance	g_{fs}	$V_{DS}=25V$ $I_D=47.8A$	45	90	-	S
Input Capacitance	C_{iss}	$V_{DS}=400V$	-	5500	-	pF
Output Capacitance	C_{oss}	$V_{GS}=0V$	-	193	-	
Reverse Transfer Capacitance	C_{rss}	$f=250kHz$	-	21.2	-	
Effective output capacitance, energy related (Note *6)	C_{oter}	$V_{DS}=0...400V$ $V_{GS}=0V$	-	445	-	pF
Effective output capacitance, time related (Note *7)	C_{otr}	$V_{DS}=0...400V$ $V_{GS}=0V$ $I_D=constant$	-	1950	-	
Turn-On Time	$t_{d(on)}$ t_r	$V_{DS}=400V, V_{GS}=10V$ $I_D=47.8A,$ $R_G=5.6\Omega$	-	38 170	-	ns
Turn-Off Time	$t_{d(off)}$ t_f	See Fig.3 and Fig.4	-	243 25	-	
Total Gate Charge	Q_G		-	256	-	nC
Gate-Source Charge	Q_{GS}	$V_{DS}=400V, V_{GS}=10V$	-	79	-	
Gate-Drain Charge	Q_{GD}	$I_D=95.5A$ See Fig.5	-	130	-	
Drain-Source crossover Charge	Q_{SW}		-	54	-	

Note *6 : C_{oter} is a fixed capacitance that gives the same stored energy as C_{oss} while V_{DS} is rising from 0 to 400V.
 Note *7 : C_{otr} is a fixed capacitance that gives the same charging times as C_{oss} while V_{DS} is rising from 0 to 400V.

図2-4. FMW60N025S2HFデータシート抜粋(動特性)

容量特性

表2-3では動特性に記載されている容量特性の用語の定義、及び説明を示します。なお容量特性のうち、 $C_{o(er)}$ と $C_{o(tr)}$ は測定値から換算した数値となっています。

表2-3. 動特性(容量特性)に関する用語説明

用語	記号	定義 及び 説明
Forward Transconductance 順伝達コンダクタンス	g_{fs}	ゲートソース間電圧変化に対するドレイン電流の変化率。電流の流しやすさを表し、バイポーラトランジスタの h_{FE} に相当。
Input Capacitance 入力容量	C_{iss}	ゲートソース間の寄生容量とゲートドレイン間の寄生容量の和。 $C_{iss} \approx C_{gs} + C_{gd}$
Output Capacitance 出力容量	C_{oss}	ゲートソース間の寄生容量とゲートドレイン間の寄生容量の和。 $C_{oss} \approx C_{ds} + C_{gd}$
Reverse Transfer Capacitance 帰還容量	C_{rss}	ゲートドレイン間の寄生容量。スイッチング速度に大きく影響する。 $C_{rss} \approx C_{gd}$
Effective output capacitance, energy related エネルギー換算実効出力容量	$C_{o(er)}$	C_{oss} に対して V_{DS} が0Vから400Vまで定電流充電したエネルギーから換算した実効出力容量。
Effective output capacitance, time related 時間換算実効容量	$C_{o(tr)}$	C_{oss} に対して V_{DS} が0Vから400Vまで定電流充電した時間から換算した実効出力容量。

スイッチング、ゲート電荷特性

表2-4では動特性に記載されているスイッチング、ゲート電荷特性の用語の定義、及び説明を示します。
 なおスイッチング特性の試験回路、測定波形、及びゲート電荷の測定波形を図2-5に示します。なおターンオン時間、ターンオフ時間の定義がドレイン-ソース間電圧からドレイン電流へ変更しています。表2-5に変更前の定義を合わせて記載します。

表2-4. 動特性(スイッチング特性)に関する用語説明

用語	記号	定義 及び 説明
Turn-On Time ターンオン時間	$t_{d(on)}$	ゲート-ソース間電圧が設定電圧の10%に達してから、ドレイン電流が設定電流の10%に達するまでの間を測定したゲート-ソース間電圧に対するドレイン電流の遅れ時間。
	t_r	ドレイン電流が設定電流の10%から90%に上昇するまでの間を測定したドレイン電流が上昇するのに必要な時間。
Turn-Off Time ターンオフ時間	$t_{d(off)}$	ゲート-ソース間電圧が設定電圧の90%まで下降してから、ドレイン電流が設定電流の90%に下降するまでの間を測定したゲート-ソース間電圧に対するドレイン電流の遅れ時間。
	t_f	ドレイン電流が設定電流の90%から10%に下降するまでの間を測定したドレイン電流が下降するのに必要な時間。
Total Gate Charge トータルゲート電荷量	Q_G	ゲート電圧が0Vから指定の電圧値に達するまでの総電荷量で、MOSFETをオンさせるのに必要なゲート電荷量。
Gate-Source Charge ゲート-ソース間電荷量	Q_{GS}	ゲート電圧が閾値まで上昇し、ドレイン電流が流れ始めるまでの電荷量。
Gate-Drain Charge ゲート-ドレイン間電荷量	Q_{GD}	ミラー効果期間の電荷量。
Drain-Source crossover Charge ゲート-ドレイン間 クロス期間電荷量	Q_{SW}	ゲート電圧が閾値に達した後、ミラー効果が現れるまでの電荷量。

表2-5. 旧ターンオン、ターンオフ時間の定義

用語	記号	定義 及び 説明
Turn-On Time ターンオン時間	$t_{d(on)}$	ゲート-ソース間電圧が設定電圧の10%に達してから、ドレイン-ソース間電圧が設定電圧の90%に下降するまでの間を測定したゲート-ソース間電圧に対するドレイン-ソース間電圧の遅れ時間。
	t_r	ドレイン-ソース間電圧が設定電圧の90%から10%に下降するまでの間を測定したドレイン-ソース間電圧の下降に必要な時間。
Turn-Off Time ターンオフ時間	$t_{d(off)}$	ゲート-ソース間電圧が設定電圧の90%まで下降してから、ドレイン-ソース間電圧が設定電圧の10%まで上昇するまでの間を測定したゲート-ソース間電圧に対するドレイン-ソース間電圧の遅れ時間。
	t_f	ドレイン-ソース間電圧が設定電圧の10%から90%に上昇するまでの間を測定したドレイン-ソース間電圧の上昇に必要な時間。

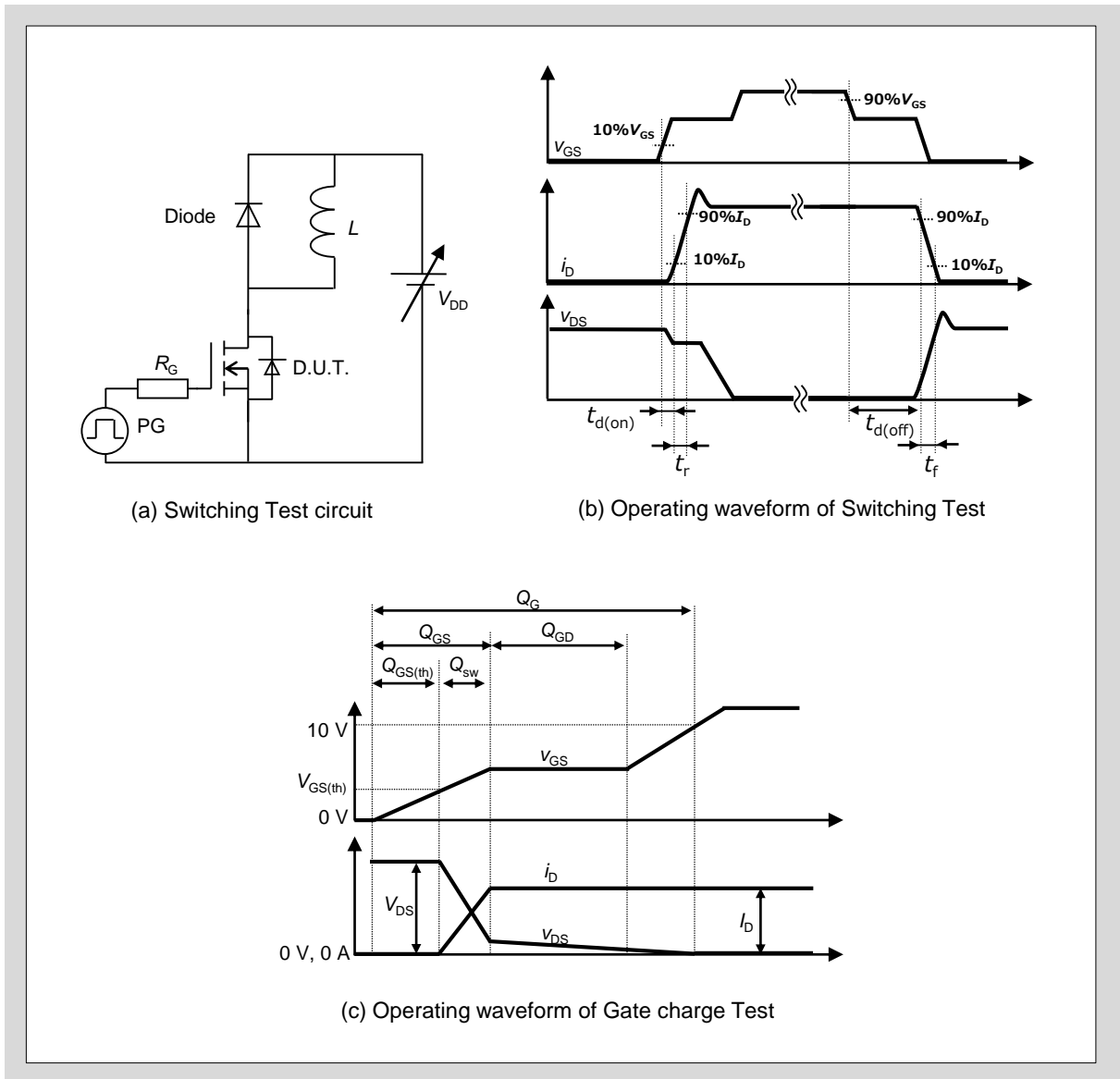


図2-5.スイッチング特性の試験回路、測定波形、及びゲート電荷の測定波形

寄生ダイオード特性(Reverse Diode)

参考としてFMW60N025S2HFのデータシートに記載の寄生ダイオード特性を図2-6に示します。また表2-6に寄生ダイオード特性に記載されている用語の定義、及び説明を示します。なお寄生ダイオード特性の試験回路、測定波形を図2-7に示します。

• Reverse Diode						
Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
Diode Forward On-Voltage	V_{SD}	$I_{SD}=95.5A, V_{GS}=0V$ $T_{ch}=25^{\circ}C$	-	0.95	1.35	V
Reverse Recovery Time	t_{rr}	$V_{DD}=400V, I_{SD}=95.5A$ $-di/dt=100A/\mu s$ $T_{ch}=25^{\circ}C$ See Fig.6 and Fig.7	-	260	-	ns
Reverse Recovery Charge	Q_{rr}		-	2.9	-	μC
Peak Reverse Recovery Current	I_{rp}		-	22	-	A

図2-6. FMW60N025S2HFデータシート抜粋(寄生ダイオード特性)

表2-6. 電気的特性(寄生ダイオード)用語説明

用語	記号	定義 及び 説明
Diode Forward On-Voltage ダイオード順電圧	V_{DSR} V_{SD}	寄生ダイオードに順電流 I_F を流したときのソースドレイン間電圧 ゲート端子に順バイアス電圧を印加した時は、寄生ダイオードとMOSFETに電流が流れるため、この値は小さくなる。(同期整流)
Reverse Recovery Time 逆回復時間	t_{rr}	寄生ダイオードの逆回復ピーク電流 I_{rp} の10%になるまでの時間。
Reverse Recovery Charge 逆回復電荷量	Q_{rr}	寄生ダイオードの逆回復ピーク電流 I_{rp} が10%になるまでの期間の電荷量。
Peak Reverse Recovery Current 逆回復ピーク電流	I_{rrm} I_{rp}	寄生ダイオード逆回復電流のピーク電流。

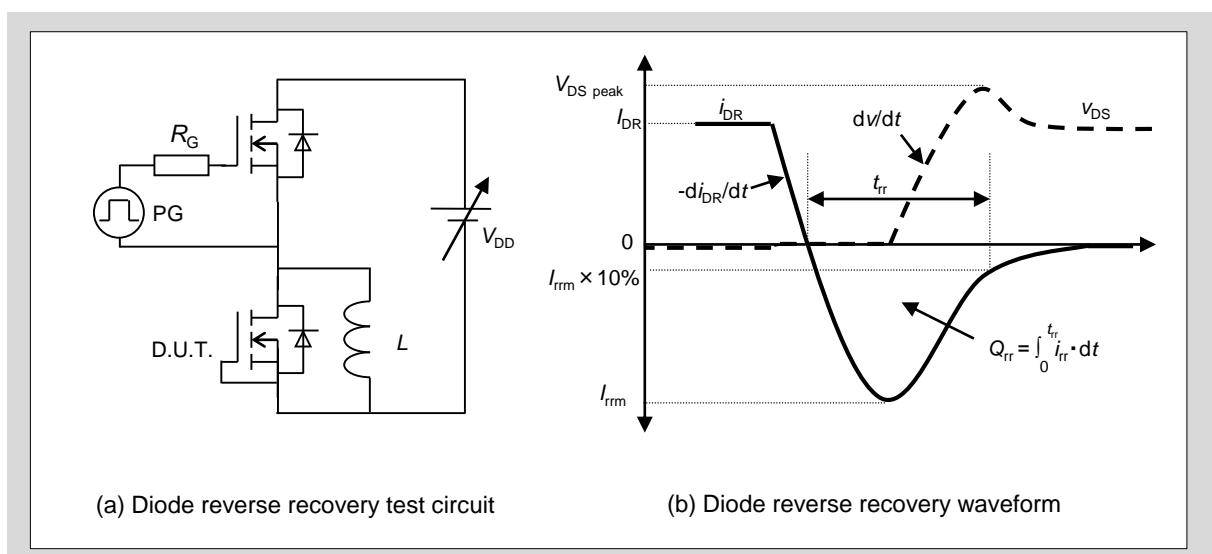


図2-7. 寄生ダイオード特性の試験回路、測定波形

3. 熱抵抗 (Thermal Resistance)

図2-8にFMW60N025S2HFのデータシートに記載の熱抵抗を参考例として示します。また表2-7に熱抵抗に記載されている用語の説明を示します。

■ Thermal Resistance					
Parameter	Symbol	Min.	Typ.	Max.	Unit
Channel to Case	$R_{th(ch-c)}$	-	-	0.368	°C/W
Channel to Ambient	$R_{th(ch-a)}$	-	-	50	°C/W

図2-8. FMW60N025S2HFデータシート抜粋(熱抵抗)

表2-7. 電気的特性(熱抵抗)用語説明

用語	記号	定義 及び 説明
Thermal Resistance, Channel – Case 熱抵抗(チャンネル–ケース間)	$R_{th(ch-c)}$	チャンネルから素子のケース表面(ヒートシンク取り付け面)までの熱抵抗。パッケージとチップサイズにより決まる特性で、チップサイズが大きいほど熱抵抗は小さくなる。ヒートシンク取り付け時の熱抵抗計算を行う場合は、こちらの値を用いる。
Thermal Resistance, Channel – Ambient 熱抵抗(チャンネル–周囲間)	$R_{th(ch-a)}$	チャンネルから周囲までの熱抵抗。ヒートシンクなどを取り付けない自立状態における、チップから温度上昇の影響を受けない周囲までの熱抵抗。パッケージにより一意の値となる特性で、SMDパッケージなどでは、規定の基板へ実装した場合の熱抵抗としている場合もある。

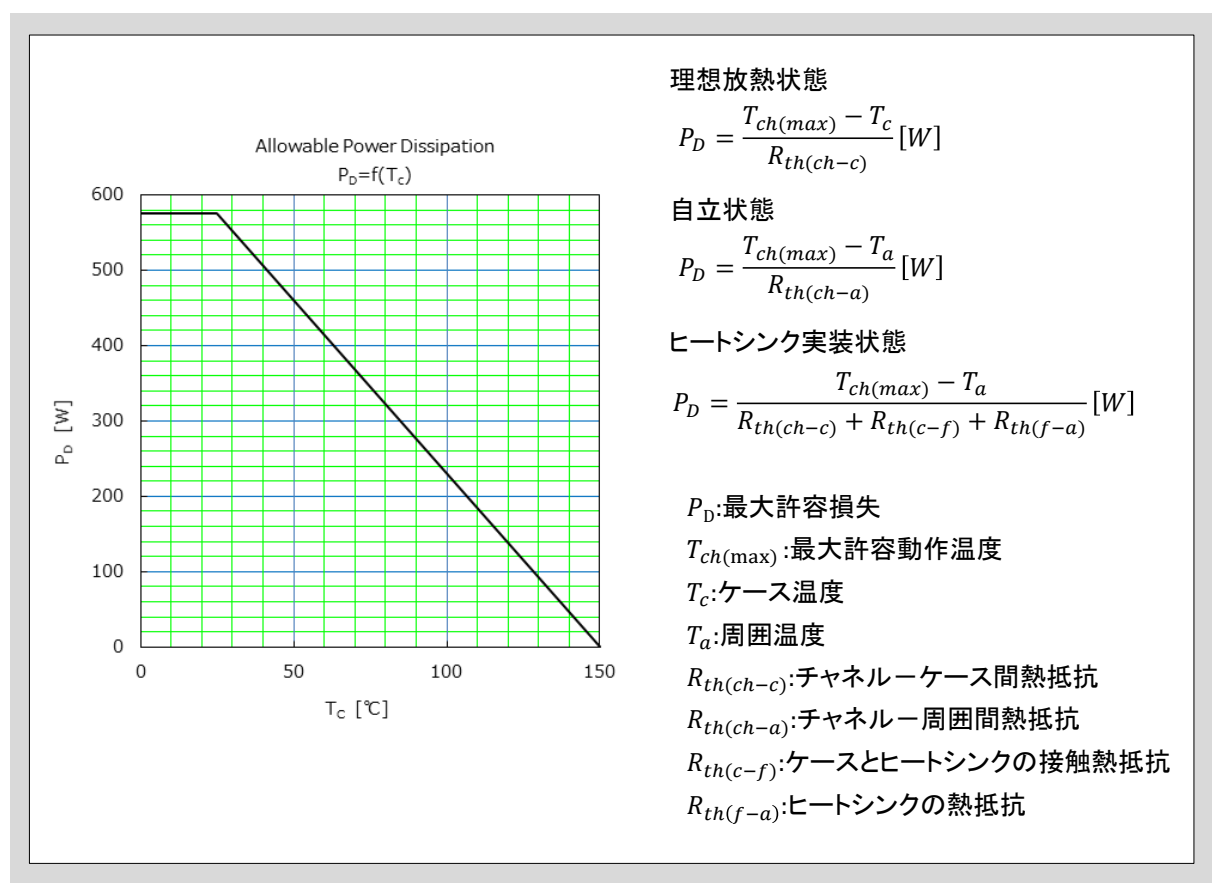
3章 デバイス特性と応用

1. 許容損失グラフ	3-2
2. 安全動作領域	3-3
3. 出力特性グラフ	3-5
4. ドレイン-ソース間オン抵抗グラフ	3-5
5. ドレイン-ソース間降伏電圧	3-6
6. オン抵抗グラフ	3-6
7. ゲート閾値電圧	3-7
8. 伝達特性グラフ	3-7
9. 順伝達コンダクタンス特性グラフ	3-7
10. 寄生ダイオード順方向特性グラフ	3-8
11. 容量特性	3-8
12. 出力容量損失エネルギー特性	3-9
13. スイッチング特性	3-10
14. ゲート電荷量	3-10
15. アバランシェエネルギー特性	3-11
16. 過渡熱抵抗特性	3-12

パワーMOSFETを安全にご使用いただくためには、データシートに記載のデバイス特性も回路設計に考慮しなくてはなりません。本章ではSuper J MOS®シリーズのFMW60N025S2HFのデータシートをもとに説明します。

1. 許容損失グラフ (Allowable Power Dissipation)

図3-1は、FMW60N025S2HFの許容損失 P_D とケース温度 T_c との関係を示したグラフです。ケース温度が高くなると許容損失が小さくなりますので、実際の設計においては、想定される最大ケース温度 T_c において許容損失 P_D を超えないようにすることが重要です。また、データシートの絶対最大定格に記載の許容損失は、素子が無限大放熱板に取り付けられた理想放熱状態におけるものです。ヒートシンク等を使用する場合など実使用状態に合わせて、許容損失 P_D を算出し直す必要があります。以下に、各状態における許容損失 P_D の算出例を示します。



2. 安全動作領域 (Safe Operating Area : SOA)

図3-2にFMW60N025S2HFの安全動作領域SOAを示します。パワーMOSFETの使用可否を判断するのに用いられる安全動作領域SOAは表3-1に示すように5つの領域に区分され、それぞれ異なる条件により制限されます。データシートに記載されているSOAグラフは通常、ケース温度 $T_c=25^\circ\text{C}$ 、Duty=0(単発)という理想状態で表現されており、実際に使用される動作条件に合わせてグラフをディレーティングする必要があります。図3-3にSOAのディレーティング例を示します。

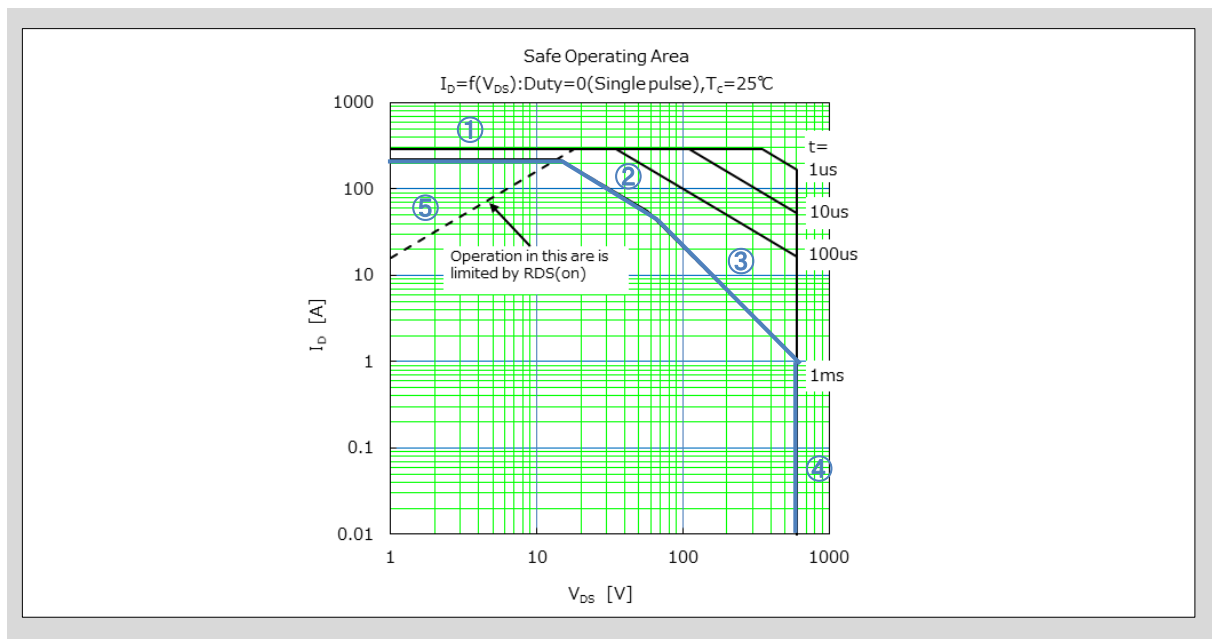


図3-2. FMW60N025S2HFのSOAグラフ

表3-1. 安全動作領域SOAの領域と条件

領域	条件
①	電流制限ラインにより制限される領域。 電流制限ラインにはオン抵抗によって制限される場合と、MOSFETパッケージ内部配線の溶断特性により制限される場合があります。
②	電力損失ラインによって制限される領域(1)。 最大許容損失 P_{tot} により制限されます。
③	電力損失ラインによって制限される領域(2)。 損失パルス幅 $t=1\text{ms}$ 以上において高電圧領域では局部電流集中現象により破壊耐量が低下し、バイポーラトランジスタにおける二次降伏のような現象が見られます。
④	ドレインソース間電圧 V_{DS} により制限される領域。
⑤	オン抵抗 $R_{DS(on)}$ により制限される領域。

SOAカーブをディレーティングする場合

使用するケース温度における許容損失を算出する

$$P_{tot} = \frac{T_{ch(max)} - T_c}{Z_{th(ch-c)}}$$

許容損失とオン抵抗から I_D の最大値を算出する

$$\text{領域① } I_D = \sqrt{\frac{P_{tot}}{R_{DS(on)}}} \text{ による制限}$$

ただしパッケージ内部のワイヤー溶断特性により、

$$I_D \leq I_{DP} \times \sqrt{\frac{T_{ch(max)} - T_c}{T_{ch(max)} - 25}}$$

オン抵抗制限カーブと上記 I_D 最大値の交点から

②が開始するように②、③を下に平行移動する。

$$\text{領域② } I_D = \frac{P_{tot}}{V_{DS}} \text{ による制限}$$

領域③ 型式ごとに異なる制限 ($t \geq 1\text{ms}$ の場合)

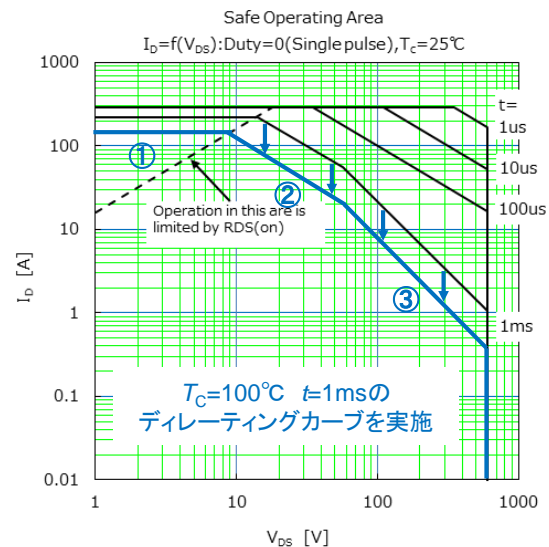
$T_{ch(max)}$: 最大チャネル温度 (150°C)

T_c : ケース温度

$Z_{th(ch-c)}$: チャネル-ケース間熱抵抗、過渡熱抵抗カーブより
所要の損失パルスでの熱抵抗を読み取った値

※ $D \neq 0$ の繰り返しパルスでディレーティングをする場合は過渡熱抵抗を $D \neq 0$ の値を使用します。

$D \neq 0$ の過渡熱抵抗値の求め方は16.過渡熱抵抗特性を参照ください。



$$P_{tot}(T_c = 100^\circ\text{C}) = \frac{150 - 100}{0.04} = 1,250 [\text{W}]$$

$$\text{領域① } I_{DP}(T_c = 100^\circ\text{C}) = \sqrt{\frac{1,250}{0.062}} = 142 [\text{A}]$$

$$V_{DS} = \frac{1,250}{142} = 9 [\text{V}]$$

領域②、③ $V_{DS} = 9[\text{V}]$ と $I_D = 142[\text{A}]$ を交点にして平行移動
0.04[°C/W]: 過渡熱抵抗グラフ $t = 1\text{ms}$ 時の読み取り値

0.062[Ω]: オン抵抗グラフ $T_{ch} = 150^\circ\text{C}$, max時の読み取り値

図3-3. FMW60N025S2HFのSOAグラフ。ケース温度によるディレーティング

3. 出力特性グラフ (Typical Output Characteristics)

図3-4にFMW60N025S2HFの出力特性グラフを示します。このグラフは V_{DS} をパラメータとして V_{GS} を条件として I_D をプロットしたグラフです。チャンネル温度が $T_{ch}=25^\circ\text{C}$ 、 $T_{ch}=150^\circ\text{C}$ の2条件が載せてあります。

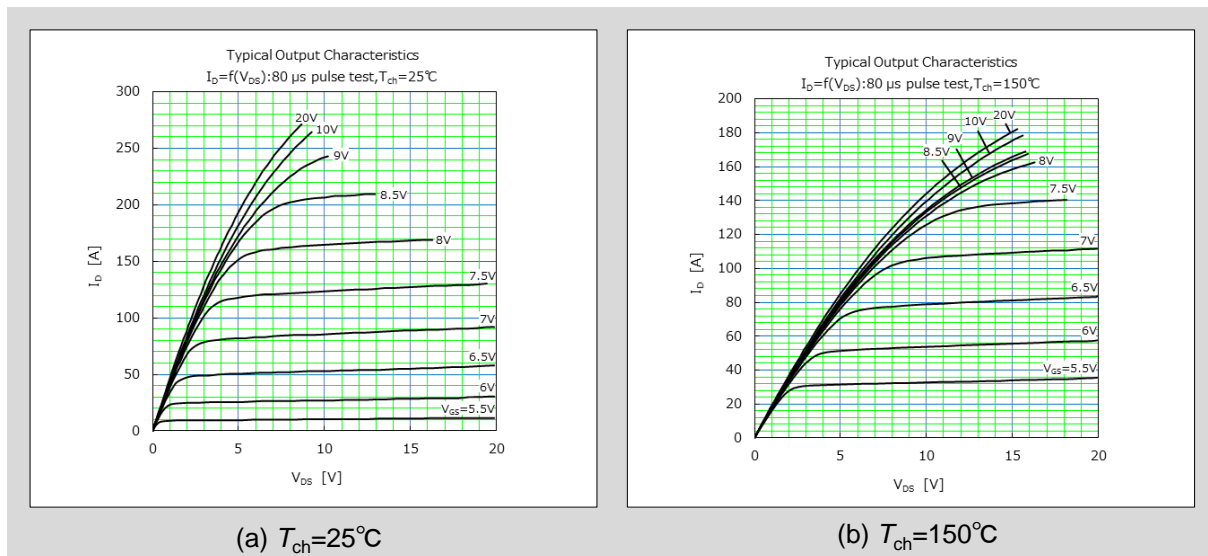


図3-4. FMW60N025S2HFの出力特性グラフ

4. ドレイン-ソース間オン抵抗グラフ (Typical Drain-Source on-state Resistance)

図3-5にFMW60N025S2HFのドレイン-ソース間オン抵抗グラフを示します。このグラフは出力特性グラフのパラメータを I_D とし、オン抵抗 $R_{DS(on)}$ の変化をプロットしたグラフです。

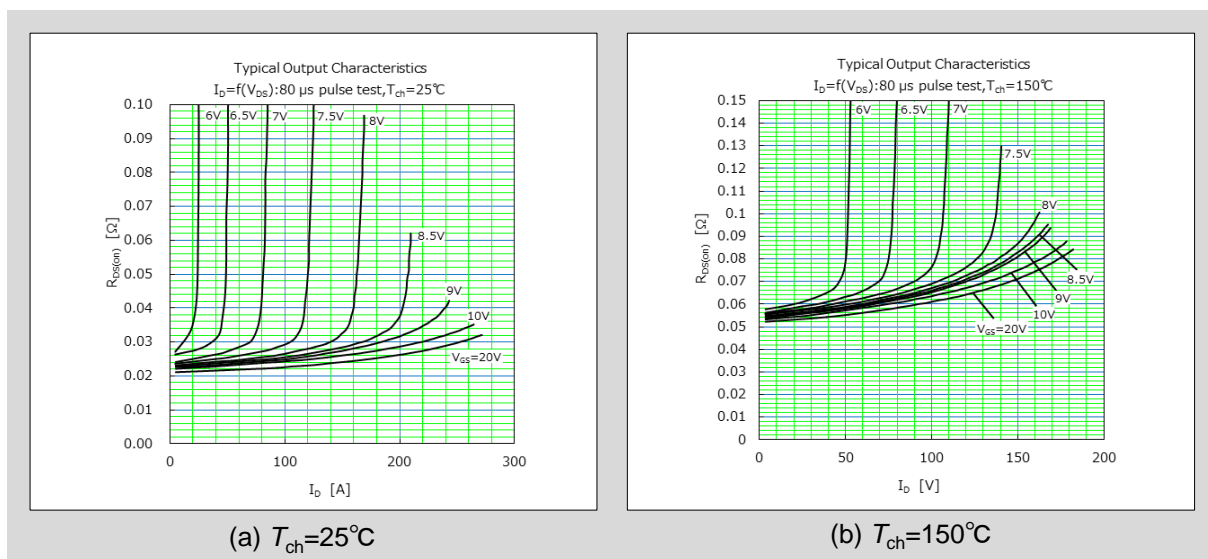


図3-5. FMW60N025S2HFのドレイン-ソース間オン抵抗グラフ

5. ドレインソース間降伏電圧 (Drain-Source Breakdown Voltage)

ドレインソース間降伏電圧 $V_{(BR)DSS}$ は正の温度特性を持つためチャンネル温度が高温になると $V_{(BR)DSS}$ は増加し、低温では $V_{(BR)DSS}$ が低下します。従って回路設計には $T_{ch}=25^{\circ}\text{C}$ における $V_{(BR)DSS}$ に対して80%以下での使用を推奨いたします。図3-6に、FMW60N025S2HFの $V_{(BR)DSS}$ 温度特性グラフを示します。

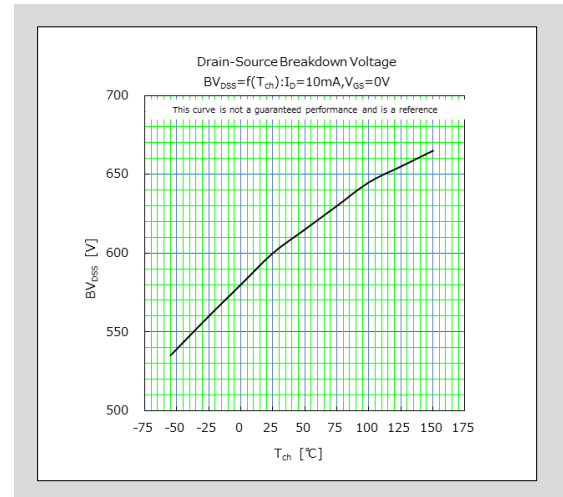


図3-6. FMW60N025S2HFの BV_{DSS} ($V_{(BR)DSS}$) 温度特性グラフ

6. オン抵抗グラフ (Drain-Source on-state Resistance)

図3-7にFMW60N025S2HFのオン抵抗 $R_{DS(on)}$ の温度特性グラフを示します。オン抵抗はオン損失を決める最も重要な特性です。オン抵抗は型式により異なる正の温度特性をもっており、高温になるほどオン抵抗が上昇します。よって、熱設計においては、最悪条件としてチャンネル温度 $T_{ch}=150^{\circ}\text{C}$ における $R_{DS(on)}$ のmax. 値を図3-7より読み取り使用します。

MOSFETは複数の素子を並列接続した際に、オン抵抗のバラツキによって抵抗値の低い素子に電流が集中して流れた場合でも、自己発熱によりチャンネル温度が上昇し、オン抵抗が増加することで電流を制限する方向に作用するため、熱暴走に至ることなく各素子に流れる電流のバランスが維持されます。

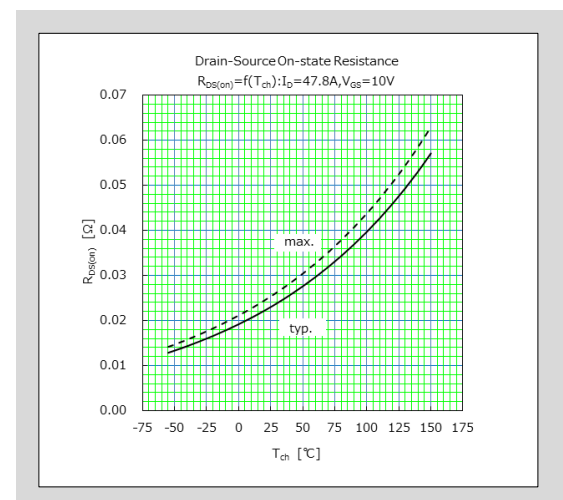


図3-7. FMW60N025S2HFのオン抵抗グラフ

7. ゲート閾値電圧 (Gate Threshold Voltage vs. T_{ch})

MOSFET が電流を流し始めるゲート-ソース間電圧 V_{GS} です。図3-8にゲート閾値電圧 $V_{GS(th)}$ の温度特性グラフを示します。ゲート閾値電圧は、型式により異なる負の温度特性を持ちます。低温下ではゲート閾値電圧が上昇するためゲートドライブ電圧が保たれるように、高温下ではゲート閾値電圧が低下するため、外部ノイズ等により誤動作しないようにドライブ回路を設計する必要があります。

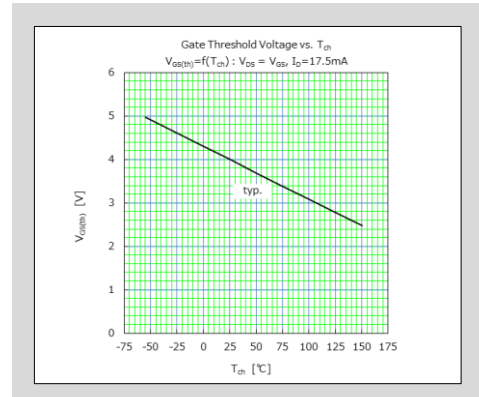


図3-8. FMW60N025S2HFのゲート閾値電圧グラフ

8. 伝達特性グラフ (Typical Transfer Characteristic)

図3-9にMOSFETの伝達特性グラフを示します。ゲート閾値電圧が負の温度特性を持っているため、伝達特性も同様に低温化ではドレイン電流が流れにくくなります。ドライブ損失を抑えるためゲート電圧を低く設定しすぎると必要な出力が得られなくなります。

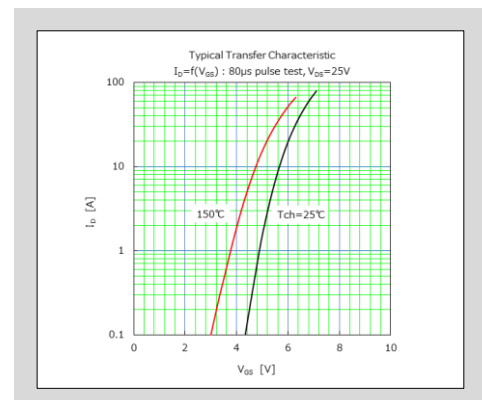


図3-9. FMW60N025S2HFの伝達特性グラフ

9. 順伝達コンダクタンス特性グラフ (Typical Transconductance)

図3-10に示す特性は、電流の流れやすさを示しており、バイポーラトランジスタの h_{FE} に相当します。指定のドレイン-ソース電圧を与えて $g_{fs} = \Delta I_D / \Delta V_{GS}$ をプロットしたグラフになります。

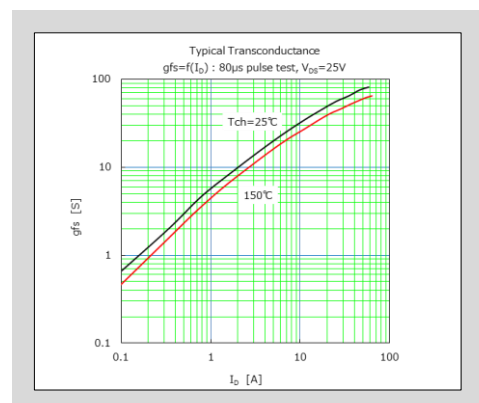


図3-10. FMW60N025S2HFの順伝達コンダクタンスグラフ

10. 寄生ダイオード順方向特性グラフ (Typical Forward Characteristics of Reverse Diode)

図3-11にFMW60N025S2HFの寄生ダイオードの順方向特性グラフを示します。シリコンダイオードと同様に負の温度特性であり、 T_{ch} が上昇すると順方向電圧が小さくなります。

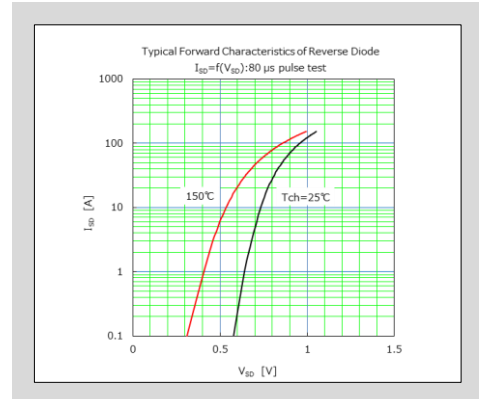


図3-11. FMW60N025S2HFの寄生ダイオード順方向特性グラフ

11. 容量特性 (Typical Capacitance)

図3-12にFMW60N025S2HFの容量特性グラフを示します。パワーMOSFETは図3-12のように入力容量 C_{iss} 、帰還容量 C_{rss} 、出力容量 C_{oss} の容量特性があります。各容量は以下の関係があります。図3-12の特性グラフから各容量はドレイン-ソース間電圧 V_{DS} によって変化することがわかります。

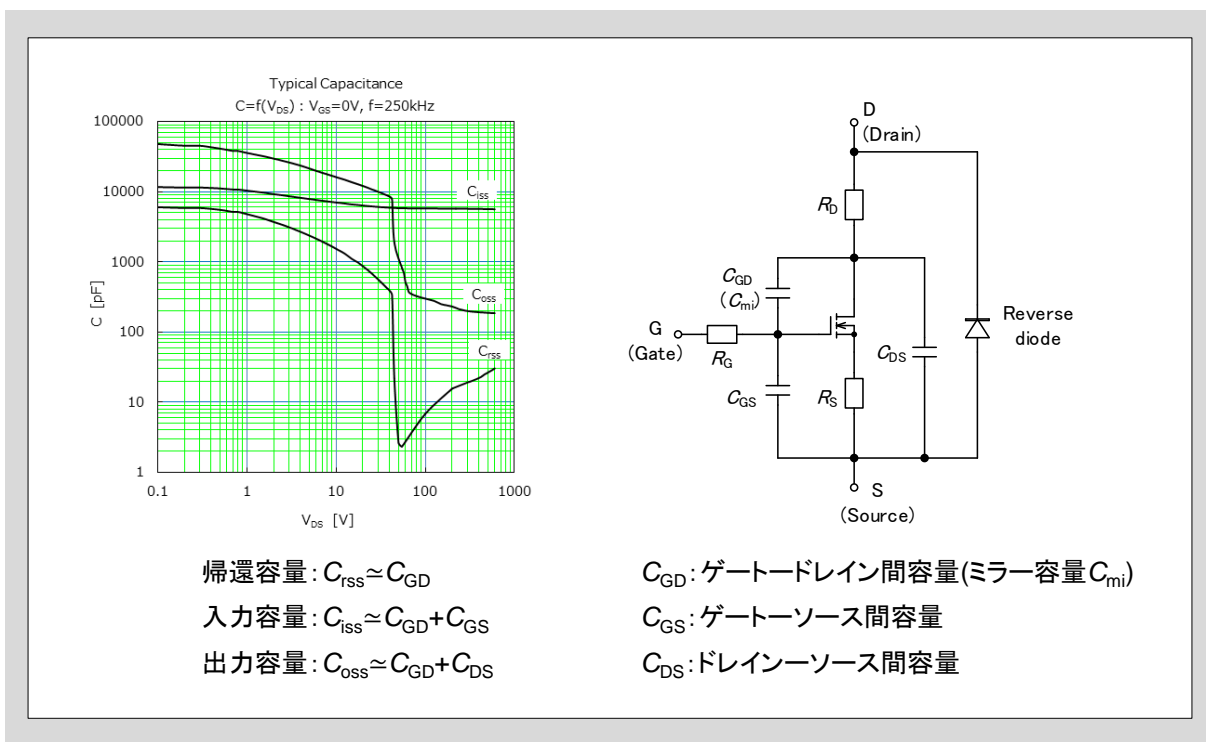


図3-12. FMW60N025S2HFの容量特性グラフ

12. 出力容量損失エネルギー特性 (Typical C_{OSS} stored energy)

出力容量損失エネルギー E_{OSS} は $V_{gs}=0V$ の状態、 V_{DS} が $0V$ から指定した V_{DS} に到達するまで充電するのに必要なエネルギーです。出力容量 C_{OSS} は電圧依存性の容量であるため、単調な曲線にはなりません。 E_{OSS} をエネルギー換算した実効出力容量が $C_{O(er)}$ であり、時間換算した実効出力容量が $C_{O(tr)}$ です。図3-13にFMW60N025S2HFの E_{OSS} 特性と実効出力容量の関係式を示します。

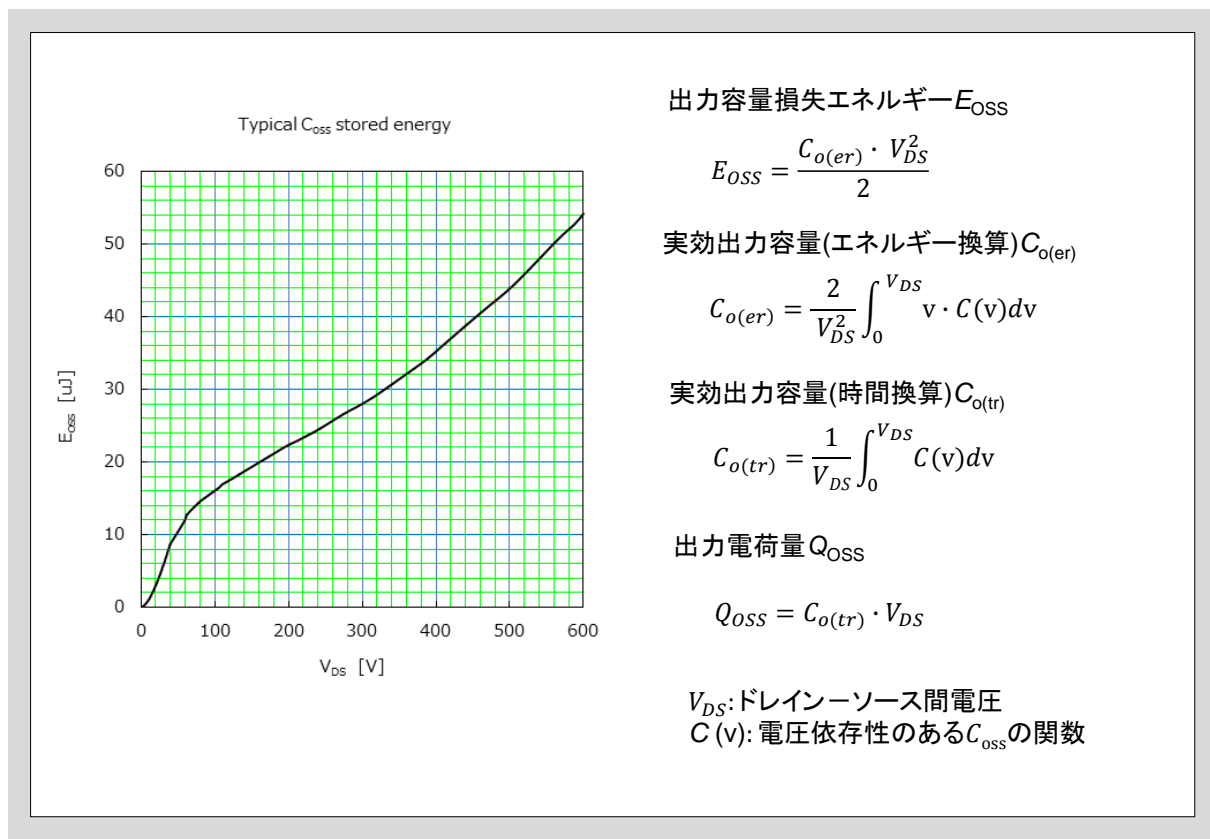


図3-13. FMW60N025S2HFの蓄積エネルギー E_{OSS} グラフ

13. スイッチング特性 (Typical Switching Characteristics vs. I_D)

図3-14にFMW60N025S2HFのスイッチング特性を示します。この測定は、所定のスイッチング試験回路にて測定した数値で、各数値は図3-14に示す定義があります。このスイッチング特性はスイッチング試験回路による特性であり、実際のスイッチング電源回路では異なる場合があるため、ご使用の際には実機での確認が必要です。

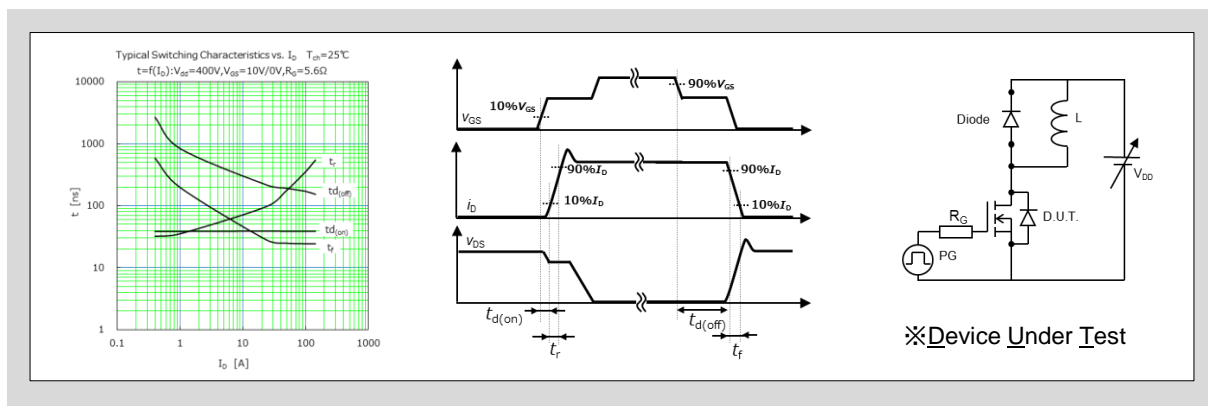
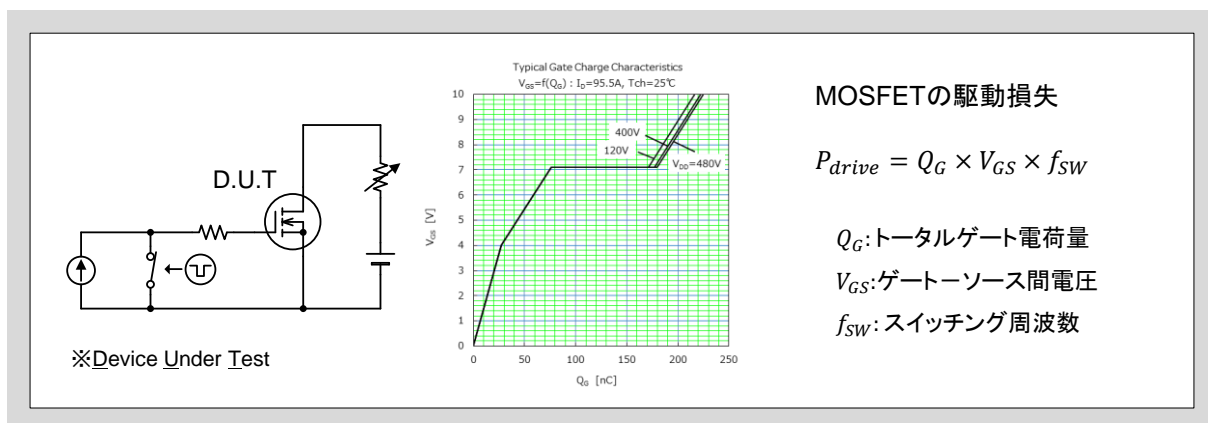


図3-14. FMW60N025S2HFのスイッチング特性グラフ

14. ゲート電荷量 (Typical Gate Charge Characteristics)

図3-15にゲート電荷量 Q_G の測定回路図、FMW60N025S2HFのゲート電荷 Q_G の特性を示します。この測定は、ゲートに定電流 (i_g) で充電を行い、その時のドレイン-ソース間 (V_{DS}) 及びゲート-ソース間電圧 (V_{GS}) の時間的変化を観察するものです。ゲートに定電流 (i_g) で充電する事により、時間に i_g を乗じるだけで時間軸を電荷量 Q_G として読み取ることができます。

ゲート電荷量はパワー-MOSFETを駆動するのに必要な電力を算出するのに使用します。この電力は、駆動回路の損失となります。図3-15に駆動損失の関係式を示します。



MOSFETの駆動損失

$$P_{drive} = Q_G \times V_{GS} \times f_{sw}$$

Q_G : トータルゲート電荷量

V_{GS} : ゲート-ソース間電圧

f_{sw} : スイッチング周波数

図3-15. ゲート電荷 Q_G の測定回路図とFMW60N025S2HFのゲート電荷 Q_G の特性グラフ

15. アバランシェエネルギー特性 (Maximum Avalanche Energy vs. starting T_{ch})

図3-16にFMW60N025S2HFのアバランシェエネルギー E_{AV} グラフを示します。このカーブは非繰り返し時のアバランシェ電流 I_{AS} が流れる直前のチャネル温度からアバランシェ電流が流れ、チャネル温度最大となるエネルギーです。従ってアバランシェ動作する場合は I_{AS} 、 T_{ch} がともに絶対最大定格以内で使用する必要があります。

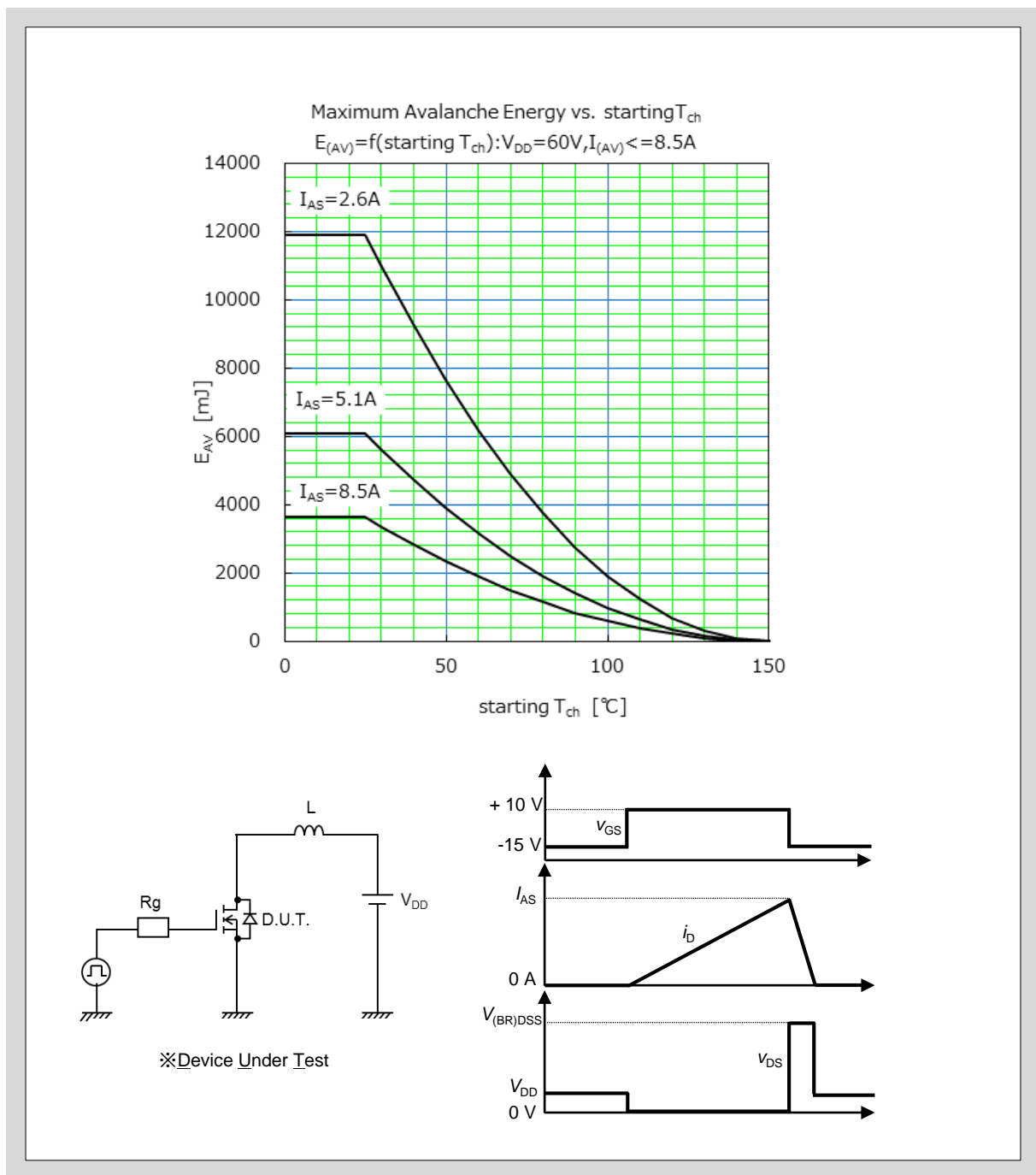


図3-16. FMW60N025S2HFのアバランシェエネルギー E_{AV} のグラフ

16. 過渡熱抵抗特性 (Transient Thermal Impedance)

カタログ、データシートに記載されている熱抵抗特性値は定常熱抵抗値であることが一般的です。スイッチング電源などパルス動作する機器の熱設計を行う場合、またパルスサージにおける温度上昇を算出する場合には、データシートに記載されている過渡熱抵抗特性グラフ(図3-17)から任意の時間における熱抵抗を読み取る、または計算した値を使用する必要があります。なお過渡熱抵抗特性グラフは $D=0$ のシングルパルスですが、繰り返しパルスの過渡熱抵抗も図3-18に示すように算出することができます。

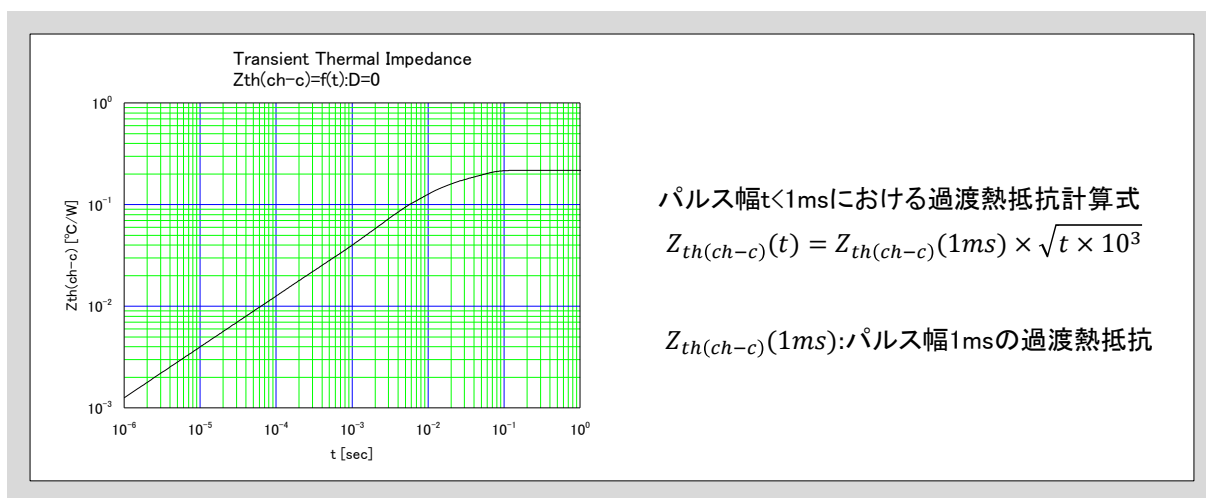
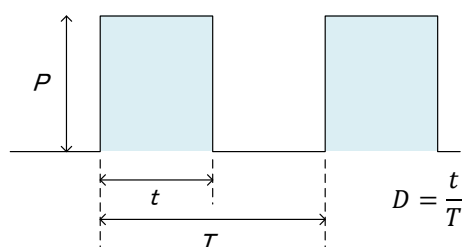


図3-17. FMW60N025S2HFの過渡熱抵抗特性グラフ

繰り返し損失パルス時の過渡熱抵抗の算出式

$$Z_{th(ch-c)(R)} = D \times R_{th(ch-c)} + (1 - D) \times Z_{th}(T + t) - Z_{th}(T) + Z_{th}(t)$$

データシート記載のシングルパルス($D=0$)の過渡熱抵抗カーブから上式の各過渡熱抵抗を読み取り、繰り返し損失パルス時の過渡熱抵抗を算出する。



- T : 損失パルス周期[s]
- t : 損失パルス幅[s]
- D : 損失パルスの時比率、 t/T
- $Z_{th(ch-c)(R)}$: 繰り返し損失パルス時の過渡熱抵抗
- $R_{th(ch-c)}$: 定常熱抵抗
- $Z_{th}(T + t)$: パルス幅 $T+t$ における過渡熱抵抗
- $Z_{th}(T)$: パルス幅 T における過渡熱抵抗
- $Z_{th}(t)$: パルス幅 t における過渡熱抵抗

図3-18. 繰り返し損失パルス時の過渡熱抵抗の算出式

4章 熱設計

1. 放熱の考え方	4-2
2. 素子の過渡熱抵抗特性	4-4
3. チャンネル温度の計算	4-5

1. 放熱の考え方

過渡熱抵抗と定常熱抵抗

パワーMOSFETチャネル部で発生する損失の放熱処理は、冷却体に取り付ける方法と素子自身だけの場合の2通りがあります。前者の場合の放熱経路は、熱抵抗 R_{th} と熱容量 C_{th} を電気抵抗と電気容量で表し、便宜的に電気的な回路で模擬することができます。図4-1に電気回路で模した放熱経路を示します。

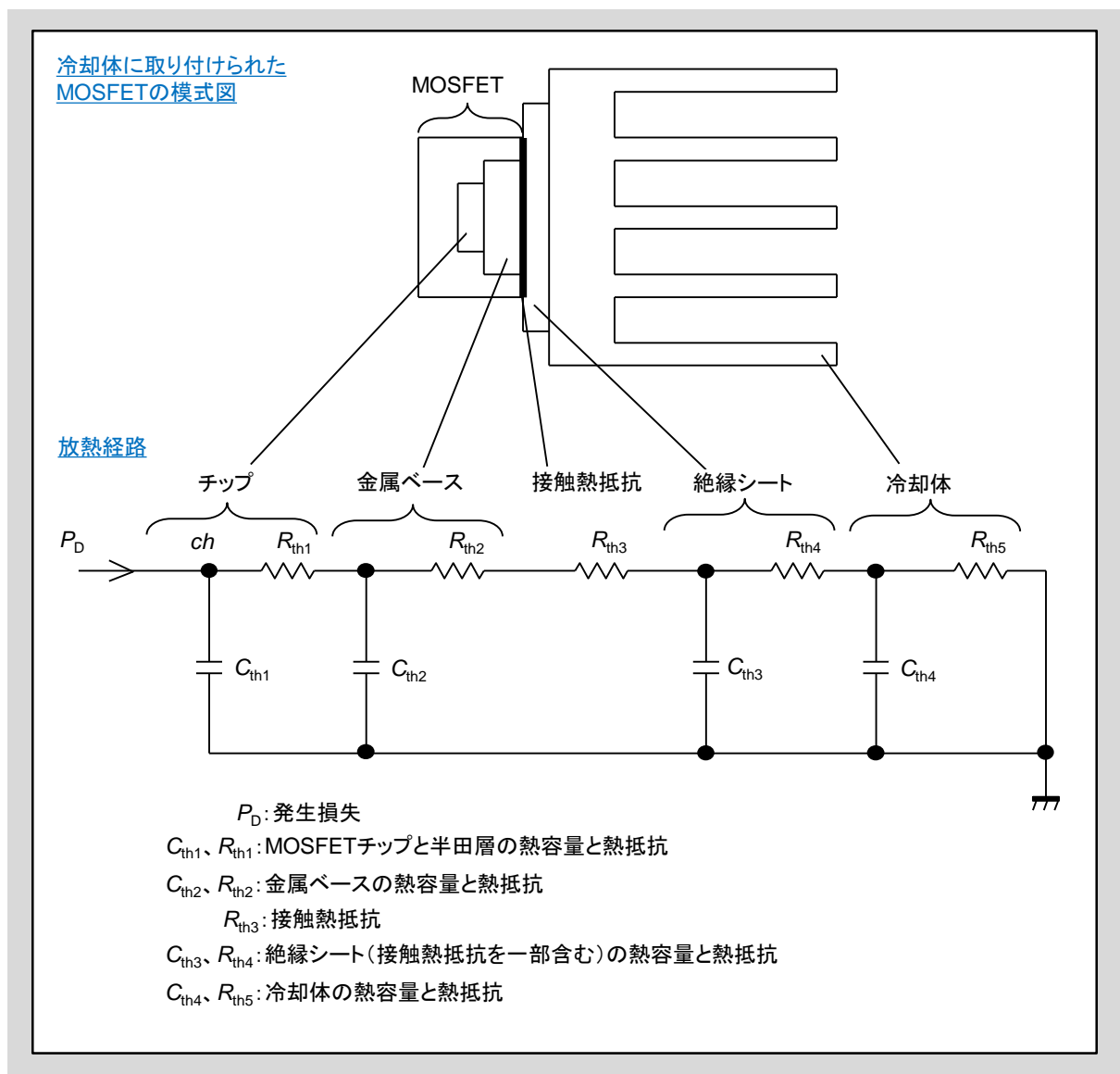


図4-1. 電気回路で模した放熱経路

過渡熱抵抗(Z_{th})は、図4-1の放熱経路に示す熱容量 $C_{th1} \sim 4$ が、飽和するまでの間の熱抵抗であり、時間の関数になります。損失が単発パルス時($D=0$ ※)における、各素子の過渡熱抵抗特性の最大値がデータシート上に明記されております。(※ $D=t/T$ 。 t : パルスオン時間、 T : 1周期の時間。単発は $T=\infty$ となる為、 $D=0$ となる。)

また冷却体の過渡熱抵抗の式を図4-2に示します。

$$R_f(t) = R_{th(f-a)} \left(1 - \varepsilon^{-\frac{t}{\tau f}} \right)$$

ただし

$$\tau f = R_{th(f-a)} \times V \times \gamma \times C$$

$R_{th(f-a)}$: 冷却体定常熱抵抗 [°C/W]
 t : 時間 [sec]
 τf : 冷却体の熱時定数 [sec]
 V : 冷却体積 [cm³]
 γ : 比重 [g/cm³]
 C : 比熱 [W・sec/g・deg]

図4-2. 冷却体の過渡熱抵抗

この計算に必要な材料の比重と比熱を表4-1に、アルミ冷却板(黒色塗装)の定常熱抵抗を図4-3に示します。

表4-1. 各材料の比重と比熱

材料	比重 γ [g/cm ³]	比熱 [W・s/g・deg]
アルミニウム	2.71	0.895
銅	8.96	0.383

アルミ板の熱抵抗

図4-3. アルミ冷却板の定常熱抵抗

一方、定常熱抵抗(R_{th})は、熱容量が飽和し、熱容量の影響がなくなった後の熱抵抗であり、チャンネル温度は簡単に求められます。計算式を図4-4に示す。

$$T_{ch} = T_a + (R_{th(ch-c)} + R_{th(c-i)} + R_{th(i)} + R_{th(i-f)} + R_{th(f-a)}) \times P_D$$

T_{ch} : チャンネル温度
 T_a : 周囲温度
 $R_{th(ch-c)}$: チャンネルーケース間熱抵抗 (MOSFET熱抵抗)
 $R_{th(i)}$: 絶縁シート熱抵抗
 $R_{th(c-i)}$ 、 $R_{th(i-f)}$: 接触熱抵抗
 $R_{th(f-a)}$: 冷却体熱抵抗
 P_D : 発生損失

図4-4. チャンネル温度を求める式

2. 素子の過渡熱抵抗特性

MOSFETの仕様書には、熱設計を補助するために素子のチャンネルーケース間の過渡熱抵抗特性が記載されています。図4-5に、例としてFMW60N025S2HFの過渡熱抵抗特性を示します。

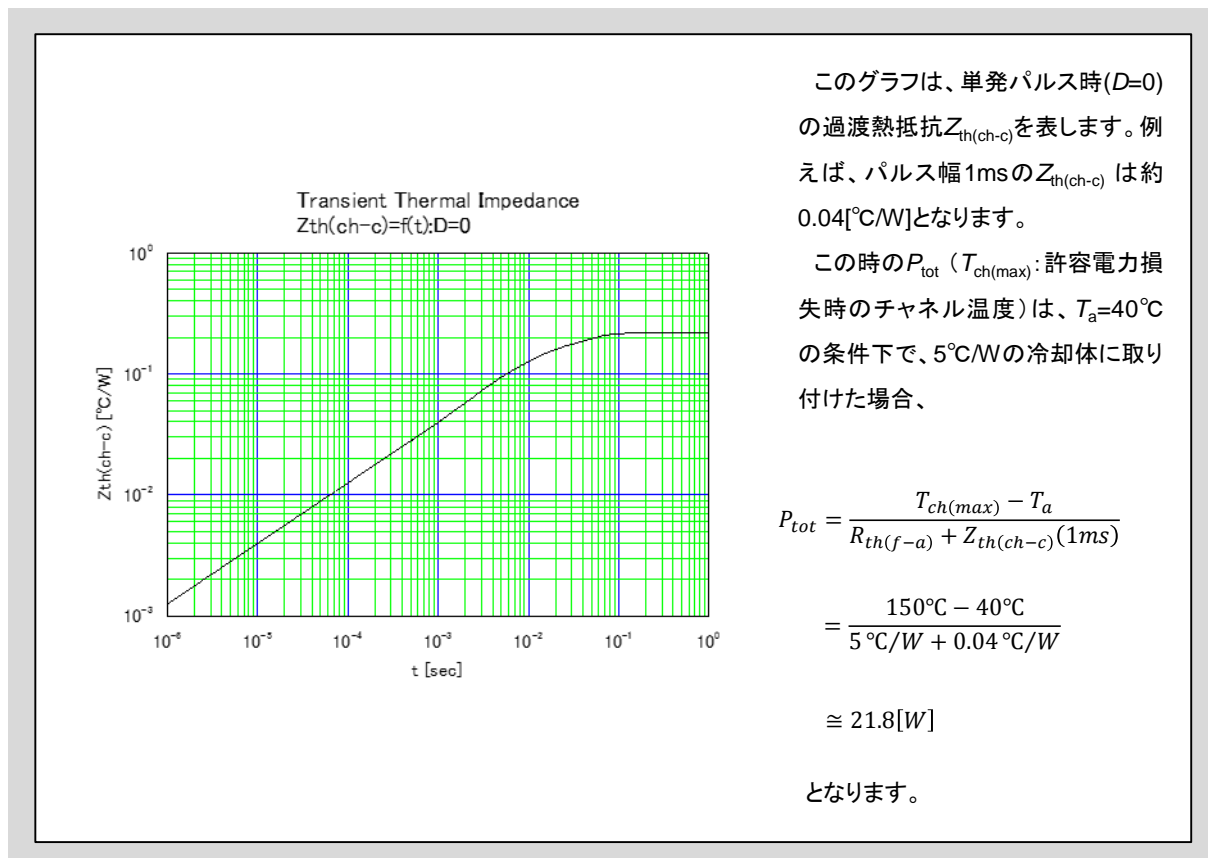


図4-5. 過渡熱抵抗特性

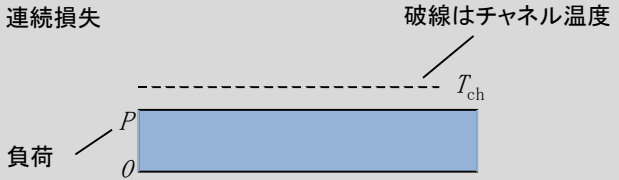
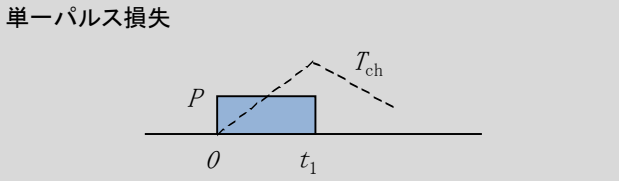
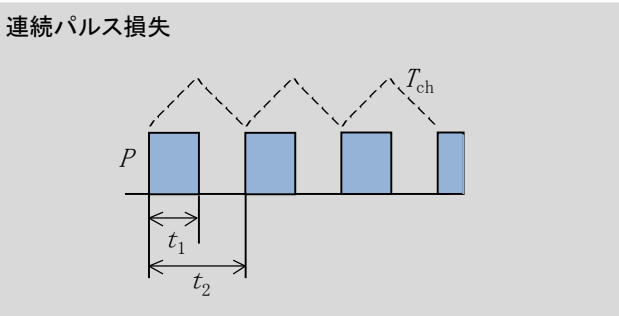
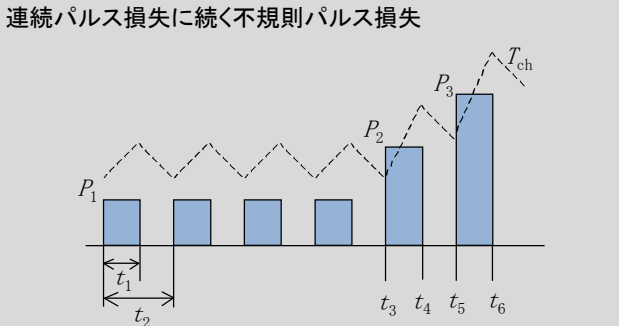
3. チャネル温度の計算

MOSFETを使用する場合、その使用状態でのチャネル温度が最大定格内にあるかが重要となります。そのために、動作波形からチャネル温度を検証し、使用の可否を判断します。

(1) 方形波電力損失に対するチャネル部温度の算出

連続損失、単一パルス損失、連続パルス損失、連続パルス損失に続く不規則パルス損失に対するチャネル温度算出式を表4-2に示します。

表4-2. チャネル温度の算出式

負荷	チャネル温度の算出式
連続損失 	$T_{ch} = T_a + P \times R_{th(ch-c)}$
単一パルス損失 	$T_{ch} = T_a + P \times Z_{th}(t_1)$
連続パルス損失 	$T_{ch} = T_a + P \times \left\{ \frac{t_1}{t_2} \times R_{th(ch-c)} + \left(1 - \frac{t_1}{t_2} \right) \times Z_{th}(t_1 + t_2) - Z_{th}(t_2) + Z_{th}(t_1) \right\}$
連続パルス損失に続く不規則パルス損失 	$T_{ch} = T_a + P_1 \times \left\{ \frac{t_1}{t_2} \times R_{th(ch-c)} + \left(1 - \frac{t_1}{t_2} \right) \times Z_{th}(t_1 + t_2) - Z_{th}(t_2) \right\} + P_2 \times \{ Z_{th}(t_6 - t_3) - Z_{th}(t_6 - t_4) \} + P_3 \times Z_{th}(t_6 - t_5)$

(2) 複雑な電力損失波形に対するチャンネル部温度の算出

複雑な電力損失波形がMOSFETに与えられた場合、図4-6のように方形波変換し、重ね合わせの理によって求められます。

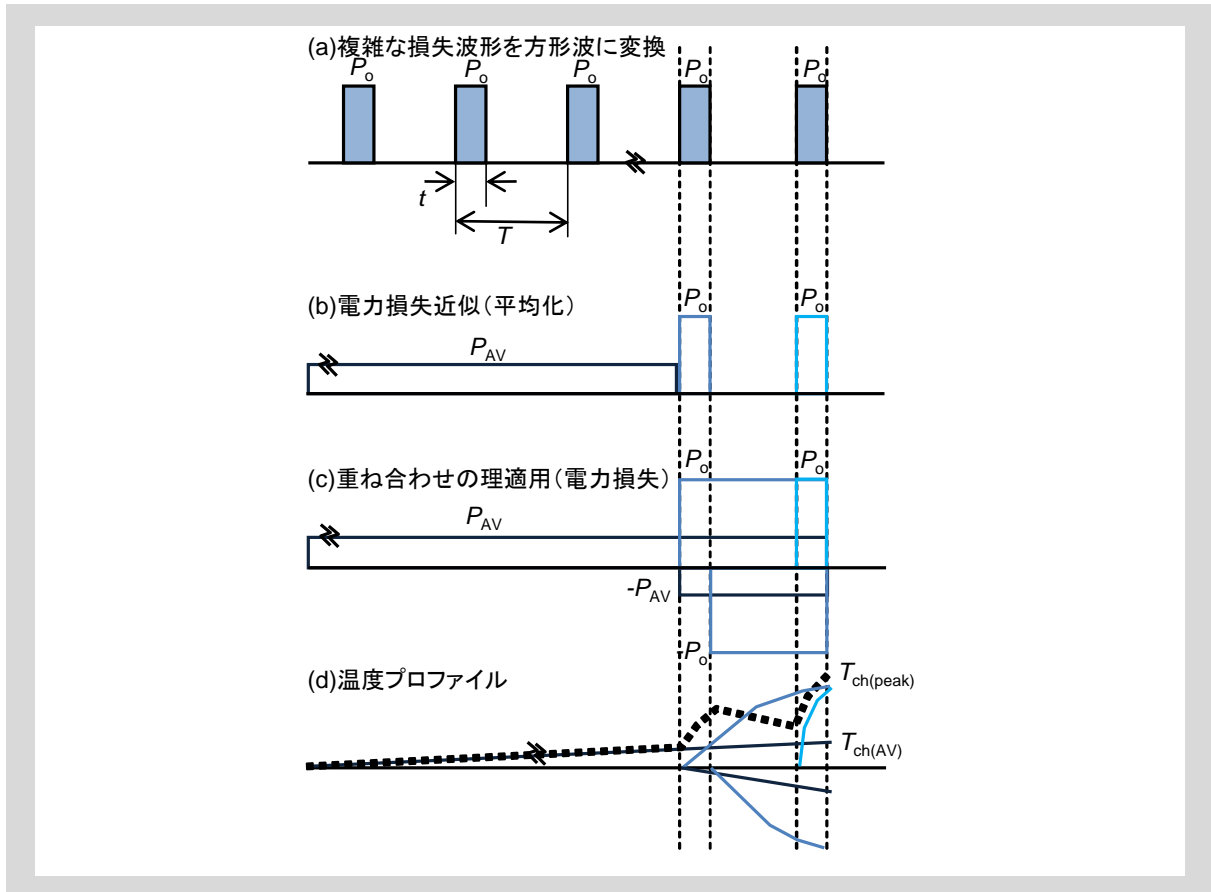


図4-6. 複雑な電力損失波形でのチャンネル部温度

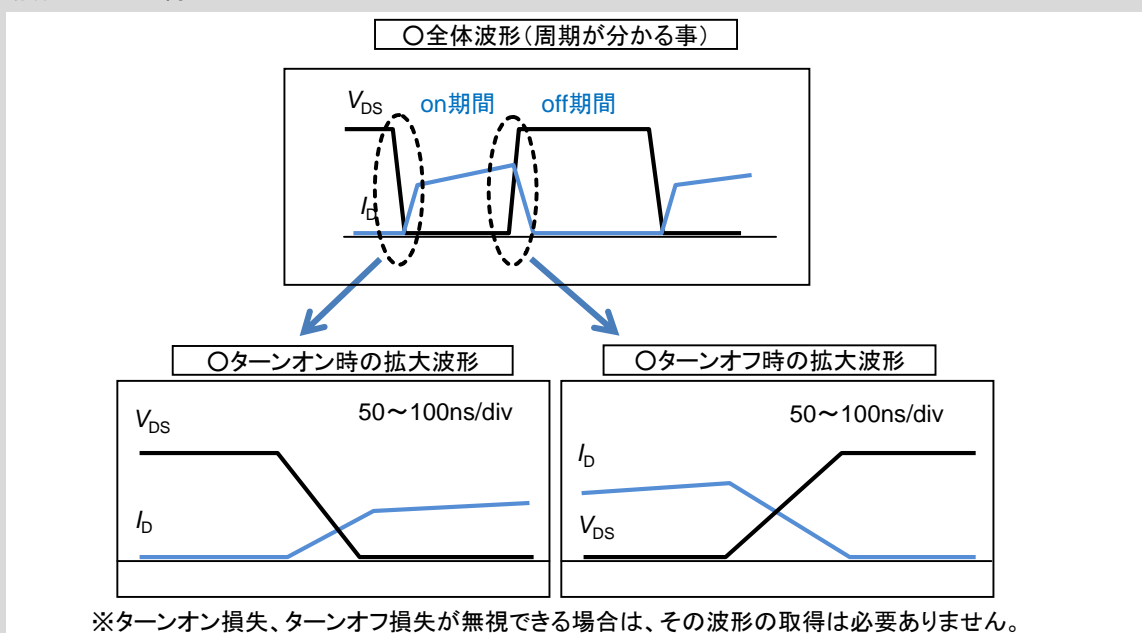
(3)具体的なチャネル温度の算出

MOSFETのチャネル温度を計算するためには、以下が必要となります。

- (a)1周期の波形 (V_{DS} 、 I_D 、周期 T が判ること)
- (b)ターンオン、ターンオフ波形の拡大
- (c)動作条件(ケース温度 T_c 、その他)

次にチャネル温度の算出のステップを示します。

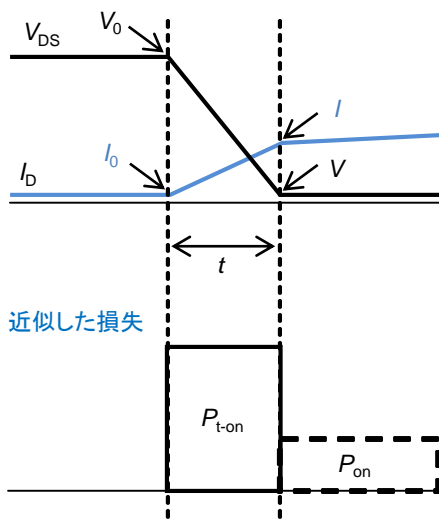
①動作波形の取得



②動作波形の近似

V_{DS} 、 I_D の波形から損失を方形パルスに近似する。

(例)ターンオン時の動作波形



○損失は下記の式より求める。

$$\alpha = -\frac{I_0 - I}{t}$$

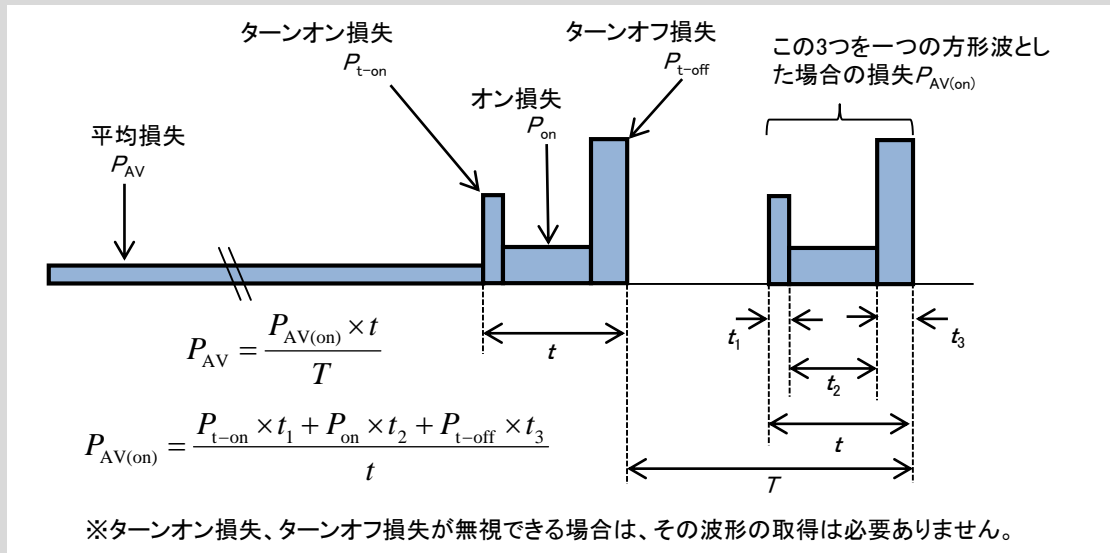
$$\beta = -\frac{V_0 - V}{t}$$

$$P_s = \int_0^t (\alpha t + I_0)(\beta t + V_0) dt$$

$$P = \frac{P_s}{t}$$

ターンオンの期間を上記計算式で損失を求めた場合、計算結果 "P" が " P_{t-on} " になります。

③損失モデル近似



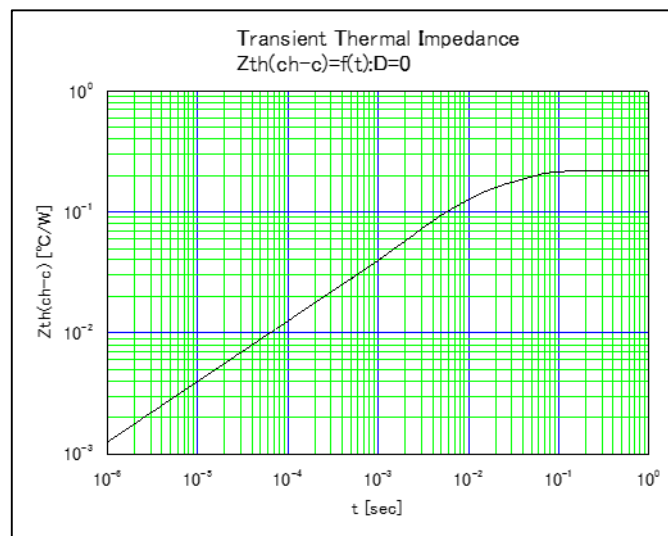
④過渡熱抵抗の算出

過渡熱抵抗グラフ(例として FMW60N025S2HFのグラフを図4-7に示す)より、各損失パルス幅の過渡熱抵抗値を読み取ります。

パルス幅が1ms以下の場合、パルス幅 T_a とし、下記の計算式を利用することもできます。

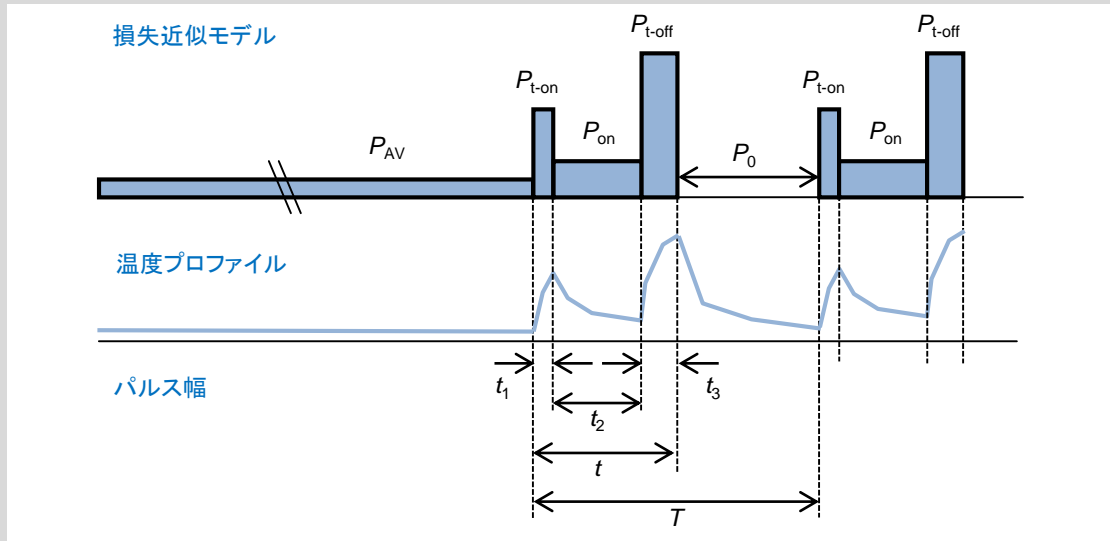
$$Z_{th(ch-c)}(T_a) = Z_{th(ch-c)}(1ms) \times \sqrt{\frac{T_a}{0.001}}$$

$Z_{th(ch-c)}(1ms)$ は、 $D=0$ 、 $t=1ms$ 時の過渡熱抵抗値



FMW60N025S2HFの過渡熱抵抗グラフ

⑤チャンネル温度の計算



チャンネル温度上昇計算式

$$\begin{aligned} \Delta T_{ch-c} = & P_{AV} \times R_{th(ch-c)} + (P_{t-on} - P_{AV}) \times Z_{th}(t + T) \\ & + (P_{on} - P_{t-on}) \times Z_{th}(t_2 + t_3 + T) + (P_{t-off} - P_{on}) \times Z_{th}(t_3 + T) \\ & + (P_0 - P_{t-off}) \times Z_{th}(T) + (P_{t-on} - P_0) \times Z_{th}(t) \\ & + (P_{on} - P_{t-on}) \times Z_{th}(t_2 + t_3) + (P_{t-off} - P_{on}) \times Z_{th}(t_3) \end{aligned}$$

P_0 は電流off期間の損失に対応します。したがって、0Wになります。
式構造の理解の為、記入しております。

※ターンオン損失、ターンオフ損失が無視できる場合は、その損失を考える必要はありません

5章 破壊メカニズムと回路設計

1. SOA破壊	5-2
2. アバランシェ破壊	5-3
3. ダイオード破壊	5-7
4. 静電気による破壊	5-8

ここではパワーMOSFETを安全にご使用いただくため、MOSFETの破壊メカニズムを説明します。

1. SOA破壊

SOA破壊は、安全動作領域SOAを逸脱した使い方による破壊であり、過電流・過電力・過電圧破壊の3つにわけられます(図5-1。例としてFMW60N025S2HFの安全動作領域SOAを示します)

①過電流破壊

ドレイン電流 I_D 、パルスドレイン電流 I_{DP} により制限される領域を超える過電流が流れることで素子が異常に発熱し破壊に至る、もしくはパッケージ内部配線のワイヤー溶断に至るモードです。

②過電力破壊

ドレイン電流 I_D とドレイン-ソース間電圧 V_{DS} が同時印加されることにより、最大許容損失 P_D により制限される領域を超える損失が発生することで素子が異常に発熱し破壊に至るモードです。

③過電圧破壊

ドレイン-ソース間電圧 V_{DSS} により制限される領域を超える過大な電圧が印加されることでブレイクダウン領域に入ること、素子が異常に発熱し破壊に至るモードです。

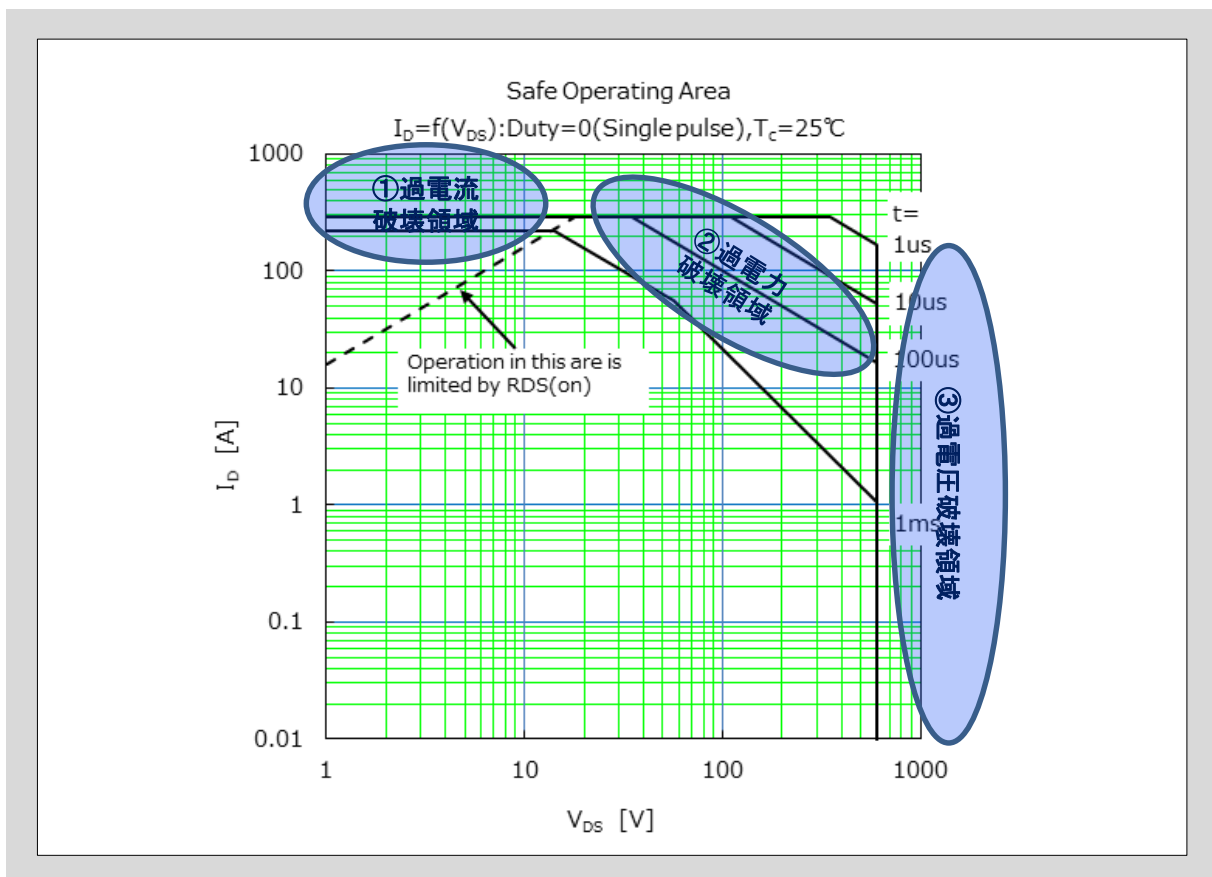


図5-1. 3つのSOA破壊領域を示したFMW60N025S2HFの安全動作領域SOAグラフ

2. アバランシェ破壊

トランスやインダクタ等の誘導性負荷をパワーMOSFETでスイッチングする場合、パワーMOSFETの耐圧を超える過大なサージ電圧が加わり、ブレイクダウン領域に入ることがあります。アバランシェ破壊とは、スイッチング時のサージ電圧によるアバランシェ動作によってチャネル温度 T_{ch} や、アバランシェ電流 I_{AS} 、 I_{AR} が絶対最大定格を超えることで破壊に至るモードです。

(1)アバランシェ破壊のメカニズム

MOSFETの断面構造(プレーナ構造タイプ)を図5-2に示します。MOSFET内には、寄生的にバイポーラトランジスタが存在しています。MOSFETのターンオフ時に過大なサージ電圧がかかり素子の耐圧を超えた場合、アバランシェ電流が流れます。アバランシェ電流が流れる経路は以下に示すように3経路あります。

- ①ドレイン $\rightarrow R_{zd} \rightarrow V_{zd} \rightarrow$ ソース
- ②ドレイン $\rightarrow R_{zb} \rightarrow V_{zb} \rightarrow R_b \rightarrow$ ソース
- ③ドレイン $\Rightarrow R_{zb} \Rightarrow V_{zb} \Rightarrow V_{BE} \Rightarrow$ ソース

アバランシェ降伏時、デバイス内で下記現象が起こります。

1. 経路①に電流が流れる。
2. R_{zd} に電流が流れ発熱する。
3. 発熱によりアバランシェ電圧が上昇する。
4. 経路②にも電流が流れる。
5. R_b に電流が流れ発熱する。
6. 発熱により R_b の抵抗値が上昇する。
7. 寄生バイポーラトランジスタの V_{BE} が低下する。
8. R_b の電位差が寄生バイポーラトランジスタの V_{BE} より高くなる。
9. 経路②に流れていた電流が経路③にも流れ寄生バイポーラトランジスタが導通する。
10. アバランシェ降伏した箇所で電流集中が起こり、MOSFETの破壊に至る。

Super J MOS[®] (Super Junction構造タイプ: 図5-3)では、寄生トランジスタ近傍の電界が高くなる傾向にあります。そのため、②の経路に流れる電流が従来構造タイプに比べ多くなり、寄生トランジスタが動作しやすくなります。また、Super J MOS[®] は従来構造タイプの製品よりも、規格化された単位面積あたりのオン抵抗 ($R_{DS(on)} \cdot A$) が大幅に改善されています。同一オン抵抗で比べた場合には、チップ面積が1/2以下と小さくなります。したがって、発熱の観点からもSuper J MOS[®] のアバランシェ耐性は従来構造に比べると非常に弱くなっています。Super J MOS[®]を使用する場合は、アブノーマル動作時などでも、アバランシェ動作に入れない設計をすることが肝要となります。

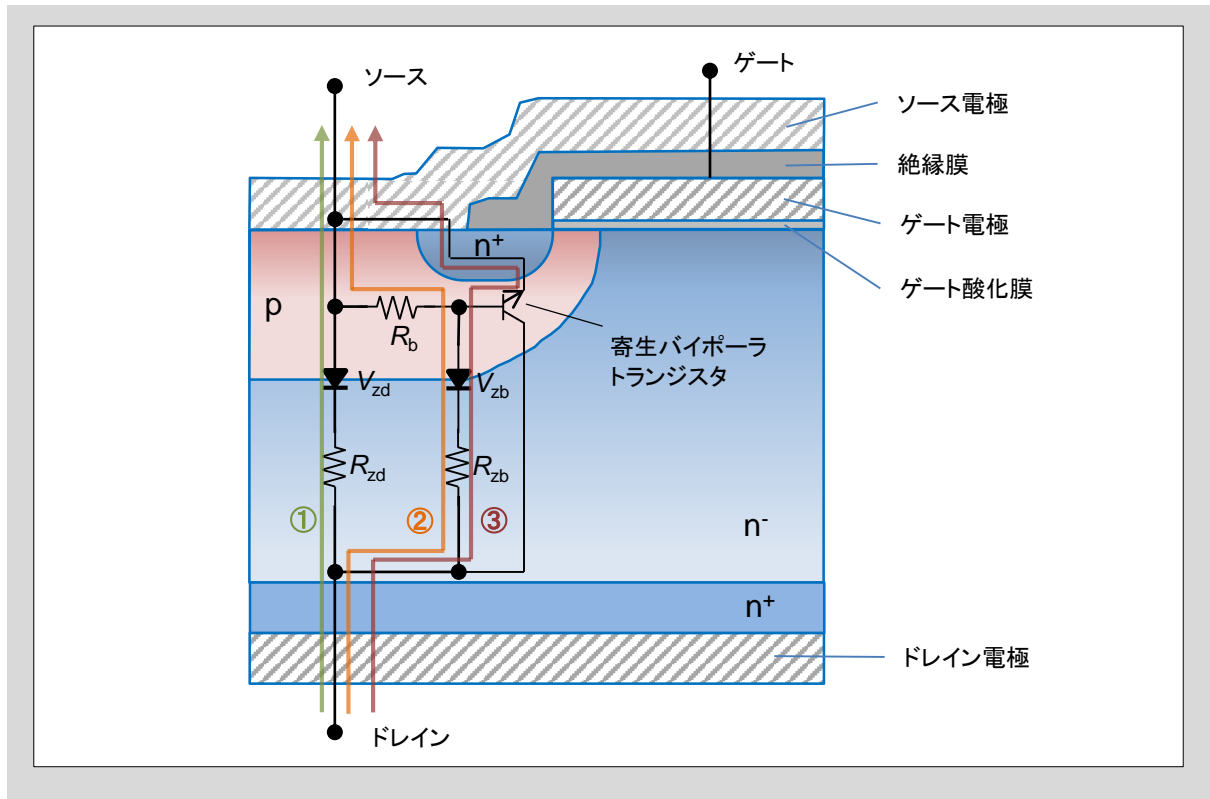


図5-2. アバランシェ破壊のメカニズム(MOSFET断面はプレーナ構造タイプ)

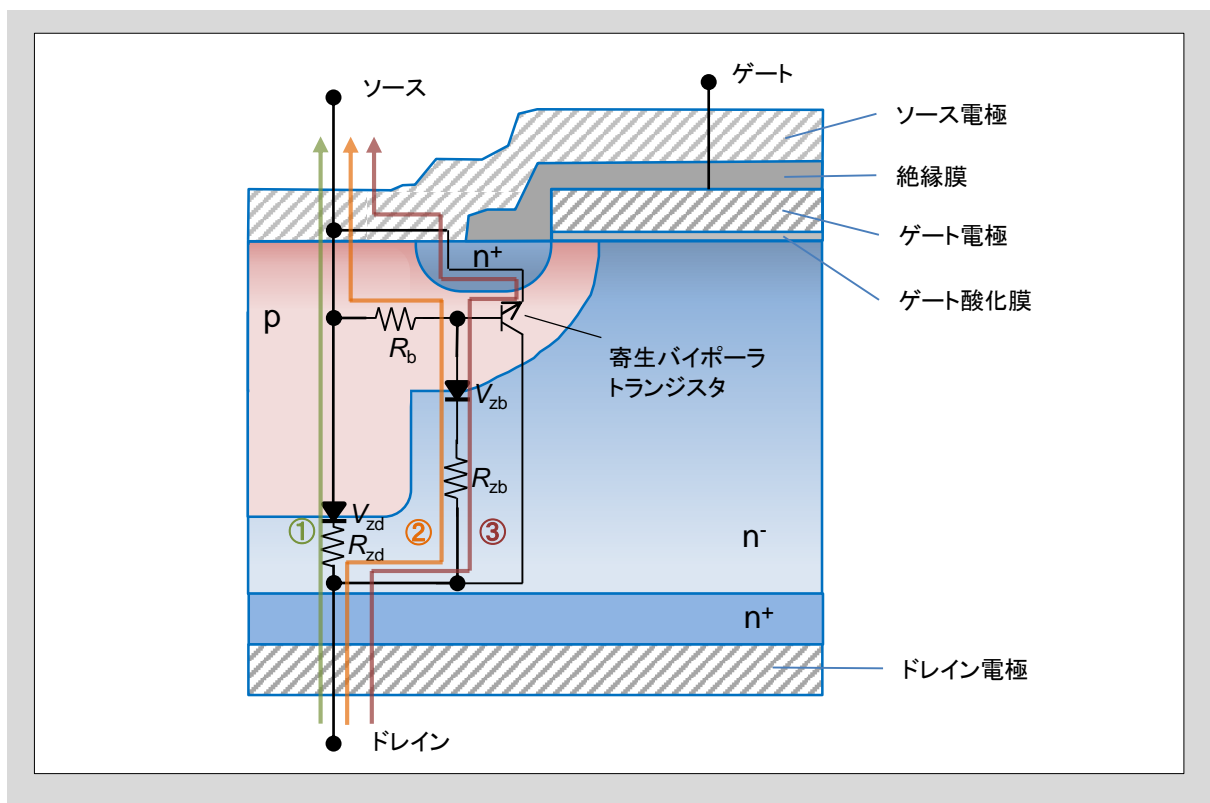


図5-3. アバランシェ破壊のメカニズム(MOSFET断面はSuperjunction構造タイプ)

(2) アバランシェ耐量の測定

MOSFETのアバランシェ耐量の測定回路、測定波形を図5-4に示します。MOSFETのゲートに $V_{GS(th)}$ 以上の電圧をバイアスするとインダクタンス L を介して徐々にMOSFETにドレイン電流 I_D が流れ始めます。この時ドレイン電流 I_D はチャネル領域を流れています。MOSFETのゲート電圧が $V_{GS(th)}$ 以下になるとドレイン電流 I_D は減少し、ドレイン電圧 V_{DS} が急激に上昇します。ドレイン電圧 V_{DS} は素子耐圧まで上昇し、ブレイクダウン電圧でクランプされますが、インダクタンス L に蓄積されて残りのエネルギーはドレイン電流 I_D として流れつづけます。この時チャネル領域は遮断されているため、ドレイン電流はアバランシェ電流として流れる事になります。この時のインダクタンス L に蓄積されたエネルギーをMOSFETが熱として消費できる能力がアバランシェ耐量となります。

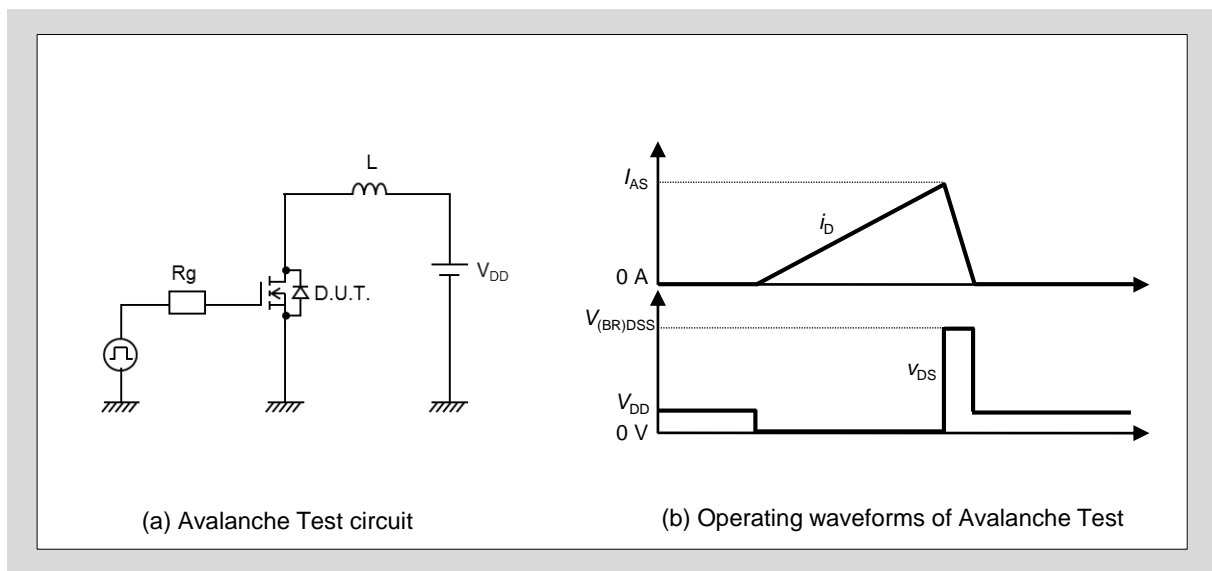


図5-4. アバランシェ耐量の測定回路と測定波形

(3)アバランシェ状態での使用可否

図5-5(a)に示すようにターンオフ時に回路中のインダクタンス成分により V_{DS} が跳ね上がり $V_{(BR)DSS}$ を超えた場合にアバランシェ電流が流れます。ただし素子の実力値がデータシートで示す $V_{(BR)DSS}$ よりも高く、図5-5(b)に示すようにアバランシェ電流が流れない場合があります。この場合は $V_{(BR)DSS}$ を超えた時点からアバランシェ電流が流れたとして判定します。なお図5-5(c)で示すように I_D がゼロになった後(完全にチャネルが閉じた後)に V_{DS} が跳ね上がるような場合はアバランシェ耐量保証はできません。アバランシェ耐量保証では以下の点を考慮する必要があります。

- ①アバランシェ動作時の電流値が保証のアバランシェ電流 I_{AS} 以下であること。
- ②チャネル温度が保証の範囲内であること。(通常の場合、 $T_{ch} \leq 150^\circ\text{C}$)

②チャネル温度についてはアバランシェ動作をしない場合でも考慮する必要がありますが、アバランシェ動作時は図5-5(d)に示すように損失が大きくなるため、より一層の配慮が必要となります。

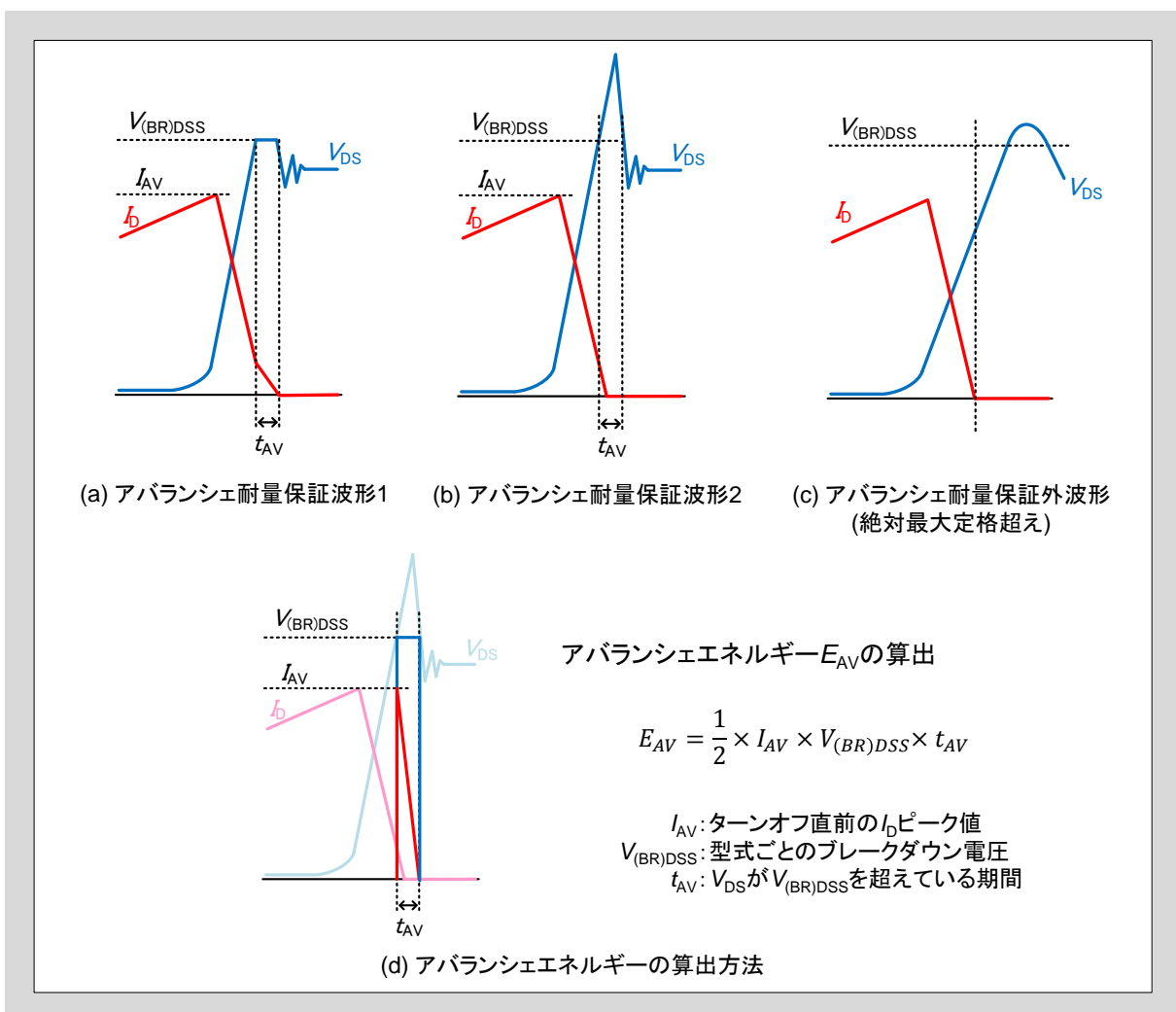


図5-5. アバランシェ状態での使用可否

3. ダイオード破壊

ダイオード破壊は、ドレイン-ソース間寄生ダイオードを使用するブリッジ回路などにおいて、寄生ダイオードの逆回復動作中の急峻な電圧 (dv/dt)・電流変化 (di_{DR}/dt) により、MOSFETの寄生バイポーラトランジスタが誤点弧することで大電流が流れ、制御不能となり破壊に至るモードです。

ダイオード転流破壊のメカニズム

寄生ダイオードに電流を流している状態で、逆方向に電圧が反転(ドレイン-ソース間に電圧を印加)するような動作をすると寄生ダイオードは逆回復動作になります。この逆回復電流の一部は、アバランシェ動作時と同様に図5-6に示す寄生バイポーラトランジスタのベース抵抗 R_b に流れます。またこの時のリカバリー電圧変化率 dv/dt により寄生容量 C_{ds} ($C_{vzd} + C_{vzb}$) への充電電流の一部も寄生バイポーラトランジスタのベース抵抗 R_b に流れます。ベース抵抗 R_b に電位差が生じることで寄生バイポーラトランジスタのB-E間が順バイアスされます。逆回復動作による電流によって寄生バイポーラトランジスタの温度が上昇するためベース抵抗 R_b の抵抗値が高くなります。これに加えて寄生バイポーラトランジスタのベース-エミッタ間電圧 V_{BE} は負の温度係数を持つため温度上昇により下がり、寄生バイポーラトランジスタが誤点弧し易くなり、MOSFETの破壊に至ります。このため寄生ダイオードに電流を流している状態では、リカバリー電流変化率 $-di/dt$ 、及びリカバリー電圧 dv/dt に規定を設けています。

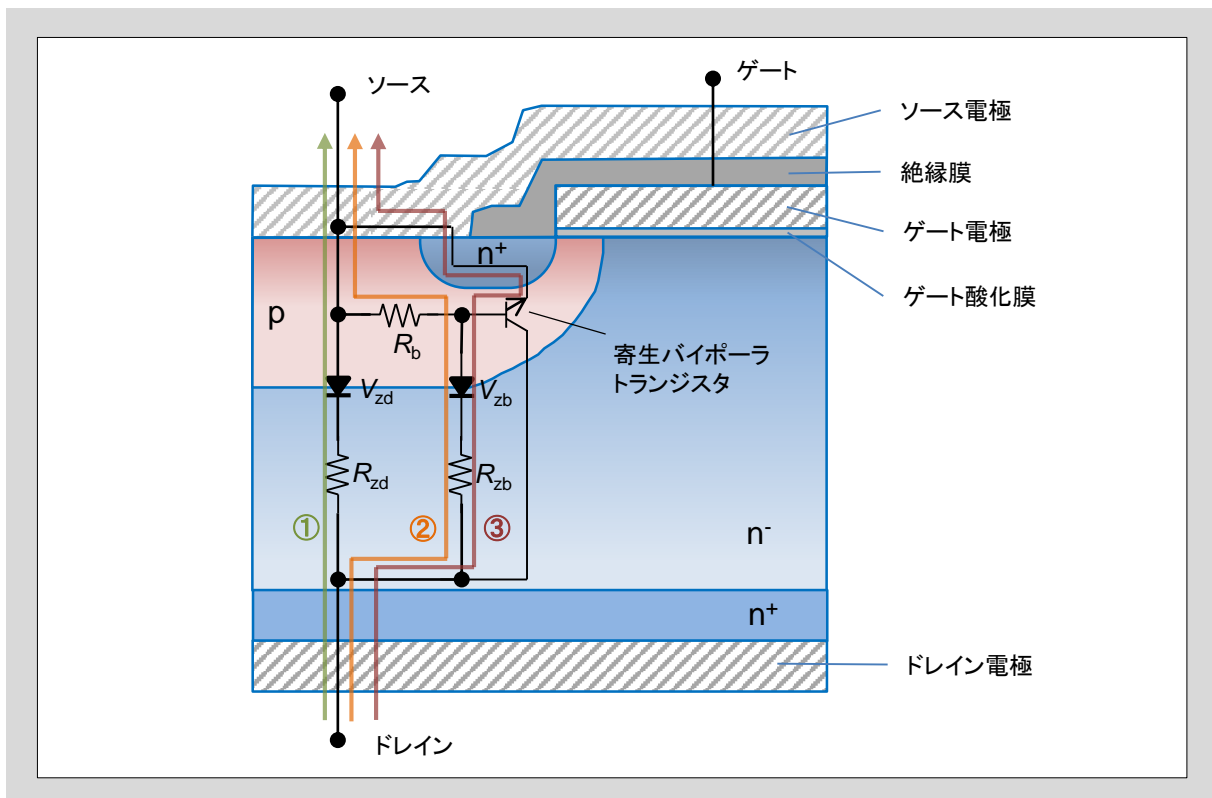


図5-6. ダイオード転流破壊のメカニズム

4. 静電気による破壊

人体や実装装置により静電気やサージ電圧がMOSFETのゲート端子へ印加されることにより、ゲート端子の静電気耐量を超え、破壊に至ります。静電気により発生するゲート破壊は以下、2つのモードがあります。

- ①ゲートソース間及びドレインソース間がショートし完全に破壊に至るモード
- ②ゲートソース間のインピーダンスが低下、ドレインソース間の漏れ電流が増加して特性劣化するモード

通常の使用条件においては、①のモードでは、ドレインソース間ショートにより破壊痕が拡大され、②のモードでは、 V_{GS} が所定より低い電圧で動作することで、誤動作やオン抵抗の増加、漏れ電流の増加などによりSOA破壊に至るため、ゲート破壊を破壊痕から判定するのは困難となります。

作業環境の静電破壊対策

静電気対策を施した作業環境を作る場合は、図5-7に示すように導電体に帯電した静電気を導電性のテールマット、リストストラップ、フロアマットを適切に使用することにより取り除くことができます。

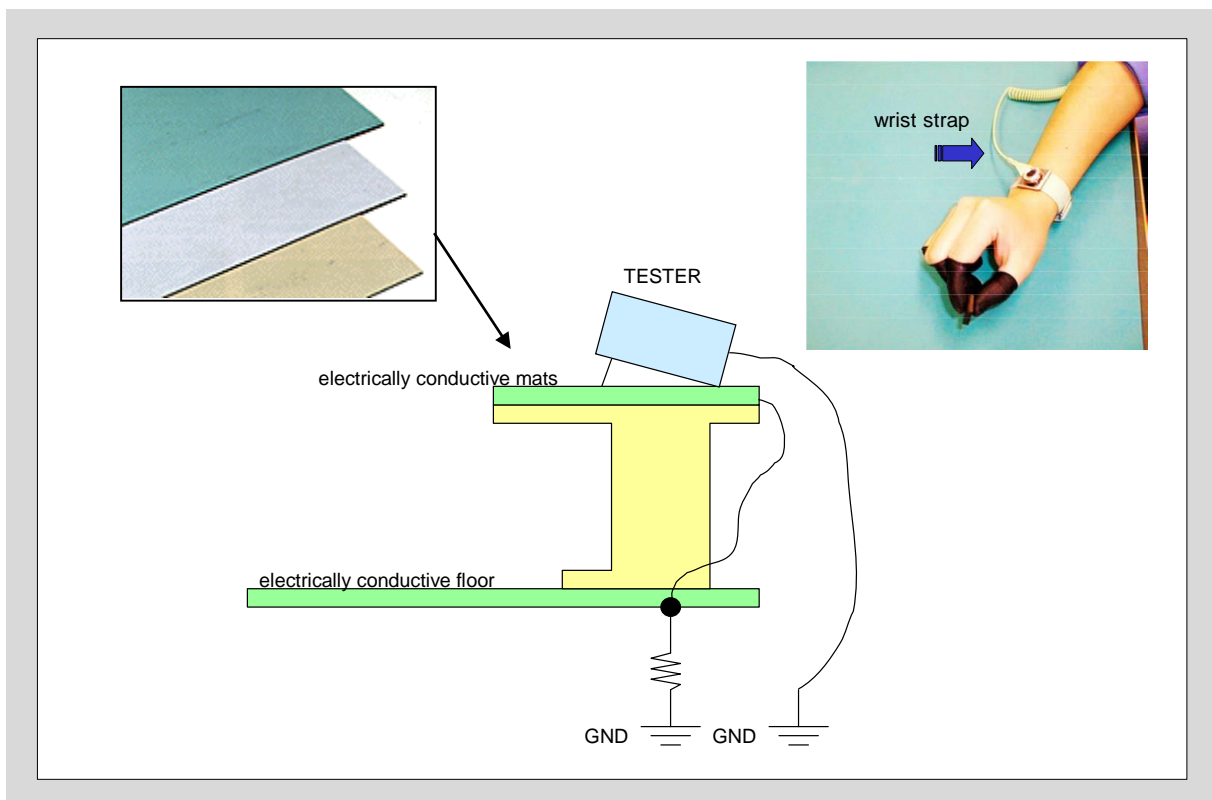


図5-7. 作業環境の静電破壊対策

6章 実装・取り扱い上の注意事項

1. はんだ付け条件	6-2
2. スルーホールパッケージのリード加工・取り付け方法	6-5
3. 洗浄について (スルーホール、SMD共通)	6-6
4. 放熱板への取り付け方法	6-6
5. 保管の注意事項	6-7
6. 運搬の注意事項	6-8
7. 作業環境の注意事項	6-8

長期にわたる安定な動作を確保するために、特に注意すべき取扱い上の注意事項について説明します。

1. はんだ付け条件

製品のはんだ付け実装時には、通常の絶対最大定格の保存温度を上回る熱がリード部に加わります。はんだ付け時の耐熱性に関する品質保証は、以下に記載する条件(表6-1、表6-2、表6-3、図6-1、図6-2)で確認が行われていますので、これらを上回らない範囲内で作業を行って下さい。

- ◆リードの浸漬深さは、基本的にはリードストッパー部までとし、デバイス本体から1.5mm離れた位置までとして下さい。
- ◆はんだフロー方式によるデバイスの取り付けでは、デバイス本体をはんだ液に浸さない様にして下さい。
- ◆フラックスを使用する場合には、塩素系のものは避けロジン系のフラックスを使用することが望ましい。

表6-1. 推奨実装条件

分類 Category	パッケージ Package	はんだ付け方法 / Soldering Methods				
		はんだフロー (全浸漬) Wave Soldering (Full dipping)	はんだフロー (端子浸漬) Wave Soldering (Only terminal)	赤外線リフロー Infrared Reflow	温風リフロー Air Reflow	はんだこて Soldering iron (Re-work)
スルーホール パッケージ Through hole package	K-Pack(L) (I-Pack)	U	P2	U	U	P1
	T-Pack(L)	U	P2	U	U	P1
	TO-220	U	P2	U	U	P1
	TO-220F	U	P2	U	U	P1
	TO-3P	U	P2	U	U	P1
	TO-3PF	U	P2	U	U	P1
	TO-247	U	P2	U	U	P1
SMD パッケージ Surface Mount Package	DFN8x8	U	U	P2	P2	U
	T-Pack(L)	U	U	P2	P2	U
	T-Pack(SJ)	U	U	P2	P2	U
	K-Pack(S)	U	U	P2	P2	U
	TFP	U	U	P2	P2	U

P2: Possible (within 2 times) P1: Possible (Only 1 time) U: Unable

表6-2. スルーホールパッケージ(Through-Hole Package)のはんだつけ条件

実装方法 Methods	はんだ温度 Soldering Temp.	浸漬時間 Immersion time
はんだフロー Wave Soldering	260±5°C	10±1sec
はんだこて Soldering iron(Re-work)	350±10°C	3.5±0.5 sec

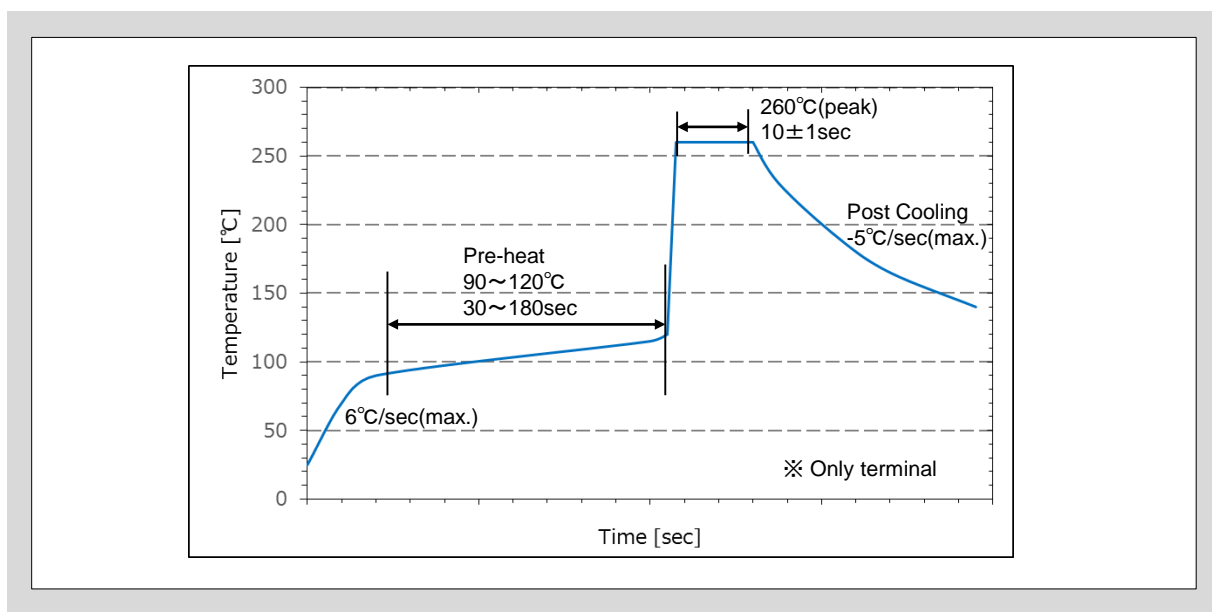


図6-1. スルーホールパッケージの推奨フロープロファイル

表6-3. SMD パッケージ(Surface Mount Package)のはんだつけ条件

リフロー回数 Number of times(Reflow)	はんだ温度/時間 Soldering temp. & Time	パッケージ表面 ピーク温度/時間 Package surface Peak temp. & Time
2回 Twice	$\geq 230^{\circ}\text{C}$ $\leq 50\text{sec}$	$\leq 260^{\circ}\text{C}$ $\leq 10\text{sec}$

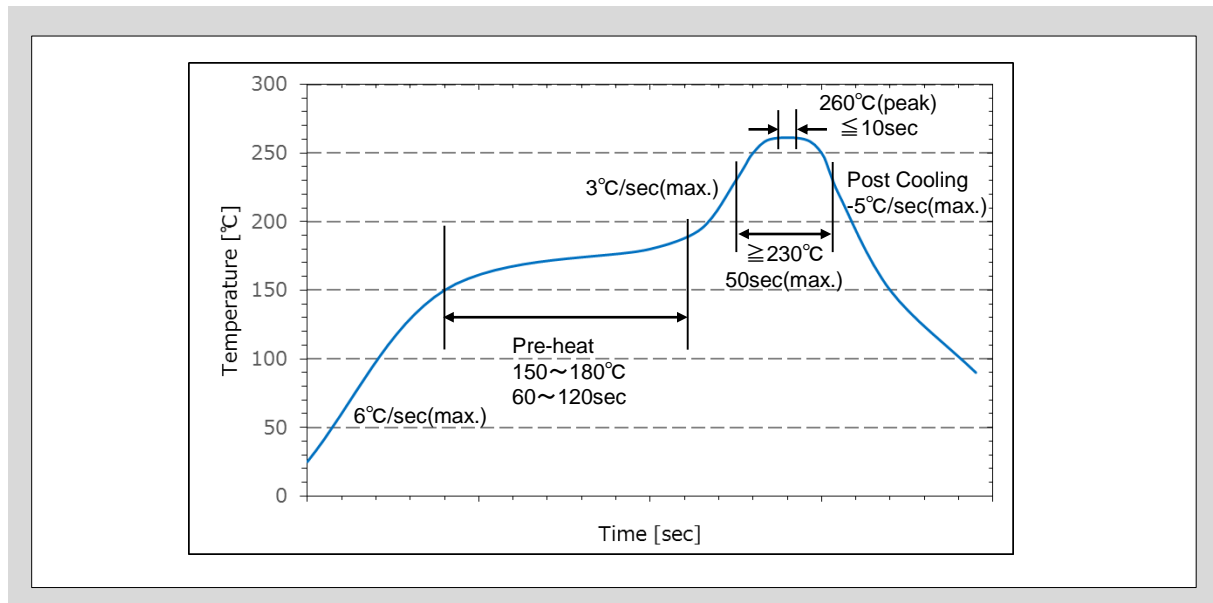


図6-2. SMDパッケージの推奨リフロープロファイル

2. スルーホールパッケージのリード加工・取り付け方法

(a) リード線へのストレス

半導体素子の電極リードに必要以上のストレスを加えると、内部のチップおよび外部パッケージに損傷をあたえる事があるので、図6-3に示す方向に加わる荷重は1kg以下として下さい。

(b) リード成形上の注意点

部品配置の都合上やむなくリードを成形する場合は、次の注意が必要です。

- ◆ 図6-3に示すストレスが加わらないような専用の治具の用意。
- ◆ リードを横方向に曲げる場合は、図6-3のようにリードの細い部分か、トランジスタ本体から4mm以上離れた部分で折り曲げ、その角度は30°以内とする事。
- ◆ リードを形名表示面に対し直角に曲げる時は、トランジスタ本体から4mm以上離れた点で折り曲げる事。
- ◆ 同一の場所についての成形は1回のみとし、再成形や元の形に戻しての使用は行わない事。

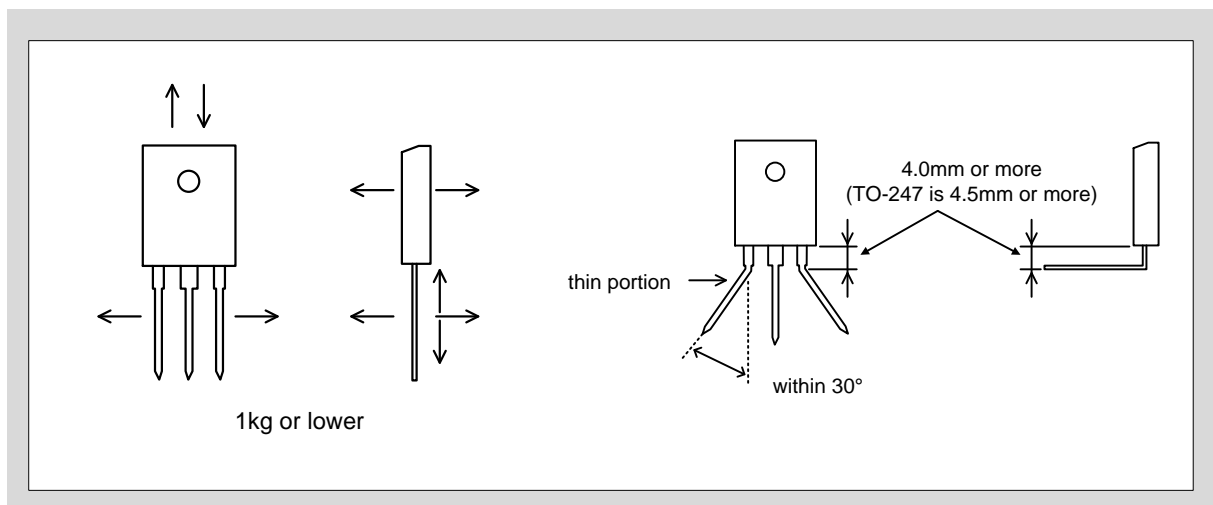


図6-3. 推奨リード加工条件

(c) プリント板への挿入

プリント板に差し込む時には、リードの根元部分に過大なストレスがかからない様にリード線の間隔と差し込む穴の間隔を一致させて下さい。また、プリント板にはんだ付けをした後、放熱板などに付けるため無理に曲げることのない様に、あらかじめ取付作業をした上ではんだ付けを行うようにして下さい。

3. 洗浄について (スルーホール、SMD共通)

フラックスを使用してはんだ付けをした場合、一般には溶剤で洗浄することが必要です。この場合、以下のことに注意してください。

(a)溶剤

- ◆引火性・毒性および腐食性のない溶剤を使用すること。
- ◆特にトリクレン系は塩素を含んでいるため使用を避けること。

(b)洗浄方法

洗浄はなるべく浸漬で行うことが望ましい。超音波洗浄を行う場合、デバイス内部の共振点(数十kHz)を避けるように周波数を設定し、素子やプリント板が振動源に直接触れないように注意する。

4. 放熱板への取り付け方法

放熱板への取り付けの際は、取り付けネジのトルクが過小の場合は熱抵抗の増大となり、過大の場合は製品に過大な応力を加える事となり、製品の破壊に至る可能性があります。表6-4に示す適正範囲での締め付けトルクとして下さい。ヒートシンクの平坦度は $\pm 30\mu\text{m}$ 以下、表面粗さは $\pm 10\mu\text{m}$ 以下にして下さい。

取り付けた穴にテーパ加工するなど誤った取り扱いをすると、パッケージ割れなどの絶縁破壊を起こし、重大事故につながる場合があります。

表6-4. 半導体素子の締め付けトルク

パッケージ Packages	ネジ Screw	締め付けトルク Tightening torques	Note
TO-220 TO-220F	M3	30 – 50 N・cm	平坦度 flatness : $\leq \pm 30\mu\text{m}$
TO-3P TO-3PF TO-247	M3	40 – 60 N・cm	表面粗さ roughness : $\leq 10\mu\text{m}$ ネジ穴の面取り寸法
TO-3PL	M3	60 – 80 N・cm	Plane off the edge : $C \leq 1.0\text{mm}$

サーマルコンパウンドの塗布

放熱効果を高めるためにサーマルコンパウンドなどの熱伝導性グリスを使用する事を推奨します。素子と冷却体間の間隔をコンパウンドで満たす方法として、図6-4に示すように半導体素子チップ搭載部直下のケース部に適量のコンパウンドを点状に塗り、適正締め付けトルクで冷却体にネジにより締め付けると、コンパウンドはその間隔を埋めるように広がり、気泡の少ない層が簡単に形成できます。

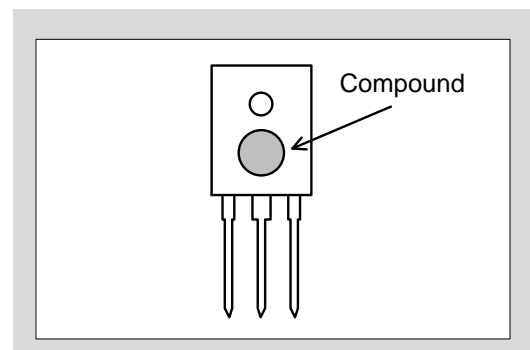


図6-4. サーマルコンパウンドの塗布

5. 保管の注意事項

保管の注意事項について表6-5に示します。

表6-5. 保管の注意事項

i	半導体素子を保管しておく場所の温度・湿度は、いわゆる常温・常湿中がのぞましく、これからあまりかけ離れた温湿中は避けるべきです。常温常湿の目安としては、5～35℃で45～75%程度と考えられます。特にモールドタイプのパワートランジスタ等の場合、冬期などに非常に乾燥する地域では加湿器により加湿する必要があります。なお、その際水道水を使うと含まれている塩素によりデバイスのリードを錆びさせることが考えられますので、水は純水や沸騰水を用いるようにしてください。
ii	腐食性ガスを発生する場所や塵埃の多いところは避けてください。
iii	急激な温度変化のあるところでは、デバイスに水分の結露が起こるので、このような環境を避けて、できるだけ温度変化の少ない場所に保管する必要があります。
iv	保管状態では、半導体デバイスに荷重がかからないように注意する必要があります。特に、積み重ねの状態では思わぬ荷重がかかることがあります。また、重いものを上に載せることも避けてください。
v	各部端子は未加工の状態でご保管してください。これは錆などの発生によって加工時にはんだ付不良となることを避けるためです。
vi	デバイスを入れておく容器は、静電気を帯びにくいもの、あるいは弊社出荷時の容器として下さい。
vii	保管棚等は、すべて金属性とし接地しておいて下さい。
viii	保管期限は上記保管梱包状態にて納入後1年間です。

6. 運搬の注意事項

運搬の注意事項について表6-6に示します。

表6-6. 運搬の注意事項

i	落下などの衝撃を与えないようにしてください。
ii	多数の素子を箱等で運搬する時は接触電極面等を傷つけないように、導電性フォーム(図6-5)等やわらかいスペーサを介して素子をならべるようにしてください。
iii	富士パワーMOSFETを運搬する際には、ゲート-ソース間に静電気が発生しない様に導通性袋やアルミ箔等(図6-6)で静電気対策を行い運搬して下さい。



図6-5. 導通性フォーム



図6-6. 導通性袋とアルミ箔

7. 作業環境の注意事項

作業環境の注意事項について表6-7に示します。

表6-7. 作業環境の注意事項

i	パワーMOSFETを取扱う人は、人体アースを取って下さい。人体アースは、リストストラップや銅の指輪等を付け、感電防止の為、1MΩぐらいの抵抗を取付けて、アースにおとして下さい。
ii	パワーMOSFETを取扱う場所は、導通性のフロアマットや、テーブルマット等を敷き、アースを取って下さい。
iii	カーブトレーサーなどの測定機を使用する場合は、測定機もアースして下さい。
iv	はんだ付けを行う場合は、はんだゴテやはんだバスからのリーク電圧がパワーMOSFETに印加されるのを防ぐ為、はんだバス等をアースして下さい。