

---

---

# PrimePACK™ モジュール

## 並列接続

---

---

CONTENTS		Page
1	定常時の電流アンバランス .....	2
2	スイッチング時の電流アンバランス .....	6
3	ゲートドライブ回路 .....	7
4	並列接続時の配線例 .....	8

PrimePACK™ は Infineon Technologies AG 社の登録商標です。

本章では、PrimePACK™ IGBT モジュールを並列接続する場合の留意点を説明します。

---

---

IGBT モジュールを変換回路に適用する際に、通電電流能力を目的として IGBT モジュールを並列接続して使用場合があります。この場合、IGBT モジュールの並列数は特に制限はありませんが、装置の大きさに伴って配線長が長くなることによるリスク（ノイズやサージ電圧の増加）を考慮する必要があります。IGBT を並列接続する場合の基本的な留意点は以下の 2 つです。

1. 定常時の電流アンバランス抑制
2. スwitchング時の電流アンバランス抑制

## 1 定常時の電流アンバランス

IGBT が導通（オン）している場合における電流アンバランスの要因としては、主に次の 2 つが挙げられます。:

- (1)  $V_{CE(sat)}$  のバラツキ
- (2) 主回路配線抵抗のバラツキ

### 1.1 $V_{CE(sat)}$ のバラツキによる電流アンバランスの発生

並列接続する IGBT の  $V_{ce(sat)}$  のバラツキによって、それらの出力特性に差が生じることとなります。これにより導通時の定常状態において、電流アンバランスが発生します。Fig.1 に異なる  $V_{ce(sat)}$  を持つ IGBT の出力特性を示します。なお Fig.1 では並列数を 2 として図示しています。

Fig.1 において  $Q_1$  と  $Q_2$  の出力特性は以下の式で近似できます。

$$V_{CEQ1} = V_{01} + r_1 \times I_{C1}$$

$$r_1 = V_1 / (I_{C1} - I_{C2})$$

$$V_{CEQ2} = V_{02} + r_2 \times I_{C2}$$

$$r_2 = V_2 / (I_{C1} - I_{C2})$$

従って  $Q_1$  と  $Q_2$  を並列接続した回路に  $I_{Ctotal}(=I_{C1}+I_{C2})$  のコレクタ電流を流した場合には  $Q_1$  と  $Q_2$  の電圧が同一になる必要があることから、それぞれに流れる IGBT のコレクタ電流は以下のように求めることができます。

$$I_{C1} = (V_{02} - V_{01} + r_2 \times I_{Ctotal}) / (r_1 + r_2)$$

$$I_{C2} = (V_{01} - V_{02} + r_1 \times I_{Ctotal}) / (r_1 + r_2)$$

簡単のため上式において  $V_{01}=V_{02}$  を仮定した場合、 $Q_1$  には  $Q_2$  に流れる電流の  $r_2/r_1$  倍の電流が流れることとなります。図 8-1 からわかるように、 $r_2 > r_1$  であることから、 $Q_1$  の電流分担が大きくなります。このように  $V_{CE(sat)}$  のバラツキがある場合には低  $V_{CE(sat)}$  の IGBT の電流分担が大きくなります。

従って、in 良好な電流分担を得るためには  $V_{CE(sat)}$  のバラツキの少ない素子を組み合わせる必要があります。

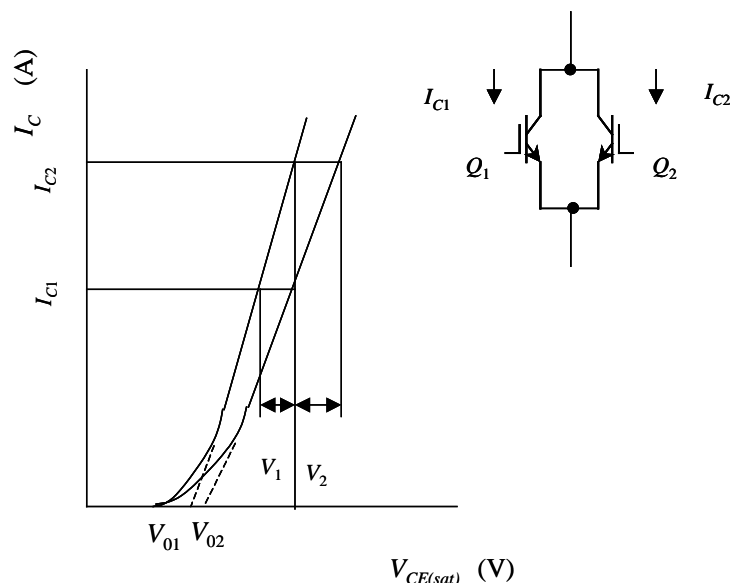


Fig. 1 異なる出力特性の IGBT の組合せ例

## 1.2 主回路配線の抵抗分バラツキに起因した電流アンバランスの発生

Fig.2に2並列接続時の主回路配線に抵抗成分がある場合の等価回路図を示します。主回路配線の抵抗成分の影響は、コレクタ側と比較してエミッタ側の方が大きいため、Fig.2ではコレクタ側の抵抗分は省略して記載しています。Fig.2に示したようなエミッタ側の主回路配線に抵抗分がある場合、IGBTの出力特性の傾きが等価的に緩やかになるため、抵抗分がない場合と比較して同じVCEに対するコレクタ電流は減少します。またその抵抗分が大きい程、出力特性の傾きが緩やかになるので、コレクタ電流は小さくなります。

Fig.2に示したようなエミッタ側の主回路配線に抵抗分がある場合、IGBTの出力特性の傾きが等価的に緩やかになるため、抵抗分がない場合と比較して同じVCEに対するコレクタ電流は減少します。またその抵抗分が大きい程、出力特性の傾きが緩やかになるので、コレクタ電流は小さくなります。Fig.2で $R_{E1} > R_{E2}$ を仮定した場合、 $I_{C1} < I_{C2}$ となり、電流アンバランスが生じます。

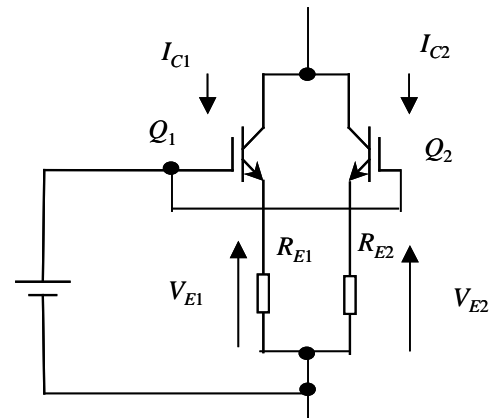


Fig. 2 主回路配線に抵抗成分がある場合の等価回路図

またこれらの抵抗成分 ( $R_{E1}$ 、 $R_{E2}$ ) にコレクタ電流が流れることによって生じる電位差が実際のゲート・エミッタ間電圧を小さくさせます ( $V_{GE} = V - V_E$ )。これによりIGBTの出力特性が変化してコレクタ電流は減少します。

このようにエミッタ側の抵抗成分によって、IGBTに印加される正味のゲート・エミッタ間電圧が小さくなることや電流アンバランスが生じるなどの影響があります。したがってこの影響を低減するためには、エミッタ側の配線は極力短くかつ均等にする必要があります。

## 1.3 多並列接続時のディレーティング

IGBT素子の並列接続時には電流アンバランスを考慮する必要があり、その電流総和（流すことができる最大電流）にはディレーティング（電流低減）が必要となります。

$n$ 個の素子を並列接続する場合、最も $V_{CE(sat)}$ が低い1素子への電流集中が最悪条件と考えられます。したがって、 $n$ 素子を並列接続した場合の許容最大電流 $\Sigma I$ は、2並列時の電流アンバランス率 $\alpha$ を用いて以下の式で表すことができます。

$$\Sigma I = I_{C(max)} \left[ 1 + (n-1) \frac{\left(1 - \frac{\alpha}{100}\right)}{\left(1 + \frac{\alpha}{100}\right)} \right] \quad \alpha = \left( \frac{I_{C1}}{I_{C(ave)}} - 1 \right) \times 100$$

ここで $I_{C(max)}$ は1素子当りの最大電流、 $\Sigma I$ は並列接続時の最大電流を表しています。しかしながら $\Sigma I$ での駆動のためには並列接続したそれぞれの素子が仕様書に記載のRBSOAを満足する必要があるとともに、発生損失によって生じる接合温度の上昇を $T_j(max)$ 以下にする必要があります。

特に発生損失による接合温度の上昇は使用条件（スイッチング周波数、ドライブ条件、放熱条件、スナバ条件等）により異なるので注意が必要です。

例えば、 $\alpha=15\%$ 、 $I_{C(max)}=200A$ 、 $n=4$  の場合では、 $\Sigma I=643.4A$  と計算され、単純に  $200 \times 4=800A$  とはならず、19.6%のディレーティングが必要であることがわかります。このように並列時の全電流  $\Sigma I$  は単純な電流総和 ( $n \times I_{C(max)}$ ) に対してディレーティングが必要となります。

#### 1.4 V<sub>CE(sat)</sub>のバラツキと電流アンバランス率

Fig. 3 に代表的な V<sub>CE(sat)</sub> のバラツキと電流アンバランス率の関係を示します。同図は V シリーズ IGBT の 2 並列接続時における電流アンバランス率です。同図からわかるように、V<sub>CE(sat)</sub> のバラツキが大きくなると電流アンバランス率が大きくなることがわかります。それゆえ並列接続をする際には V<sub>CE(sat)</sub> の差 ( $\Delta V_{CE(sat)}$ ) が小さい製品を組み合わせる必要があります。

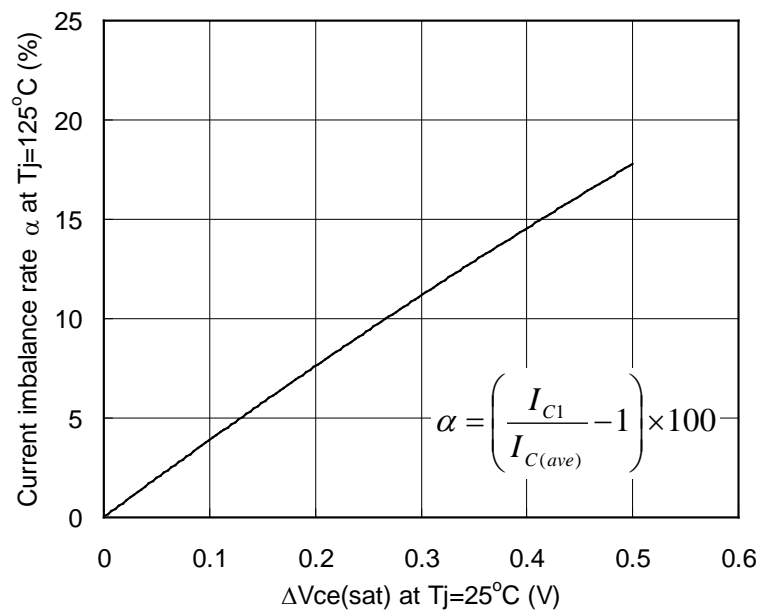


Fig. 3 V<sub>CE(sat)</sub>のバラツキと電流アンバランス率

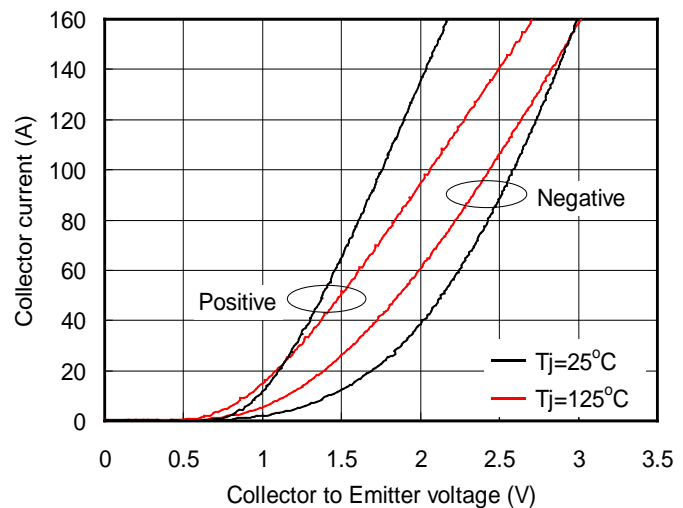


Fig. 4 出力特性比較

## 1.5 補足 / -54 系列について

PrimePACK™ 製品系列に VF 及び VCE(sat) ランク表示を表示した系列を準備しております。型式の末尾に-54と記載された系列が相当します。同一又は近い VF ランク及び VCE(sat) ランクを組み合わせることで良好な電流バランスが得られます。 Fig.5 に-54 系列のランク表示を示します。

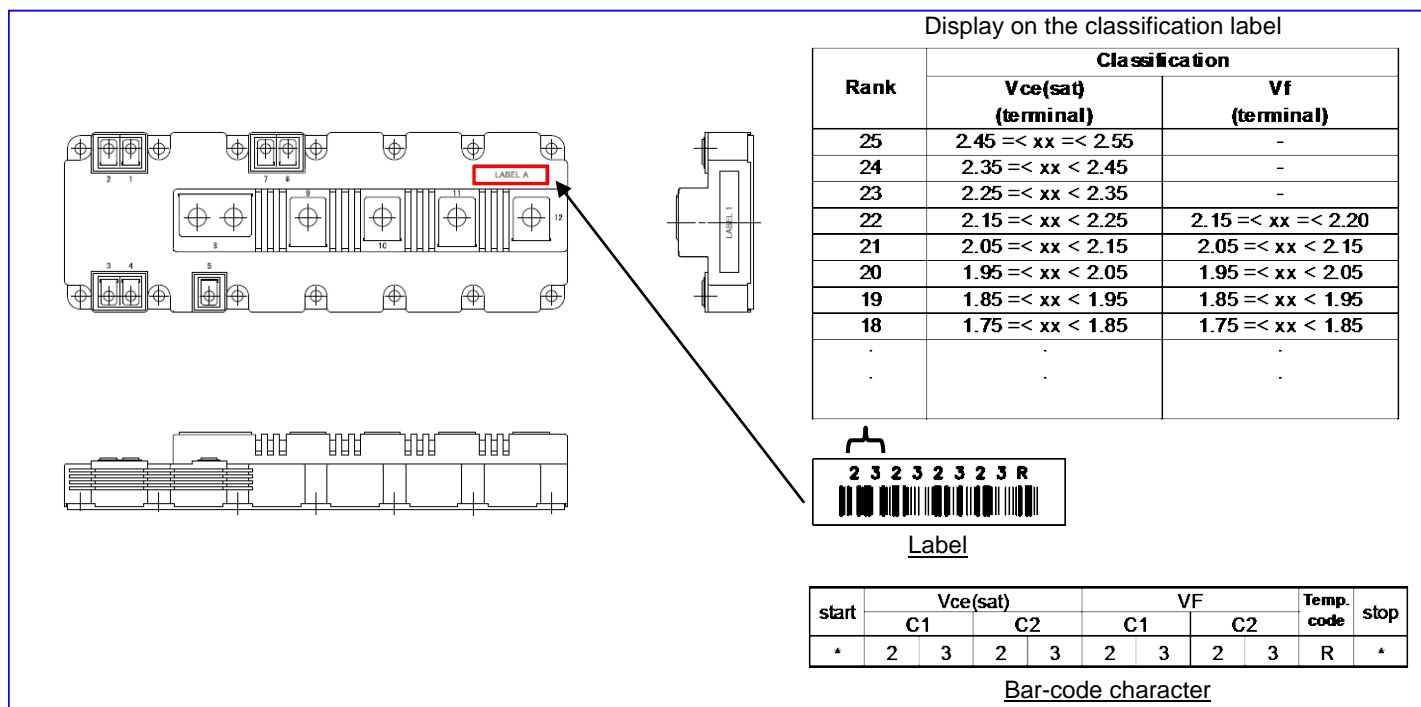


Fig.5 -54 系列のランク表示について

## 2 スイッチング時の電流アンバランス

### 2.1 主回路配線インダクタンスのバラツキ

主回路配線のインダクタンスが不均等の場合、並列接続された素子のスイッチング時の電流分担にアンバランスを生じさせます。Fig. 6 に主回路配線インダクタンスを考慮した並列接続時の簡易等価回路を示します。IGBT1、2 に流れるオン電流をそれぞれ  $IC_1$ 、 $IC_2$  としたとき、それらの電流分担は各 IGBT の配線インダクタンス  $LC_1+LE_1$  と  $LC_2+LE_2$  の差に影響を受け、ほぼそれらのインダクタンス比によって決められます。したがってスイッチング時の電流アンバランスを緩和するためには、配線インダクタンスをできる限り均等にすることが必要です。しかしながらたとえ  $LC_1+LE_1=LC_2+LE_2$  という理想的な配線インダクタンスを実現したとしても、 $LE_1$  と  $LE_2$  の配線インダクタンスが不均一な場合は、スイッチング時の電流変化率 ( $di/dt$ ) の違いによって発生する誘起電圧に差が生じることとなります。この誘起電圧の差は 並列接続された各 IGBT の実効的に印加されるゲート電圧に影響を与え、電流アンバランスを助長します。

このことから、素子の並列接続を行なう際は、可能な限り  $LC_1=LC_2$ 、 $LE_1=LE_2$  となるような配線として、配線構造の対称性を確保する事が非常に重要となります。

また、主回路配線のインダクタンスが大きいと IGBT ターンオフ時のサージ電圧が大きくなるために、配線インダクタンスはできる限り小さくする必要があります。それゆえ並列接続する IGBT モジュールは可能な限り密着させて配置し、配線は可能な限りの均等化して下さい。

IGBT モジュールに補助エミッタがある場合には、エミッタ側の主回路インダクタンスの影響を小さくするために、そのエミッタ端子を用いてゲートを駆動することを推奨いたします。

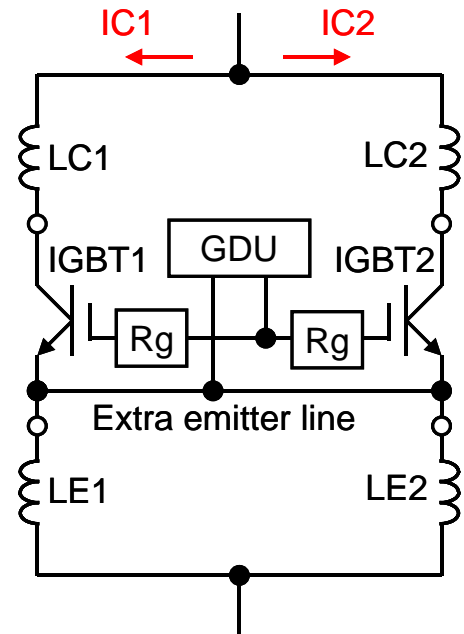


Fig. 6 主回路配線インダクタンスを考慮した並列接続時の簡易等価回路

### 3 ゲートドライブ回路

各 IGBT を異なるゲート駆動回路(GDU)で動作させた場合では、その回路の遅れ時間などのバラツキによって、スイッチングのタイミングにバラツキを生じることが懸念されます。したがって、IGBT モジュールを並列接続する場合は、その IGBT のゲート駆動回路(GDU)は IGBT モジュールの並列数に関係なく 1 台で構成することを推奨いたします。このように構成することでゲート駆動回路に起因したスイッチングのバラツキが低減でき、IGBT の並列動作時の悪影響を減らすことが可能となります。ただし並列接続したモジュールのゲートを同一の駆動回路で動作させる場合には、駆動能力不足によるスイッチングスピードの低下やゲート制御ができないなどの懸念点が考えられるため、ゲート駆動回路はその並列数に応じた適切な容量を選定してください。

またゲート駆動回路を 1 台で構成する場合、その配線インダクタンスと IGBT の入力容量により、ゲート電圧の立ち上がり時に寄生振動を起こす場合がありますので、各 IGBT のゲート抵抗はそれぞれのゲートへ個別に接続して下さい (Fig.7 参照)。さらにこの振動抑制のためにエミッタ配線に抵抗を入れる場合がありますが、その抵抗によって生じる電圧降下によって素子の誤動作を引き起こす可能性がありますので、十分に検証して適用してください。

ゲート駆動回路のエミッタ配線が主回路配線の異なった位置に接続された場合には、図 8-6 に示した LE1 と LE2 が不均衡となるため、並列接続された素子の過渡的な電流分担がアンバランスになります。通常、IGBT モジュールにはゲート駆動回路用に補助エミッタ端子が設けられており、素子内部のドライブ配線は均等となります。したがってこの端子を使用してゲートを駆動すれば、素子内部での過渡的な電流アンバランスを抑制することができます。このような理由から、IGBT モジュールに補助エミッタ端子がある場合にはその端子を用いてゲートを駆動することを推奨いたします。

しかしながら補助エミッタ端子を用いてゲートを駆動した場合でもゲート駆動回路から各モジュールまでのエミッタ配線が長く、不均一になれば電流アンバランスを引き起こします。それゆえ並列接続した各モジュールへのゲート駆動回路の配線は均等な長さで最短となるように行なってください。このときゲート駆動回路の配線は密に撚り合わせると共に、主回路配線からはできるだけ遠ざけ、相互誘導(特にコレクタ電流)を受けないように配置して下さい。

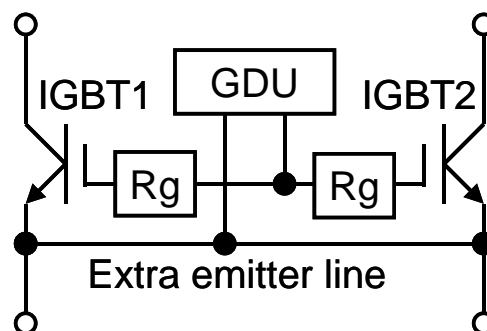


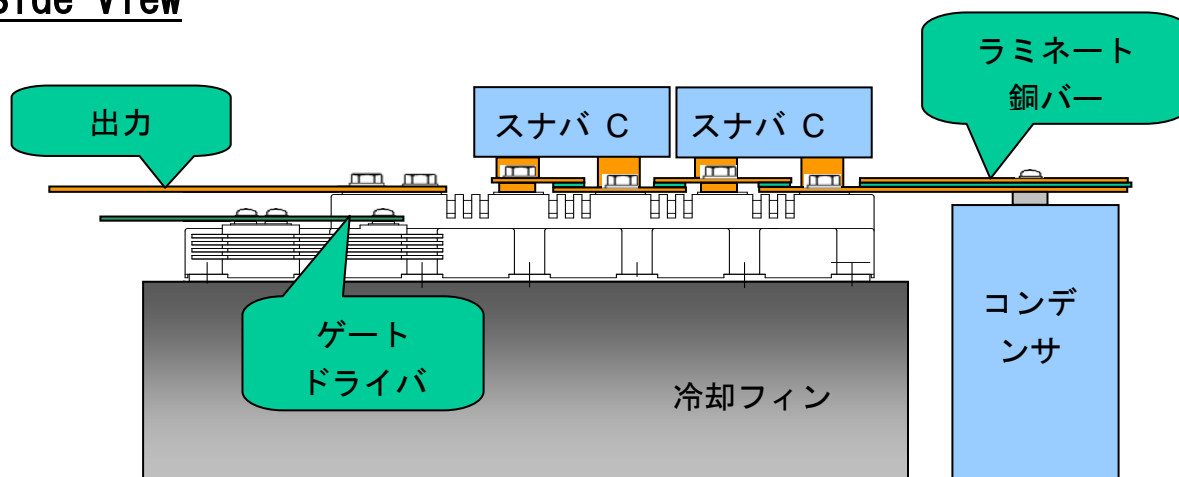
Fig.7 ゲートドライブ回路の配線



## 4 並列接続時の配線例

### 4.1 2 並列接続時の配線例

#### Side View



#### Top View

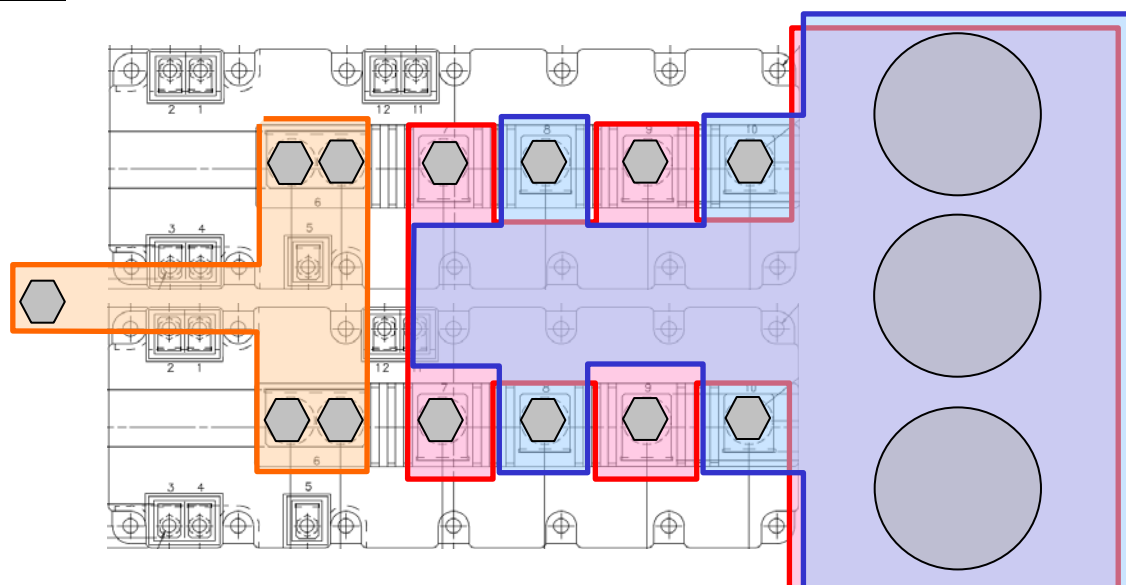
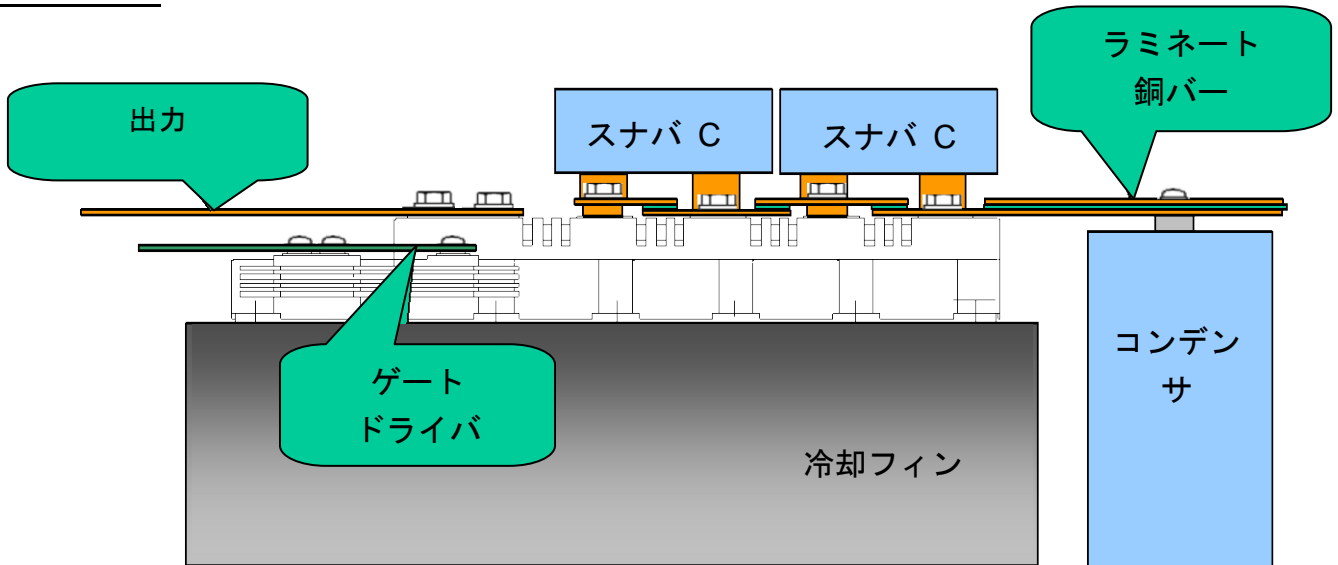


Fig.8 2 並列接続時の配線例

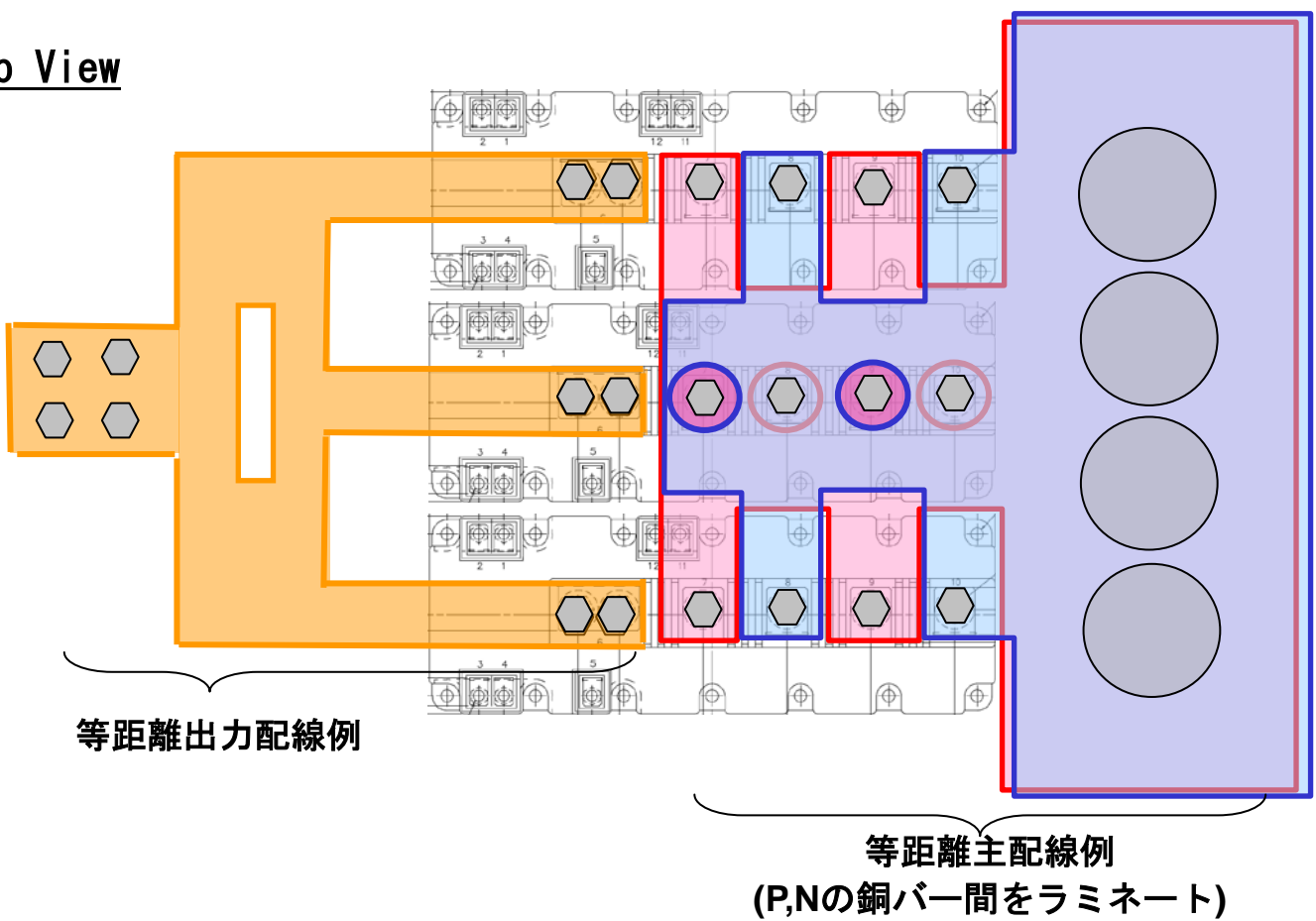


4.2 3 並列接続時の配線例

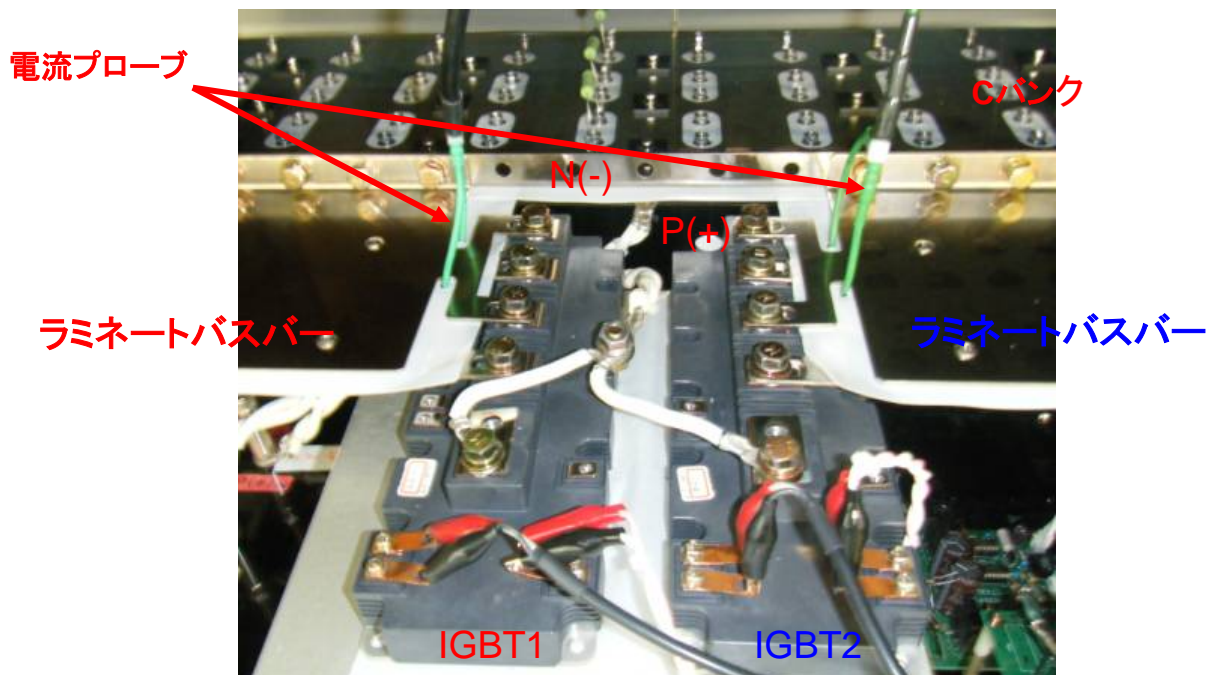
Side View



Top View



## 4.3 2MBI1000VXB-170E-50の2並列接続例



良好な電流分担を得るために配線インダクタンスと抵抗を均等化することが重要です。

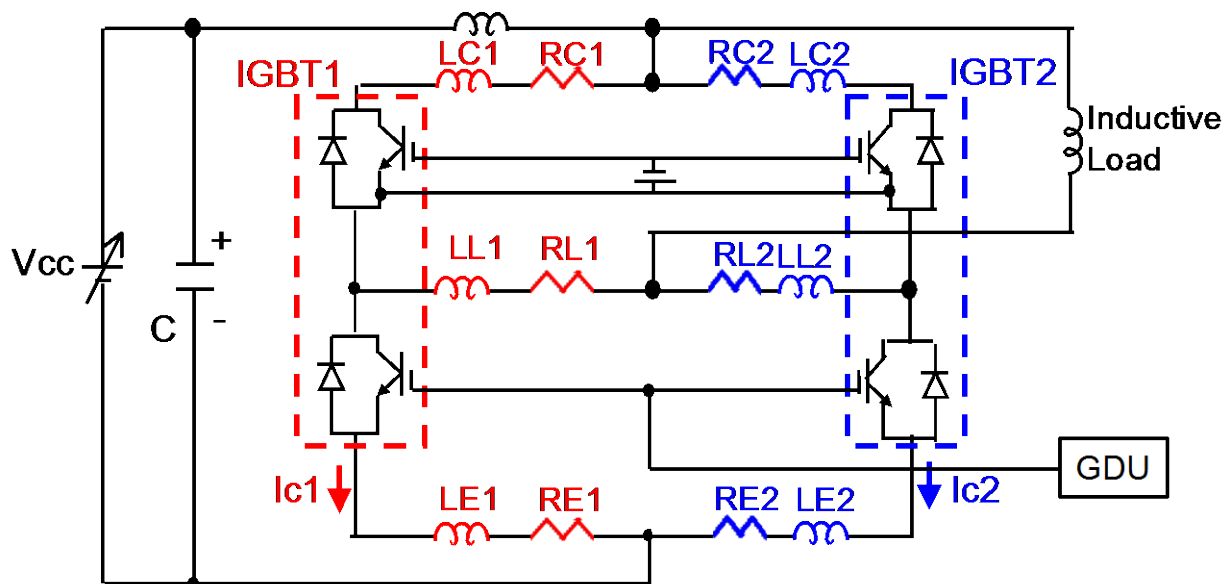


Fig. 10 大容量 2in1 素子で構成した並列接続時の等価回路  
( $RC1=RC2$ ,  $RL1=RL2$ ,  $RE1=RE2$   $LC1=LC2$ ,  $LL1=LL2$ ,  $LE1=LE2$  となるように配線している)

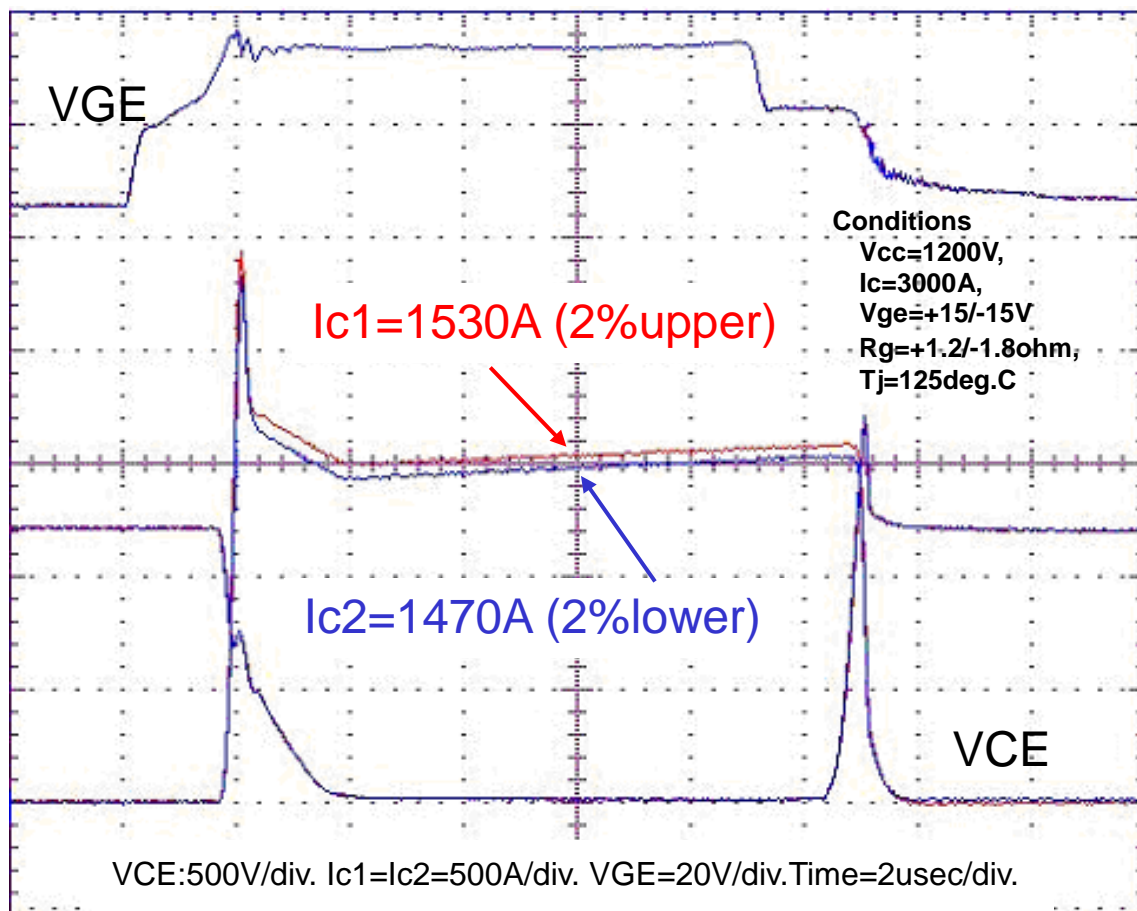


Fig. 11 2MBI1000VXB-170E-50 2 並列スイッチング波形

配線バーによる電流不平衡率 2%に収められている