

富士 ディスクリートIGBT
TO-247-P

Application Manual

注意

1. この資料の内容(製品の仕様、特性、データ、材料、構造など)は2021年1月現在のものです。この内容は製品の仕様変更のため、または他の理由により事前の予告なく変更されることがあります。この資料に記載されている製品を使用する場合には、その製品の最新版の仕様書を入手して、データを確認してください。
2. 本資料に記載してある応用例は富士電機製品を使用した代表的な応用例を説明するものであり、本資料によって工業所有権、その他権利の実施に対する保証または実施権の許諾を行うものではありません。
3. 富士電機(株)は絶えず製品の品質と信頼性の向上に努めています。しかし、半導体製品はある確率で故障する可能性があります。富士電機製半導体製品の故障が、結果として人身事故、火災等による財産に対する損害や、社会的な損害を起こさぬように冗長設計、延焼防止設計、誤動作防止設計など安全確保のための手段を講じてください。
4. 本資料に記載している製品は、普通の信頼度が要求される下記のような電子機器や電気機器に使用されることを意図して造られています。
 - ・コンピュータ・OA機器・通信機器(端末)・計測機器・工作機械
 - ・オーディオビジュアル機器・家庭用電気製品・パーソナル機器・産業用ロボットなど
5. 本資料に記載の製品を、下記のような特に高い信頼度を持つ必要がある機器に使用をご予定のお客様は事前に富士電機(株)へ必ず連絡の上、了解を得てください。この資料の製品をこれらの機器に使用するには、そこに組み込まれた富士電機製半導体製品が故障しても、機器が誤動作しないように、バックアップ・システムなど、安全維持のための適切な手段を講じる必要があります。
 - ・輸送機器(車載、船用など)・幹線用通信機器・交通信号機器
 - ・ガス漏れ検知及び遮断機・防災/防犯装置・安全確保のための各種装置
6. 極めて高い信頼性を要求される下記のような機器には、本資料に記載の製品を使用しないでください。
 - ・宇宙機器・航空機搭載用機器・原子力制御機器・海底中継機器・医療機器
7. 本資料の一部または全部の転載複製については、文書による弊社の承諾が必要です。
8. 本資料の内容にご不明の点がありましたら、製品を使用する前に富士電機(株)または、その販売店へ質問してください。本注意書きの指示に従わないために生じたいかなる損害も富士電機(株)とその販売店は責任を負うものではありません。

CONTENTS

第1章 富士ディスクリートIGBTの製品概要

1. 素子構造の変革と特徴	1-2
2. ディスクリートIGBTの構造	1-3
3. 型式の見方	1-4
4. RoHS指令	1-5

第2章 用語と特性

1. 用語説明	2-2
2. IGBTとFWDの特性	2-4

第3章 サージ電圧保護(主回路)

1. サージ電圧の発生要因と抑制方法	3-2
2. スナバ回路の種類と特徴	3-4
3. 放電阻止型RCDスナバ回路の設計方法	3-6
4. アクティブクランプ回路	3-8

第4章 ドライブ回路設計

1. ゲート順バイアス電圧: $+V_{GE}$ (オン期間)	4-2
2. ゲート逆バイアス電圧: $-V_{GE}$ (オフ期間)	4-3
3. ゲート抵抗: R_G	4-3
4. ドライブ電流	4-4
5. デッドタイムの設定	4-5
6. ドライブ回路の具体例	4-7
7. ドライブ回路設計、実装上の注意事項	4-7

第5章 熱設計

1. 損失の考え方	5-2
2. DCチョップパ応用の場合の発生損失計算方法	5-3
3. 放熱の考え方	5-4
4. ジャンクション温度の計算	5-5

CONTENTS

第6章 実装・取り扱い上の注意事項

1. 静電破壊防止対策	6-2
2. はんだ付け	6-3
3. スルーホールの端子加工、取り付け	6-4
4. 洗浄	6-5
5. ヒートシンクへの取付方法	6-5

第7章 代表的なトラブルとその対処方法

1. トラブル発生時の要因解析	7-2
2. 故障判定方法	7-7
3. 代表的なトラブルとその対処方法	7-8

第8章 保管・運搬の注意事項

1. 保管	8-2
2. 運搬	8-2
3. 作業環境	8-3

第1章 富士ディスクリートIGBTの製品概要

1. 素子構造の変革と特徴	1-2
2. ディスクリートIGBTの構造	1-3
3. 型式の見方	1-4
4. RoHS指令	1-5

本章では富士ディスクリートIGBTの製品概要について説明します。

1. 素子構造の変革と特徴

IGBTはMOSFETのドレイン側にp+層を追加した構造となっており、ベース層の伝導度変調を用いて大電流での低抵抗化を実現した素子です。特にゲートに正の電圧を印加するとn型のチャンネルが形成されるIGBTをnチャンネル型と呼びます。

IGBTの構造は表面のゲート構造とベース層を形成するバルク構造に大別することができ、ゲート構造にはウェーハ表面にゲートを形成するプレーナゲート構造とウェーハの中に溝を掘ってゲートを形成するトレンチゲート構造の2種類があります。一方、バルク構造にはオフ時に空乏層がコレクタ(p+層)に接触するパンチスルー(Punch Through)型とそれに接触しないノンパンチスルー(Non Punch Through)型に分けることができます。図1-1 に構造比較を示します。

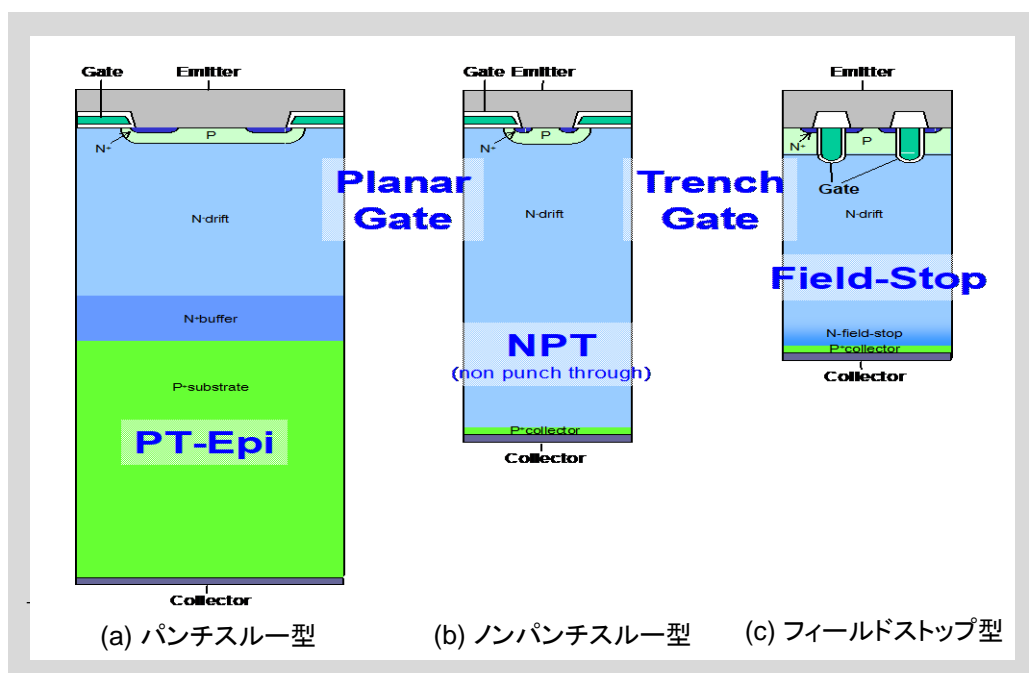


図1-1 nチャンネル型IGBTの構造比較

富士電機はIGBTの製品化を1988年から始め、市場に供給してきました。当時のIGBTはプレーナゲート構造パンチスルー型IGBTが主流でした。当時のパンチスルー型IGBTはエピタキシャルウェーハを用いており、コレクタ側からキャリアを高注入することで低オン電圧を実現していました。同時にターンオフ時にはnベース層に高注入されたキャリアを速やかに消去する必要があるため、ライフタイムコントロール技術を適用していました。これにより低飽和電圧と低いターンオフスイッチング損失(E_{off})を実現させていました。しかしながらライフタイムコントロール技術で高注入のキャリアを抑制すると特性改善に限界がありました。また、飽和電圧特性のバラツキが生じ、近年要求の高まってきた並列使用の大容量化等に対するデメリットがありました。

これらの課題を打開するために、ノンパンチスルー型IGBTが開発されました。ノンパンチスルー型IGBTは、コレクタ(p+層)の不純物濃度コントロールによりキャリアの注入効率を抑制するとともに、nベース層の厚さを薄くして輸送効率を高めています。この型ではエピタキシャルウェーハを用いずFZ(Floating Zone)ウェーハを用いることができるため、結晶欠陥の影響を受けにくいという利点を持っています。一方で低飽和電圧を達成するためには、高輸送効率化する必要があり、nベース層の厚さを薄くする技術が必要でした。富士電機ではウェーハの薄厚化技術を開発し、特性改善に努めてきました。更なる特性改善のためには、より薄いチップ厚を持ったIGBTが必要となりますが、チップ厚の大部分をnベース層の厚さが占めるため、その厚さを薄くすると所定の電圧保持が不可能になります。この特性改善を阻む要因を打破した構造がFS(Field Stop)構造です。FS構造とは、nベース層下部に濃度が高いFS層を設けた構造です。このFS構造を採用することで更なる特性改善が可能となりました。また富士電機はIGBTの特性改善に不可欠な技術として表面構造の微細化も併せて進めて来ました。IGBTはセルと呼ばれるIGBTの基本構造が多数配置される構造によって形成されています。セル数が多いほど低飽和電圧化が実現できます。それゆえウェーハ表面に平面的にセルを作る構造(プレーナ構造)からシリコン表面にトレンチ(溝)を形成し縦方向にゲート構造を形成するトレンチ構造へと表面構造も移り変わってきました。このように、バルク構造と表面構造に様々な技術を適用することで、特性改善を図ってきました。

2. ディスクリートIGBTの構造

図1-2にIGBTとFWDが内蔵されたTO-247-Pのディスクリート製品構造を示します。図1-2(a)に外部構造、図1-2(b)に内部構造を示します。端子先端の①、②、③はそれぞれゲート、コレクタ、エミッタを示しています。ディスクリートIGBTは一般的なモジュールと異なり、絶縁基板を使用していません。

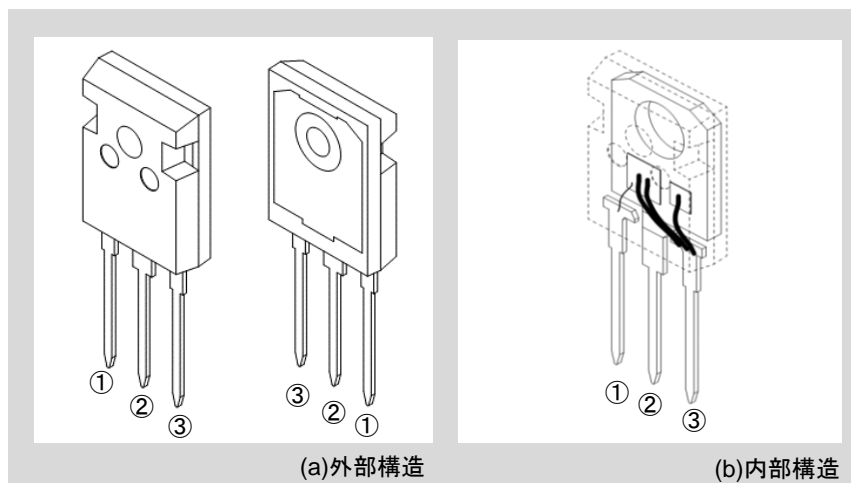
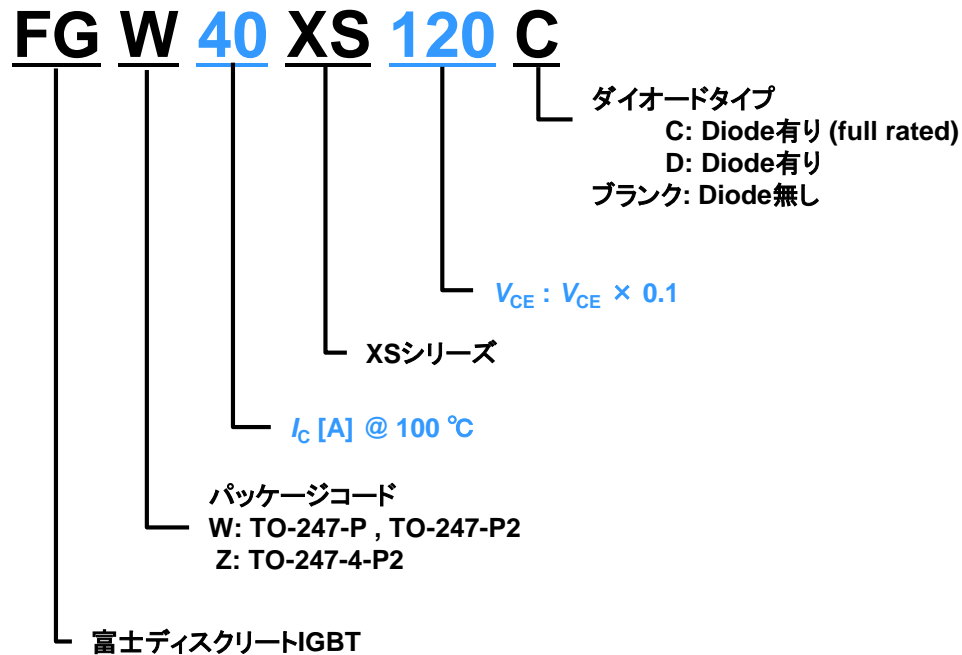


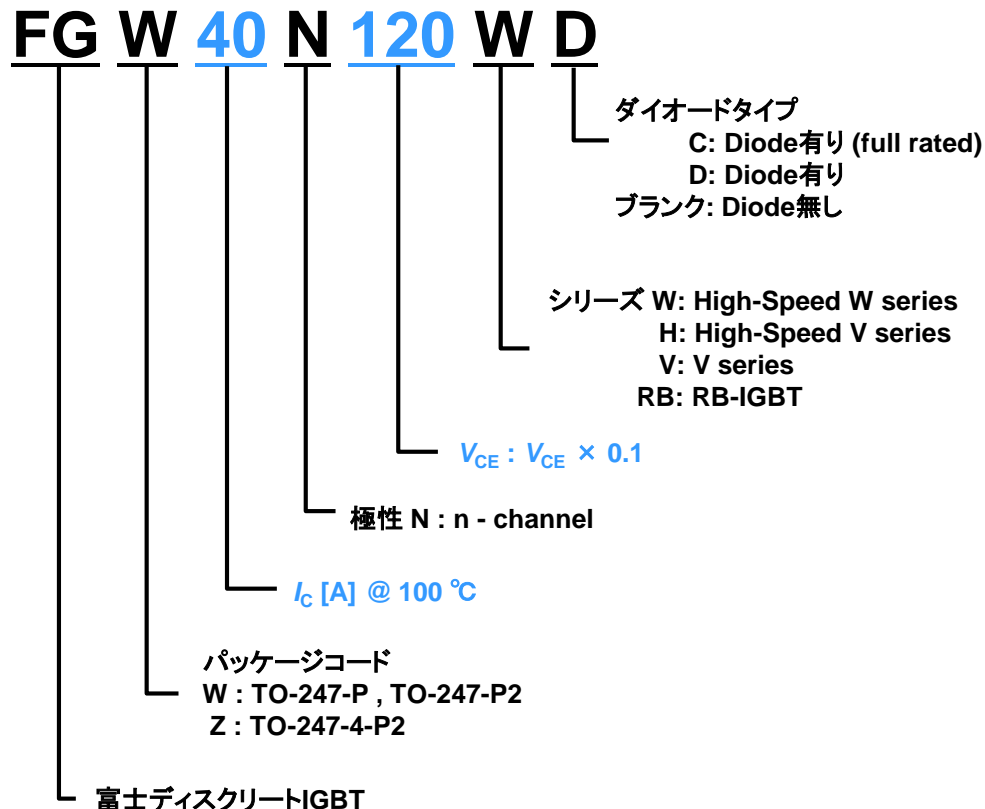
図1-2 ディスクリートIGBTの構造図

3. 型式の見方

FGW40XS120C(例) : XSシリーズ



FGW40N120WD (例) : XSシリーズを除く



4.RoHS指令

RoHS(Restriction of the Use of Certain Hazardous Substances in Electrical and Electronic Equipment)指令はEU(欧州連合)が2006年7月1日に施行した有害物質規制であり、電気電子機器への特定有害物質の含有を禁止しています。

現在、規制対象となっているのは、Pb(鉛)、Cd(カドミウム)、Cr6+(6価クロム)、Hg(水銀)、PBB(ポリブロモビフェニル)、PBDE(ポリブロモジフェニルエーテル)、DEHP((フタル酸ビス(2-エチルヘキシル)、BBP(フタル酸ブチルベンジル)、DBP(フタル酸ジブチル)、DIBP(フタル酸ジイソブチル)の10物質です。

これら10物質を、しきい値(Cdは0.01%、他は0.1%)を超えて含有する製品はEU内では販売できませんが、技術的に代替が困難な用途については、適用除外が認められています。

弊社のディスクリートIGBTの製品はRoHS対応品です。端子部のディップはんだは、鉛フリーはんだ(Pb 0.1%未満)を使用しております。

第2章 用語と特性

1. 用語説明	2-2
2. IGBTとFWDの特性	2-4

本章では、用語と特性について説明します。

1.用語説明

仕様書等に使用されている用語について説明します。

表2-1：絶対最大定格

用語	記号	定義 及び説明 (条件は各製品の仕様書を参照ください。)
コレクタ-エミッタ間電圧 (Collector-Emitter Voltage)	V_{CES}	ゲート-エミッタ(以下、G-E)間を短絡した状態でコレクタ-エミッタ(以下、C-E)間に印加できる最大電圧
ゲート-エミッタ間電圧 (Gate-Emitter Voltage)	V_{GES}	C-E間を短絡した状態でG-E間に印加できる最大電圧 (通常 $\pm 20V$ max.)
コレクタ電流 (Collector Current)	I_C	コレクタ電極に許容される最大直流電流
	I_{CP}	コレクタ電極に許容される最大パルス電流
内蔵ダイオード順方向電流 (Diode Forward Current)	I_F	内蔵ダイオード(以下、FWD)に許容される最大直流順電流
	I_{FP}	FWDに許容される最大パルス順電流
短絡耐量時間 (Short Circuit Withstand Time)	t_{SC}	短絡をしても破壊しない時間
IGBT最大損失 (Collector Power Dissipation)	P_{D_IGBT}	IGBTの許容される最大電力損失
内蔵ダイオード最大損失 (FWD Power Dissipation)	P_{D_FWD}	FWDの許容される最大電力損失
接合部温度 (Operating Junction Temperature)	T_{vj}	素子に異常を引き起こさず動作できる接合部温度範囲
保存温度 (Storage Temperature)	T_{stg}	電極に電氣的負荷をかけずに保存、又は輸送できる温度範囲

表2-2: 電気的特性

用語	記号	定義 及び説明 (条件は各製品の仕様書を参照ください。)
コレクタ-エミッタ間遮断電流 (Zero Gate Voltage Collector Current)	I_{CES}	G-E間を短絡した状態で、C-E間に指定の電圧を印加したときのC-E間の漏れ電流
ゲート-エミッタ間漏れ電流 (Gate-Emitter Leakage Current)	I_{GES}	C-E間を短絡した状態で、G-E間に指定の電圧を印加したときのG-E間の漏れ電流
ゲート-エミッタ間しきい値電圧 (Gate-Emitter Threshold Voltage)	$V_{GE(th)}$	指定C-E間電流(以下、 I_C)とC-E間電圧(以下、 V_{CE})におけるG-E間電圧(以下、 V_{GE})(C-E間に微小電流が流れ始める V_{GE} 値、IGBTがオンし始める V_{GE} の尺度として用いられる。)
コレクタ-エミッタ間飽和電圧 (Collector-Emitter Saturation Voltage)	$V_{CE(sat)}$	指定の V_{GE} において定格の I_C を流した時の V_{CE} 値
入力容量 (Input Capacitance)	C_{ies}	C-E間を交流的に短絡した状態で、G-E間及びC-E間に指定の電圧を印加した時のG-E間容量
出力容量 (Output Capacitance)	C_{oes}	G-E間を交流的に短絡した状態で、G-E間及びC-E間に指定の電圧を印加した時のC-E間容量
帰還容量 (Reverse Transfer Capacitance)	C_{res}	G-E間、C-E間を交流的に短絡した状態でG-E間及びC-E間に指定の電圧を印加した時のC-G間容量
ゲート電荷 (Gate Charge)	Q_G	IGBTをオンさせるためにG-E間に充電される電荷量
ターンオン遅れ時間 (Turn-On Delay Time)	$t_{d(on)}$	IGBTのターンオン時に V_{GE} が最大値の10%に達してから、 I_C が最大値の10%に達するまでの時間(図2-4参照)
立上り時間 (Rise Time)	t_r	IGBTのターンオン時に、 I_C が最大値の10%に上昇した時点から、最大値の90%に達するまでの時間(図2-4参照)
ターンオフ遅れ時間 (Turn-Off Delay Time)	$t_{d(off)}$	IGBTのターンオフ時に V_{GE} が最大値の90%に達してから、 I_C が90%に達するまでの時間(図2-4参照)
立下り時間 (Fall Time)	t_f	IGBTのターンオフ時に、 I_C が最大値の90%から、10%に下降するまでの時間(図2-4参照)
ターンオン損失 (Turn-on Energy)	E_{on}	IGBTのターンオン時に発生する損失(図2-4参照)
ターンオフ損失 (Turn-off Energy)	E_{off}	IGBTのターンオフ時に発生する損失(図2-4参照)
逆回復損失 (Reverse Recovery Energy)	E_{rr}	FWDの逆回復時に発生する損失(図2-4参照)
ダイオード順電圧 (Forward Voltage Drop)	V_F	FWDに指定の順方向電流を流したときの順方向電圧
逆回復時間 (Diode Reverse Recovery Time)	t_{rr}	FWDのターンオフ時に、電流が0Aを横切った時点から、逆回復ピーク電流の10%まで回復するまでの時間(図2-4参照)
逆回復電荷量 (Diode Reverse Recovery Charge)	Q_{rr}	FWDの逆回復電流が消滅するまでに要する電荷量
逆バイアス安全動作領域 (Reverse Biased Safe Operating Area)	RBSOA	ターンオフ時に指定の条件にてIGBTが安全に遮断できる電流と電圧の領域
ジャンクション-周囲間熱抵抗 (Thermal Resistance, Junction-Ambient)	$R_{th(j-a)}$	ヒートシンクを取付けず無風状態でのチップ-周囲間の熱抵抗
IGBT接合部-ケース間熱抵抗 (Thermal Resistance, IGBT Junction to Case)	$R_{th(j-c)}_{IGBT}$	チップ-ケース間の熱抵抗(IGBT)
FWD接合部-ケース間熱抵抗 (Thermal Resistance, FWD Junction to Case)	$R_{th(j-c)}_{FWD}$	チップ-ケース間の熱抵抗(FWD)

2.IGBTとFWDの特性

ディスクリートIGBT製品にはIGBTと逆並列にFWDを接続している製品とIGBT単体の製品があります。FGW40XS120C(1200V / 40A素子)を例に取り、仕様書等に記載しているIGBTとFWDの諸特性の説明を以下に示します。

<出力特性>

この特性はIGBTがオンしているときのドロップ電圧(V_{CE})と電流(I_C)の関係を示すもので、オン時にIGBTに発生する損失となります。 V_{CE} が低いほど発生損失が小さくなります。この特性は T_{vj} 、 V_{GE} によって変化します。一般的には $V_{GE}=15V$ の出力特性を用います。

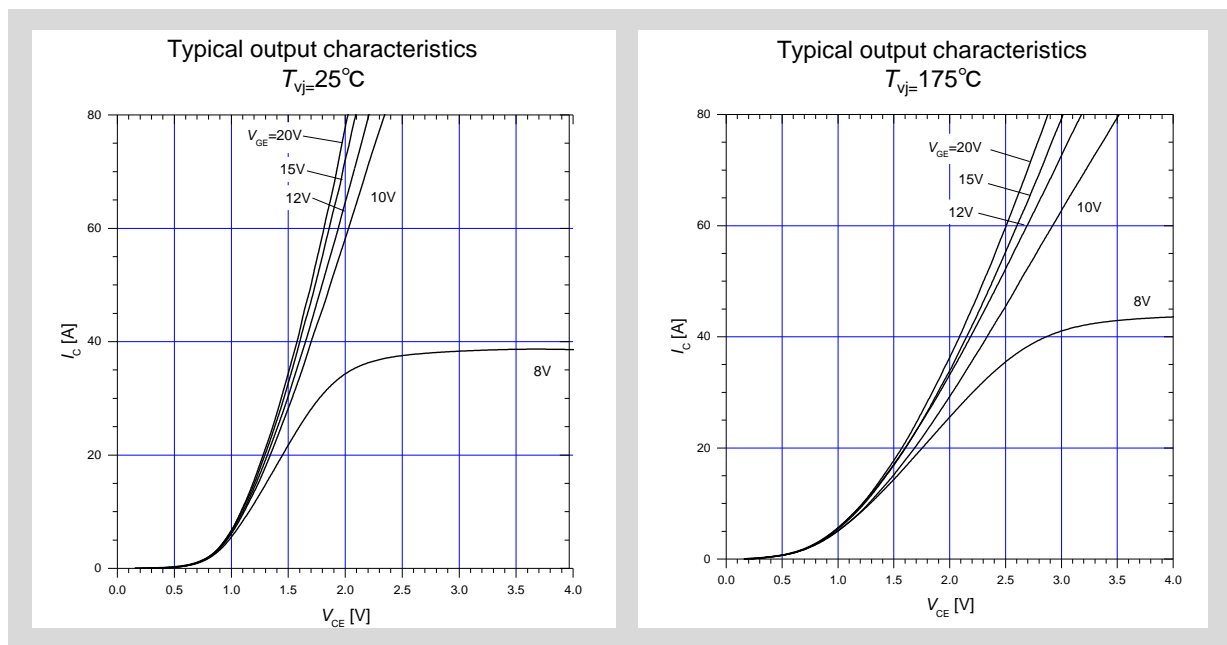


図2-1 $V_{CE(sat)}$ - I_C 特性

図2-2にFWDの V_F - I_F 特性を示します。この特性は T_{vj} により変化します。

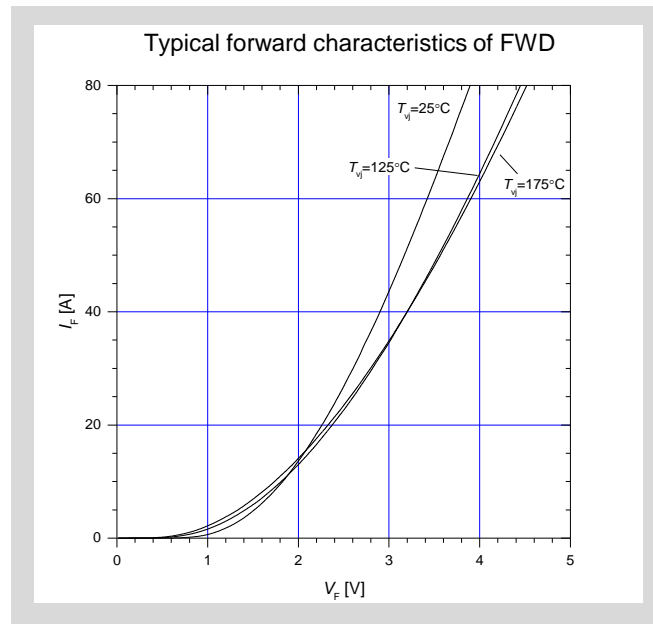


図2-2 V_F - I_F 特性

<スイッチング特性>

スイッチング特性はスイッチング時間とスイッチング損失の2つに大別することができます。スイッチング特性は図2-3に示すチョップパ回路で測定できます。

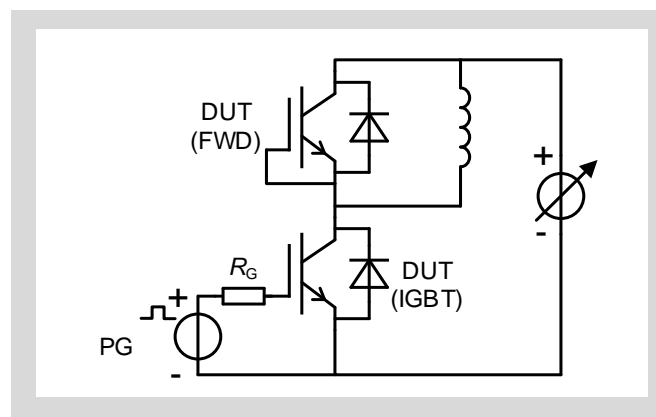


図2-3 スwitchング特性測定回路

表2-2に記載のスイッチング時間($t_{d(on)}$ 、 t_r 、 $t_{d(off)}$ 、 t_f 、 t_{rr})とスイッチング損失(E_{on} 、 E_{off} 、 E_{rr})の定義を図2-4に示します。

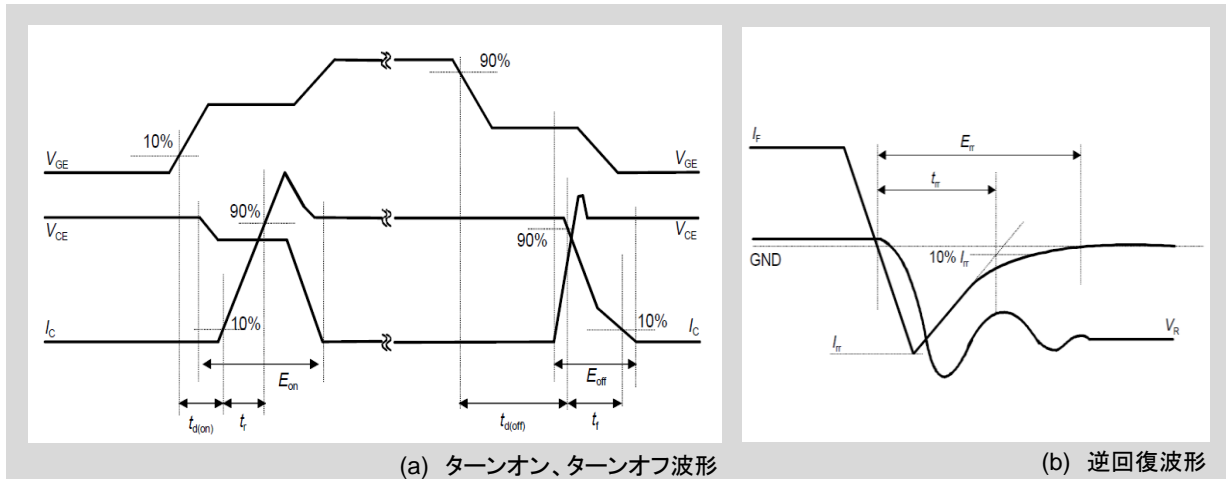


図2-4 スwitchング時間の定義

IGBTのスイッチング時間と I_C の関係を図2-5、スイッチング時間と R_G の関係を図2-6に示します。スイッチング時間は I_C 、 T_{vj} 、 R_G によって変化します。

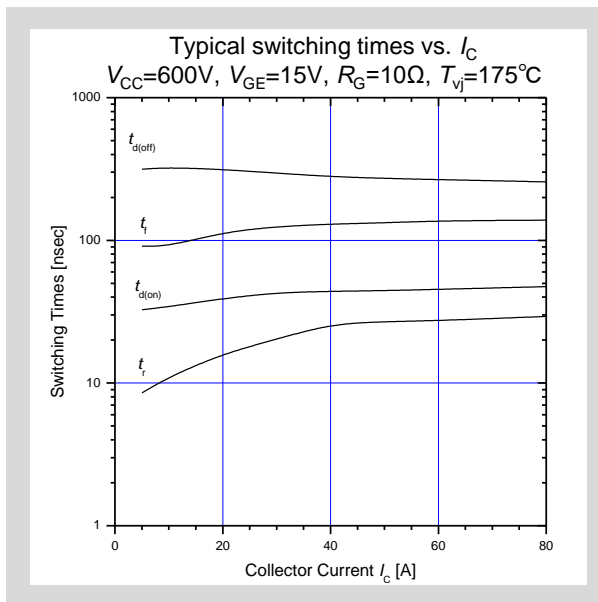


図2-5 スwitchング時間- I_C 特性

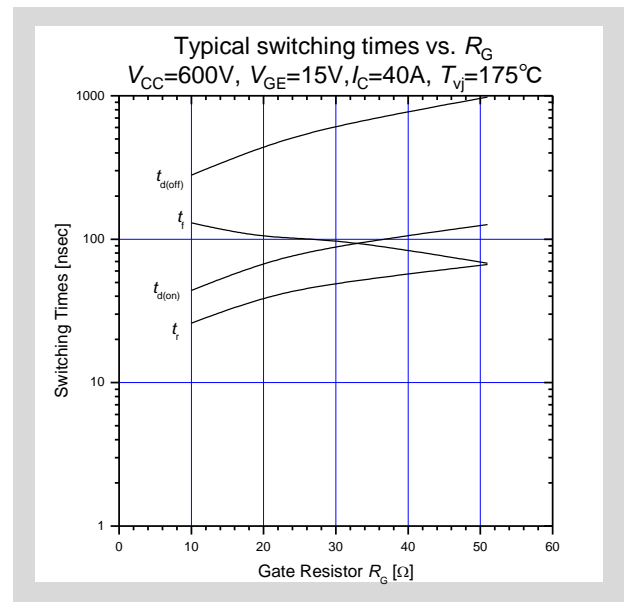


図2-6 スwitchング時間- R_G 特性

FWDの逆回復時間と I_F の関係を図2-7に示します。逆回復時間は I_F 、 T_{vj} 、 R_G によって変化します。

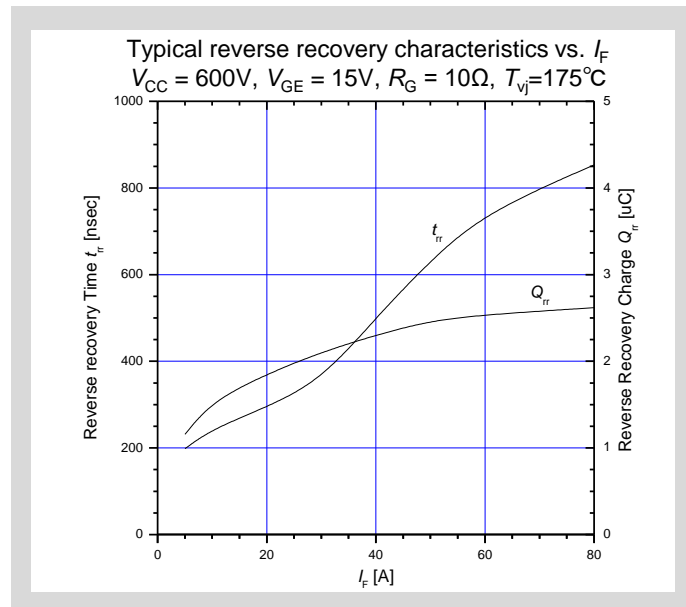


図2-7 t_{tr} - I_F 特性

スイッチング損失(E_{on} 、 E_{off} 、 E_{rr})はIGBTがスイッチングする際(ターンオン、オフ時)に発生します。 E_{on} 、 E_{off} 、 I_C の関係を図2-8、 R_G の関係を図2-9に示します。また E_{rr} と I_F の関係を図2-10に示します。この特性は T_{vj} 、 V_{GE} 、 I_C 、 I_F 、 R_G で変化します。

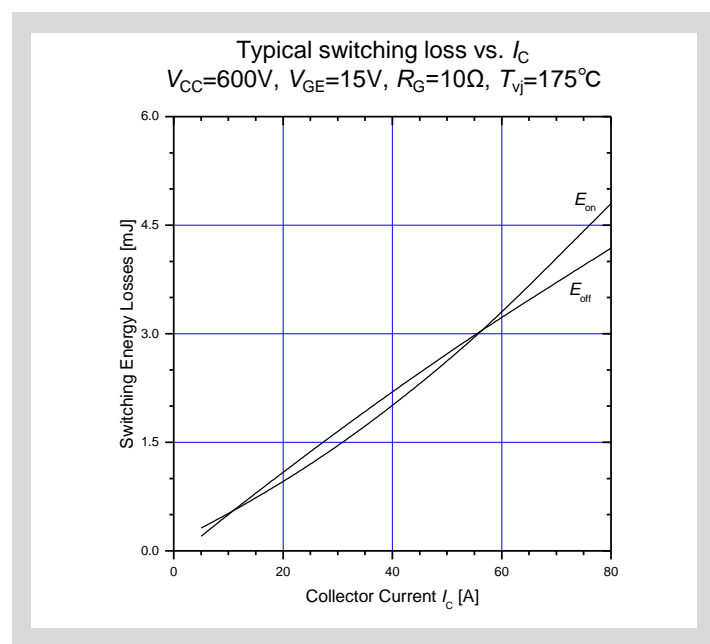


図2-8 E_{on} 、 E_{off} - I_C 特性

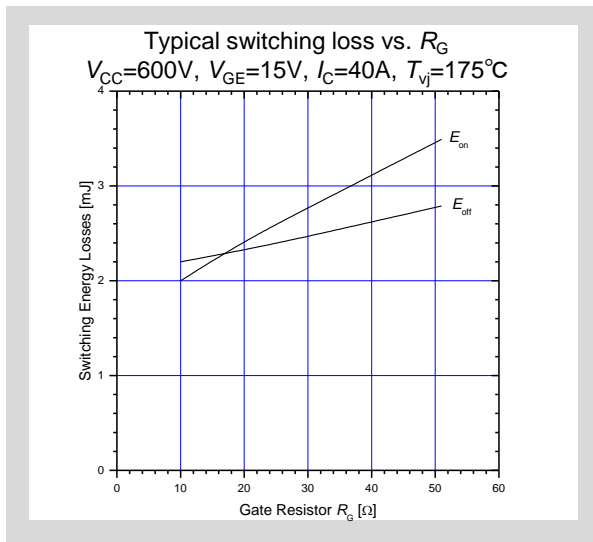


図2-9 E_{on} 、 E_{off} - R_G 特性

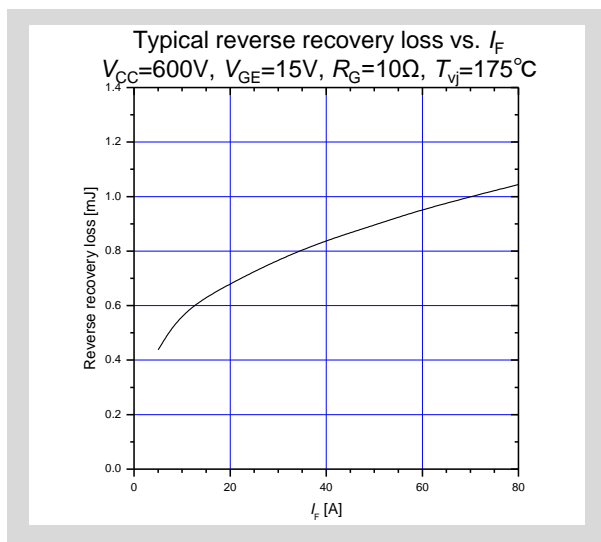


図2-10 E_{rr} - I_F 特性

<容量特性>

IGBTは構造上寄生容量が存在します。寄生容量には C_{ies} 、 C_{oes} 、 C_{res} があります。 V_{GE} と Q_G の関係を図2-11に、 C_{ies} 、 C_{oes} 、 C_{res} と V_{CE} の関係を図2-12に示します。

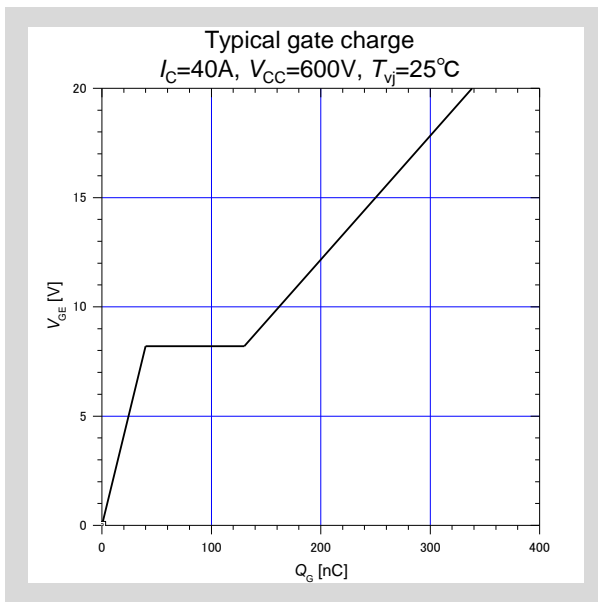


図2-11 V_{GE} - Q_G 特性

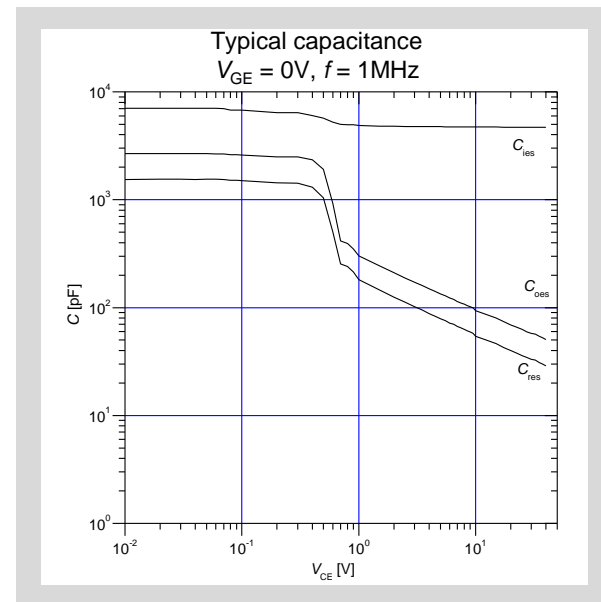


図2-12 寄生容量- V_{CE} 特性

<逆バイアス安全動作領域(RBSOA)>

ターンオフ時に指定の条件にてIGBTが安全に遮断できる $V_{CE}-I_C$ の範囲 (RBSOA) を図2-13に示します。

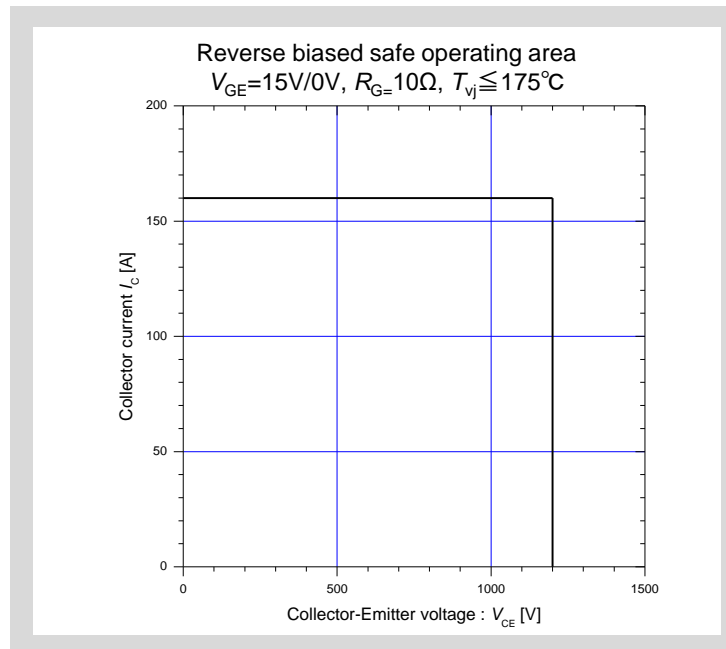


図2-13 逆バイアス安全動作領域(RBSOA)

<過渡熱抵抗特性>

過渡熱抵抗特性を図2-14に示します。単発の定電力パルスを製品に加えた時に発生する温度変化を印加電力で割った値が熱抵抗値です。熱抵抗をパルス時間単位で表した値が過渡熱抵抗特性です。

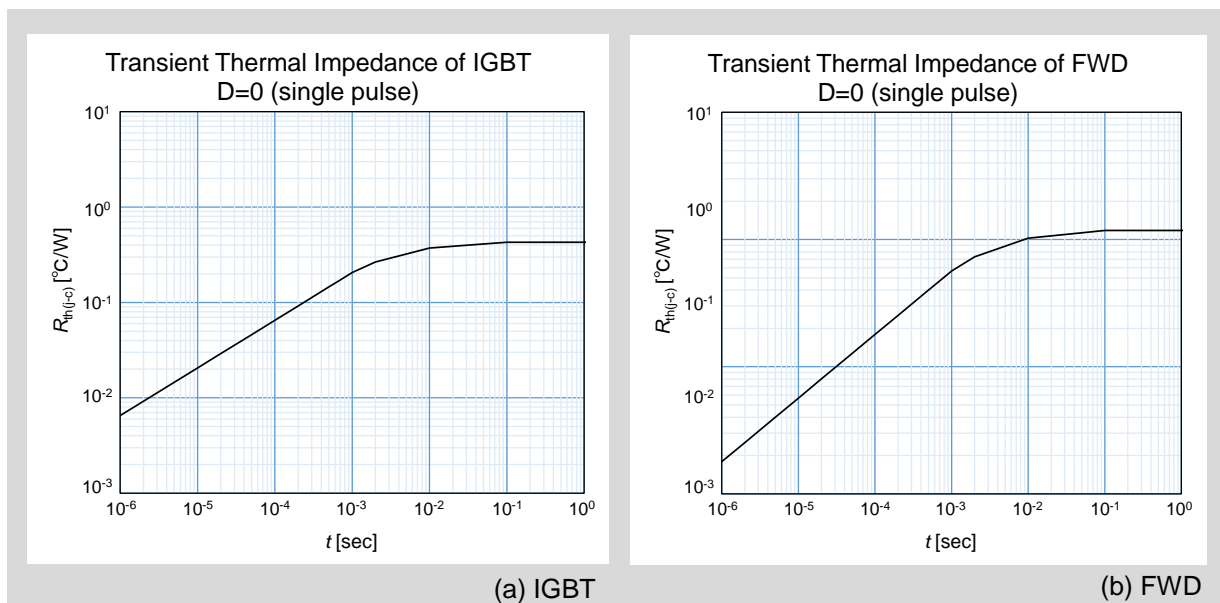


図2-14 過渡熱抵抗特性

第3章 サージ電圧保護(主回路)

1. サージ電圧の発生要因と抑制方法	3-2
2. スナバ回路の種類と特徴	3-4
3. 放電阻止型RCDスナバ回路の設計方法	3-6
4. アクティブクランプ回路	3-8

IGBTとFWDは電流遮断時にサージ電圧が発生し、過電圧で素子が破壊する可能性があります。本章ではサージ電圧保護について説明します。

1. サージ電圧の発生要因と抑制方法

1相分のインバータ回路を図3-1に示します。サージ電圧は、IGBTがオフする際の主回路電流の急激な変化によって主回路の配線インダクタンス L_s に電圧が誘起され発生します。一般的なIGBT1のターンオフ波形とFWD2の逆回復波形を図3-2に示します。このサージ電圧が V_{CES} を越えると過電圧になり破壊する可能性があります。

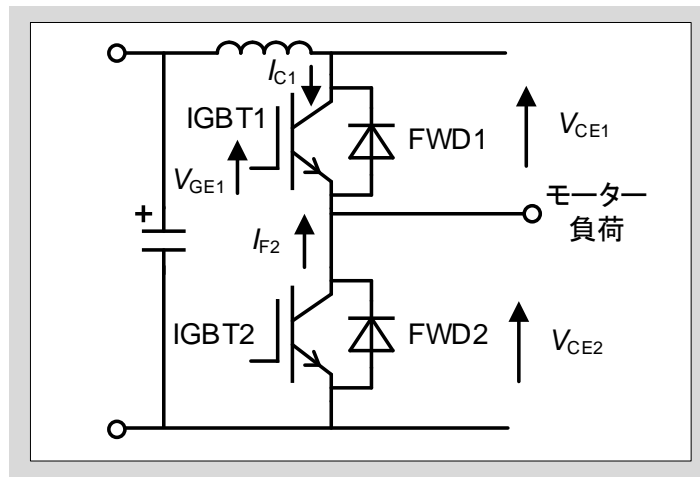


図3-1 1相分インバータ回路

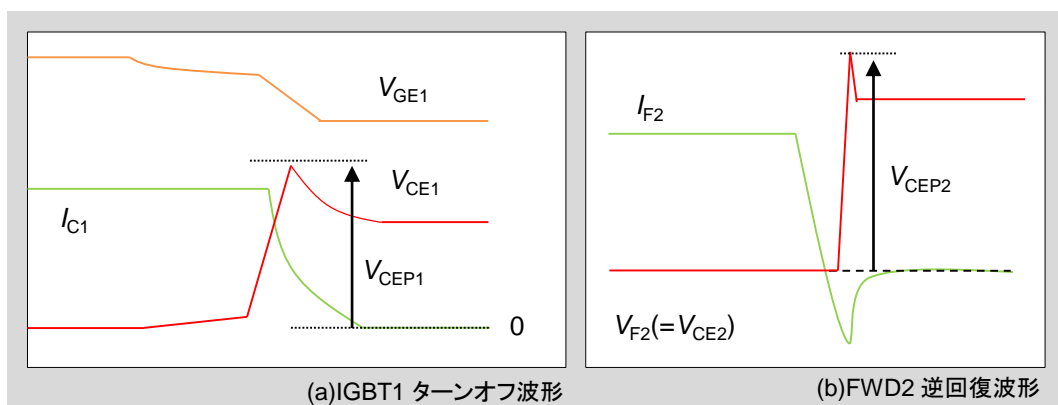


図3-2 IGBT1のターンオフ波形とFWD2の逆回復波形

<サージ電圧抑制方法>

下記にサージ電圧の抑制方法を示します。

(a) スナバ回路の配置

スナバ回路は、配線インダクタンスの影響を小さくするために端子直近に配置してください。

(b) IGBTドライブ回路の逆バイアス電圧($-V_{GE}$)やゲート抵抗(R_G)の調整

$-V_{GE}$ を小さくすることや R_G を大きくすることで電流遮断時の di/dt を小さくし、サージ電圧を抑制できます。
(詳細は第4章ドライブ回路設計を参照して下さい)

(c) 電解コンデンサとディスクリートIGBT端子間距離の短縮

電解コンデンサとディスクリートIGBT端子間の距離を短くすることで配線インダクタンスを低減し、サージ電圧を抑制できます。低インピーダンスのコンデンサを用いるとさらに効果的です。

(d) 主回路配線の調整

インダクタンスを低減するために配線を太く・短くすることでサージ電圧を抑制できます。また、平行平板配線(ラミネート配線)の使用は大変効果的です。

(e) アクティブクランプ回路の適用

ゲート駆動回路にアクティブクランプ回路を適用することで、配置したツェナーダイオードの降伏電圧と概ね等しいサージ電圧に抑制することができます。

2.スナバ回路の種類と特徴

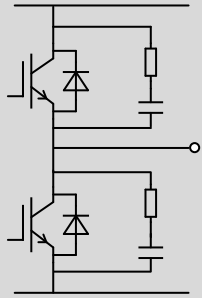
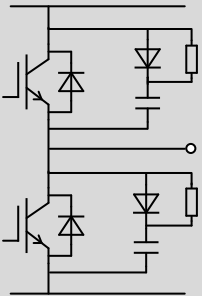
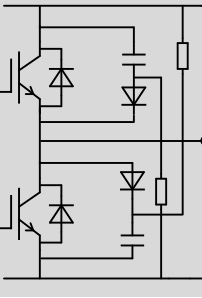
スナバ回路には、各アームに付ける個別スナバ回路と直流母線間に付ける一括スナバ回路があります。簡素化の目的で一括スナバ回路の使用が一般的です。

<個別スナバ回路>

個別スナバ回路の代表的な例として、下記のスナバ回路があります。

- a. RCスナバ回路 b. 充放電型RCDスナバ回路 c. 放電阻止型RCDスナバ回路

表3-1 個別スナバ回路の接続図と特徴

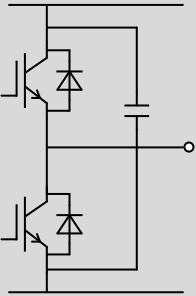
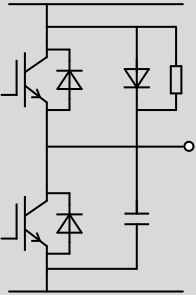
スナバ回路接続図	特徴(注意事項)
<p>a.RCスナバ回路</p> 	<ul style="list-style-type: none"> 一括スナバ回路に比べサージ電圧抑制効果大きい。 大容量のIGBTに適用する際には、スナバ抵抗を低い値にする必要があり、この結果ターンオン時のi_cが増大しIGBTの負担が大きくなる。
<p>b.充放電型RCDスナバ回路</p> 	<ul style="list-style-type: none"> サージ電圧抑制効果あり。 RCスナバ回路と異なり、スナバダイオードが追加されているのでスナバ抵抗値を大きくでき、ターンオン時のIGBTの負担を考えなくてよい。 スナバ抵抗における発生損失は下式で求められる。 $P = \frac{L \cdot I_o^2 \cdot f}{2} + \frac{C_s \cdot E_d^2 \cdot f}{2}$ <p> L : 主回路の配線インダクタンス I_o : IGBTのターンオフ時I_c C_s : スナバコンデンサ容量 E_d : 直流電源電圧 f : スイッチング周波数 </p>
<p>c.放電阻止型RCDスナバ回路</p> 	<ul style="list-style-type: none"> サージ電圧抑制効果あり。 スナバ回路での発生損失が少ない。 スナバ抵抗における発生損失は下式で求められる。 $P = \frac{L \cdot I_o^2 \cdot f}{2}$ <p> L : 主回路の配線インダクタンス I_o : IGBTのターンオフ時I_c f : スイッチング周波数 </p>

<一括スナバ回路>

一括スナバ回路の代表的な例として、下記のスナバ回路があります。

- a. Cスナバ回路 b. RCDスナバ回路

表3-2 一括スナバ回路の接続図と特徴

スナバ回路接続図	特徴(注意事項)
<p>a.Cスナバ回路</p>  <p>The diagram shows a half-bridge with two IGBTs and two diodes. A capacitor is connected in parallel with the diode of the upper IGBT. The output terminal is shown on the right.</p>	<ul style="list-style-type: none"> •最も簡易的な回路。 •主回路インダクタンスとスナバコンデンサのLC共振回路で電圧が振動しやすい。
<p>b.RCDスナバ回路</p>  <p>The diagram shows a half-bridge with two IGBTs and two diodes. A snubber circuit consisting of a diode and a resistor in series is connected in parallel with the diode of the upper IGBT. A capacitor is connected in parallel with the diode of the lower IGBT. The output terminal is shown on the right.</p>	<ul style="list-style-type: none"> •スナバダイオードの選定を誤ると高いサージ電圧が発生し、スナバダイオードの逆回復時に電圧が振動することがある。

3. 放電阻止型RCDスナバ回路の設計方法

放電阻止型RCDスナバ回路の基本的な設計方法について説明します。

<適用可否の検討>

図3-3に放電阻止型RCDスナバ回路を適用したターンオフ時の動作軌跡を示し、図3-4にターンオフ時の電流・電圧波形を示します。このスナバ回路はC-E間電圧が直流電源電圧を超えてから動作し、その理想的な動作軌跡は図中の点線です。しかし実際の装置では、スナバ回路の配線インダクタンスやスナバダイオード過渡順電圧降下によるターンオフ時のサージ電圧が存在するため、図3-3の実線のように膨らみます。このスナバ回路適用には、ターンオフ時の動作軌跡がIGBTのRBSOA内に収まる必要があります。

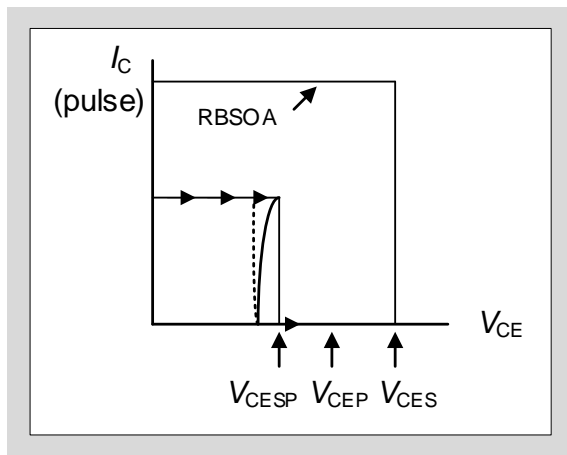


図3-3 ターンオフ時の動作軌跡

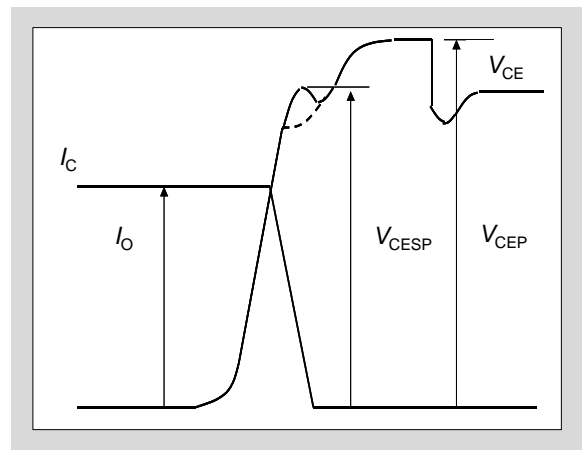


図3-4 ターンオフ時の電流・電圧波形

なお、ターンオフ時のサージ電圧は次式で求めることができます。

$$V_{CESP} = E_d + V_{FM} + \left(-L_s \frac{di_c}{dt}\right) \dots\dots\dots ②$$

- E_d : 直流電源電圧
- V_{FM} : スナバダイオード過渡順電圧降下
- L_s : スナバ回路の配線インダクタンス
- di_c/dt : ターンオフ時の i_c 変化率の最大値

スナバダイオードの一般的な過渡順電圧降下の参考値は下記の通りです。

600Vクラス: 20~30V、1200Vクラス: 40~60V

<スナバコンデンサ(C_s)容量値の求め方>

スナバコンデンサに必要な容量値は次式で求めることができます。

$$C_s = \frac{L \cdot I_o^2}{(V_{CEP} - E_d)^2} \dots\dots\dots ③$$

- L : 主回路の配線インダクタンス
- I_o : IGBTのターンオフ時 i_c
- V_{CEP} : スナバコンデンサ電圧の最終到達値
- E_d : 直流電源電圧

V_{CEP} はC-E間耐圧以下に抑える必要があります。また、スナバコンデンサには高周波特性の良いもの(フィルムコンデンサ等)を選んでください。

<スナバ抵抗(R_S)値の求め方>

スナバ抵抗に要求される機能はIGBTが次のターンオフ動作を行うまでにスナバコンデンサの蓄積電荷を放電する事です。IGBTが次のターンオフ動作を行うまでに蓄積電荷の90%を放電する条件でスナバ抵抗の値を求めると次式のようにになります。

$$R_S \leq \frac{1}{2.3 \cdot C_S \cdot f} \quad \dots\dots\dots ④$$

R_S : スナバ抵抗
 C_S : スナバコンデンサ容量
 f : スイッチング周波数

スナバ抵抗値をあまりにも小さい値に設定するとスナバ回路電流が振動し、IGBTのターンオン時の I_C 尖頭値も増えます。④式を満たす範囲内で極力大きい値に設定して下さい。

スナバ抵抗の発生損失 $P_{(R_S)}$ は抵抗値と関係なく次式で求めることができます。

$$P_{(R_S)} = \frac{L \cdot I_O^2 \cdot f}{2} \quad \dots\dots\dots ⑤$$

$P_{(R_S)}$: スナバ抵抗の発生損失
 L : 主回路の配線インダクタンス
 I_O : IGBTのターンオフ時 I_C
 f : スイッチング周波数

<スナバダイオードの選定>

スナバダイオードの過渡順電圧降下は、サージ電圧を増大させる要因の一つになります。また、スナバダイオードの逆回復時間が長いと、高周波スイッチング動作時にスナバダイオードの発生損失が大きくなります。このスナバダイオードの逆回復が急激であると逆回復動作時にC-E間電圧が急激に大きくなり振動します。スナバダイオードは過渡順電圧が低く、逆回復時間が短く、逆回復が緩やかになるスナバダイオードを選んでください。

<スナバ回路配線上の注意事項>

スナバ回路の配線によるインダクタンスはサージ電圧発生要因となるので、回路部品の配置も含めてインダクタンスを低減して下さい。

4. アクティブクランプ回路

主回路インダクタンスの低減・スナバ回路の適用以外のサージ電圧抑制方法としてゲート駆動回路 (GDU) にアクティブクランプ回路を適用する方法があります。図3-5にアクティブクランプ回路の一例を示します。基本的な回路構成は、C-G間にツェナーダイオードと逆通電方向にダイオードを直列接続します。この回路でC-G間にツェナーダイオードの降伏電圧を超える電圧が発生した場合、ツェナーダイオードが降伏します。ツェナーダイオードの降伏電流はIGBTのゲートをオンさせるように流れるため、IGBTのサージ電圧はツェナーダイオードの降伏電圧と概ね等しくなります。図3-6にアクティブクランプ回路適用時の波形例を示します。ターンオフ時のコレクタ電流変化率 di_C/dt はアクティブクランプ回路適用前よりも緩やかになり、ターンオフ時間が長くなります。アクティブクランプ回路の適用は損失増大の要因となるため、各種設計検証を行うことを推奨します。

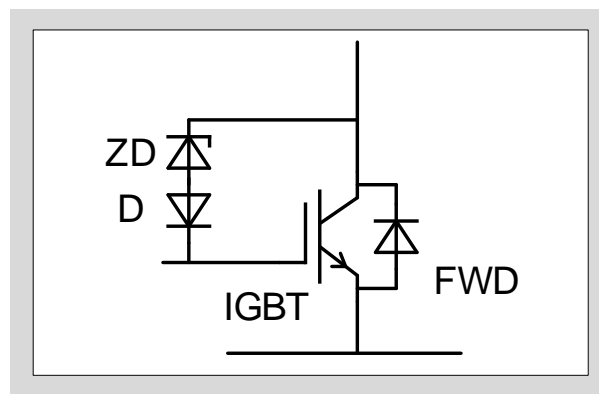


図3-5 アクティブクランプ回路例

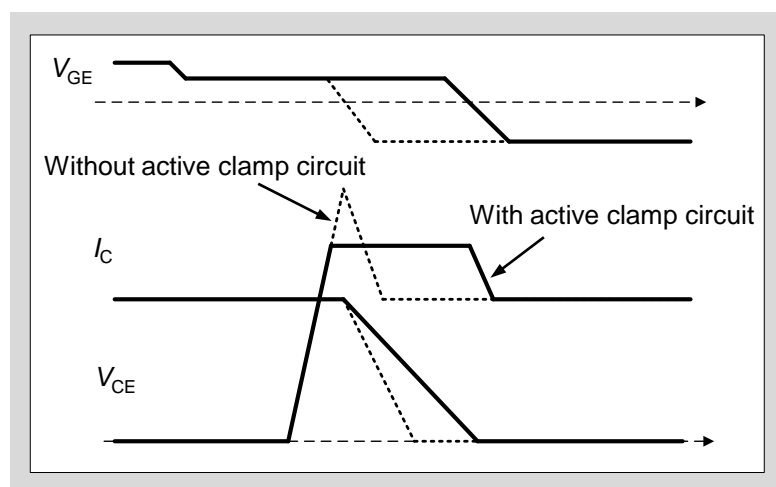


図3-6 アクティブクランプ回路適用時の波形例

第4章 ドライブ回路設計

1. ゲート順バイアス電圧: $+V_{GE}$ (オン期間)	4-2
2. ゲート逆バイアス電圧: $-V_{GE}$ (オフ期間)	4-3
3. ゲート抵抗: R_G	4-3
4. ドライブ電流	4-4
5. デッドタイムの設定	4-5
6. ドライブ回路の具体例	4-7
7. ドライブ回路設計、実装上の注意事項	4-7

本章ではドライブ回路設計について説明します。ドライブ回路は、IGBTをオンさせる順バイアス回路とIGBTのオフ状態を安定に保つ逆バイアス回路で構成されます。ドライブ回路の定数設定によってスイッチング動作などのIGBTの主要特性が変わってきます。表4-1にIGBTのドライブ条件と主要特性の一般的な関係を示します。IGBTの主要特性は V_{GE} 、 R_G 等により変化するので装置の設計目標にあわせた設定が必要です。

表4-1 IGBTのドライブ条件と主要特性

主要特性	+ V_{GE} 増	- V_{GE} 増	$R_{G(ON)}$ 増	$R_{G(OFF)}$ 増
$V_{CE(sat)}$	↓	-	-	-
t_{on} E_{on}	↓	-	↑	-
t_{off} E_{off}	-	↓	-	↑
ターンオン FWDサージ電圧	↑	-	↓	-
ターンオフ IGBTサージ電圧	-	↑	-	↓ ^{*1}
dv/dt誤点弧	↑	↓	↓	↓
飽和電流値	↑	-	-	-
短絡耐量	↓	-	↑	↓
放射ノイズ	↑	-	↓	↓

*1 シリーズによってサージ電圧のゲート抵抗依存性は異なります。

1.ゲート順バイアス電圧: $+V_{GE}$ (オン期間)

ゲート順バイアス電圧 $+V_{GE}$ の推奨値は、+15Vです。以下に、 $+V_{GE}$ 設計時の留意事項を示します。

- (1) $+V_{GE}$ はG-E間最大定格電圧20V以下で設計して下さい。
- (2) 電源電圧の変動は±10%以内を推奨します。
- (3) オン期間中の $V_{CE(sat)}$ は $+V_{GE}$ によって変化し、 $+V_{GE}$ が高い程低くなります。
- (4) ターンオンスイッチング時の時間や損失は $+V_{GE}$ が高い程小さくなります。
- (5) ターンオン時(FWD逆回復時)の対向アームのサージ電圧は $+V_{GE}$ が高い程発生しやすくなります。
- (6) IGBTがオフ期間中でもFWDの逆回復時のdv/dtにより誤動作し、パルス状の短絡電流が流れて過剰な発熱や最悪の場合破壊をする事があります。この現象はdv/dt誤点弧と呼ばれ、 $+V_{GE}$ が高い程発生しやすくなります。
- (7) 一般には $+V_{GE}$ が高い程飽和電流が高くなります。
- (8) 短絡耐量は $+V_{GE}$ が高い程小さくなります。

2.ゲート逆バイアス電圧: $-V_{GE}$ (オフ期間)

dv/dt誤点弧防止方法として $-V_{GE}$ を印加する方法が挙げられます。以下に $-V_{GE}$ 設定時の留意事項を示します。

- (1) $-V_{GE}$ はG-E間最大定格電圧20V以内で設計して下さい。
- (2) 電源電圧の変動は $\pm 10\%$ 以内を推奨します。
- (3) IGBTのターンオフ時間や損失は $-V_{GE}$ に依存し、特に I_C がオフし始める部分の特性は強く依存します。

3.ゲート抵抗: R_G

ゲート抵抗 R_G は回路構成や使用環境によって適切に調整する必要があります。以下に、 R_G 選定時の留意事項を示します。

- (1) スイッチング特性はターンオン、ターンオフ共に R_G 値に依存し、 R_G が大きいほどスイッチング時間やスイッチング損失は大きくなります。一般には R_G が大きいほどスイッチング時のサージ電圧は小さくなると言われていますが、デバイスの構造により R_G が大きくなるとサージ電圧が増加する場合があります。
- (2) dv/dt誤点弧は R_G が大きい方が発生しにくくなります。
- (3) 各種スイッチング特性は回路構成による寄生インダクタンスなどにより大きく変動します。特にターンオフ時に発生するサージ電圧、FWDが逆回復する際に発生するサージ電圧は大きく影響するので、回路のインダクタンスを小さくした状態で R_G を選定してください。

4.ドライブ電流

IGBTはMOSFETゲート構造があり、スイッチング時にはこれを充放電するゲート電流(ドライブ電流)を流す必要があります。図4-1にゲート充電電荷量特性を示します。ゲート充電電荷量はIGBTを駆動するのに必要な電荷量で、平均ドライブ電流や駆動電力の計算に使用します。

図4-2にドライブ回路例とゲート電圧電流波形を示します。ドライブ回路の原理は順バイアス電源と逆バイアス電源をスイッチS1・S2にて交互に切り換えるものです。この切り換え時にゲートを充放電する電流がドライブ電流であり、図4-2のゲート電流波形で表される面積(斜線部分)が図4-1の電荷量と等しくなります。

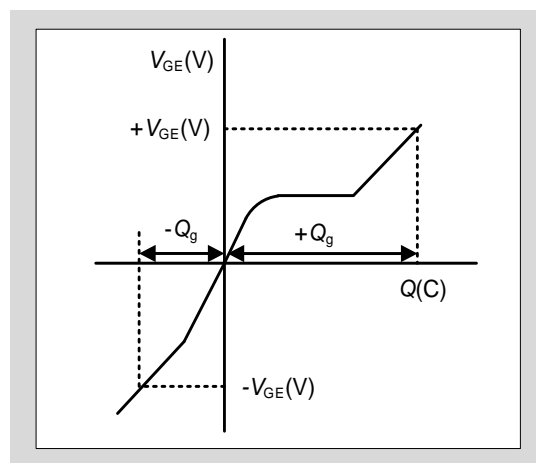


図4-1 ゲート充電電荷量特性 (ダイナミック入力特性)

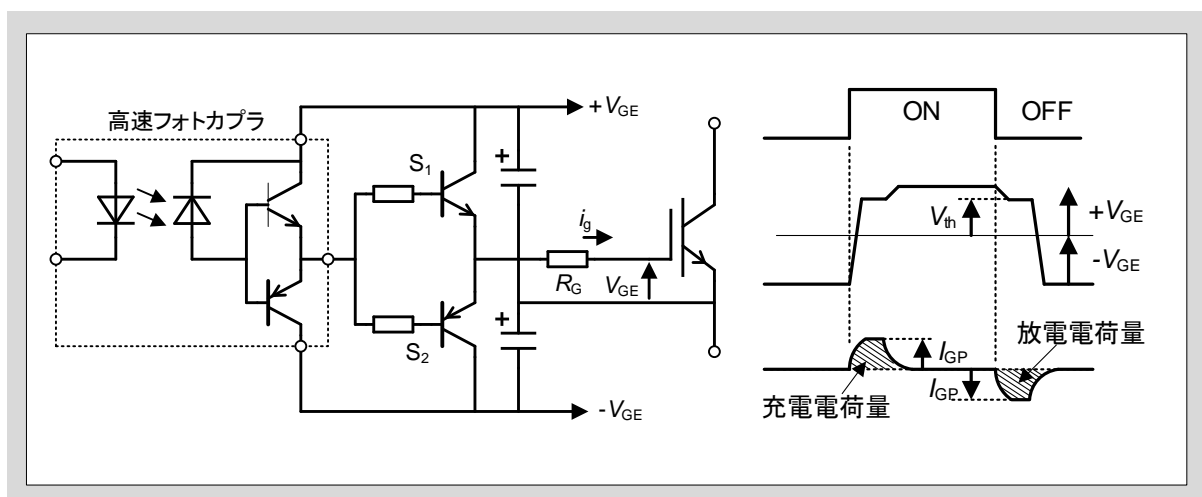


図4-2 ドライブ回路例及びゲート電圧電流波形

ドライブ電流の尖頭値 I_{GP} は次の近似式で求めることができます。

$$I_{GP} = \frac{|+V_{GE}| + |-V_{GE}|}{R_G}$$

$+V_{GE}$: 順バイアス電源電圧

$-V_{GE}$: 逆バイアス電源電圧

R_G : ドライブ回路のゲート抵抗

ドライブ電流の平均値 I_G は図4-1のゲート充電電荷量特性を用いて次のように計算することができます。

$$+I_G = -I_G = f_c \cdot (|+Q_g| + |-Q_g|)$$

f_c : キャリア周波数

$+Q_g$: 0Vから $+V_{GE}$ までの充電電荷量

$-Q_g$: $-V_{GE}$ から0Vまでの充電電荷量

以上に示したようなドライブ電流、ドライブ電力を供給できるようにドライブ回路を設計してください。ドライブ回路の出力段にはこれらの近似式で計算される電流 I_{GP} 、及び $\pm I_G$ を考慮して設計する必要があります。また、ドライブ回路の発生損失がすべてゲート抵抗で消費されるとすれば、IGBTの駆動に必要なドライブ電力 P_d は次式で表されます。

$$P_{d(on)} = P_{d(off)} = f_c \cdot \left[\frac{1}{2} (|+Q_g| + |-Q_g|) \cdot (|+V_{GE}| + |-V_{GE}|) \right]$$

$$P_d = P_{d(on)} + P_{d(off)} = f_c \cdot (|+Q_g| + |-Q_g|) \cdot (|+V_{GE}| + |-V_{GE}|)$$

ゲート抵抗にはこの近似式で計算される発生損失を許容できるものを選定する必要があります。

5. デッドタイムの設定

インバータ回路などでは上下アームの短絡防止のためオン・オフの切り換えタイミングにデッドタイムを設定します。図4-3に示すようにデッドタイム中は上下アームとも「オフ」の状態です。デッドタイムは、基本的にIGBTのスイッチング時間($t_{d(off)} + t_f$)のmax. 値より長く設定してください。デッドタイムが短い場合には、上下アーム短絡が発生して短絡電流による発熱で素子破壊の可能性があります。

また、 R_G を大きくするとスイッチング時間も長くなるのでデッドタイムを長くする必要があります。さらに、他のドライブ条件や素子のパラッキ、温度特性等も考慮する必要があります。

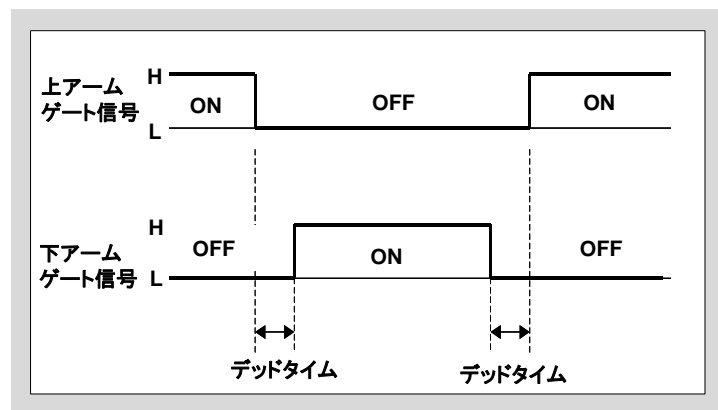


図4-3 デッドタイム タイミングチャート

デッドタイム設定の良否は無負荷時の直流電源ラインの電流値で判定します。図4-4のように3相インバータの出力(U、V、W)を無負荷状態にして通常の入力信号を与えDCラインの電流を測定します。デッドタイムが充分であっても微小なパルス状電流(素子のミラー容量を抜けてくる dv/dt 電流:通常は定格電流の5%程度)が流れますが、デッドタイムが不足していればこれより大きな短絡電流が流れます。この場合にはデッドタイムを長くし短絡電流が流れないようにしてください。高温ほどターンオフ時間が長くなることから、この試験は高温状態で実施を推奨します。また、 $-V_{GE}$ 不足による dv/dt 誤点弧で短絡電流が増加する可能性があります。デッドタイムが長い場合においても短絡電流が減少しないときには、 $-V_{GE}$ を増加してください。

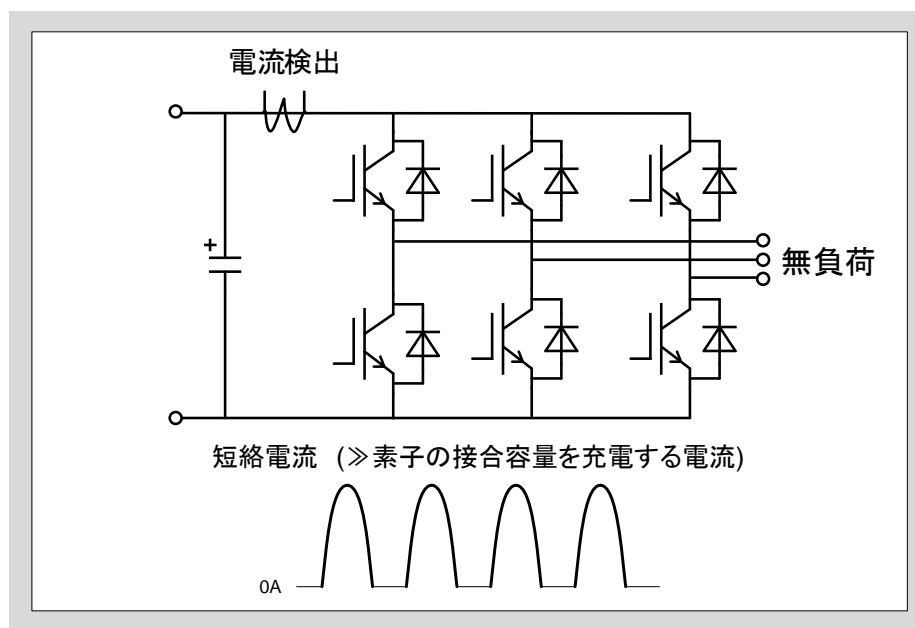


図4-4 デッドタイム不足による短絡電流の検出方法

6.ドライブ回路の具体例

図4-5に高速フォトカプラを使用したドライブ回路例を示します。フォトカプラを使用することにより入力信号と素子が絶縁されます。また、フォトカプラは出力パルス幅に対する制約がないのでPWM制御のようなパルス幅が広範囲に変化する用途に適しており現在では最も多く使用されています。ゲート抵抗を二つ設けてターンオンとターンオフの特性を別々に設定することもできます。

このほか信号絶縁にパルストランスを用いるドライブ方法があります。この方法は信号とゲート駆動電力の両方を信号側から同時に供給できるため回路簡略化が可能です。しかし、オン／(オフ+オン) 時間比率が最大50%、逆バイアスを設定できないといった制約がありスイッチング周波数や制御方式等によりその用途は限られます。

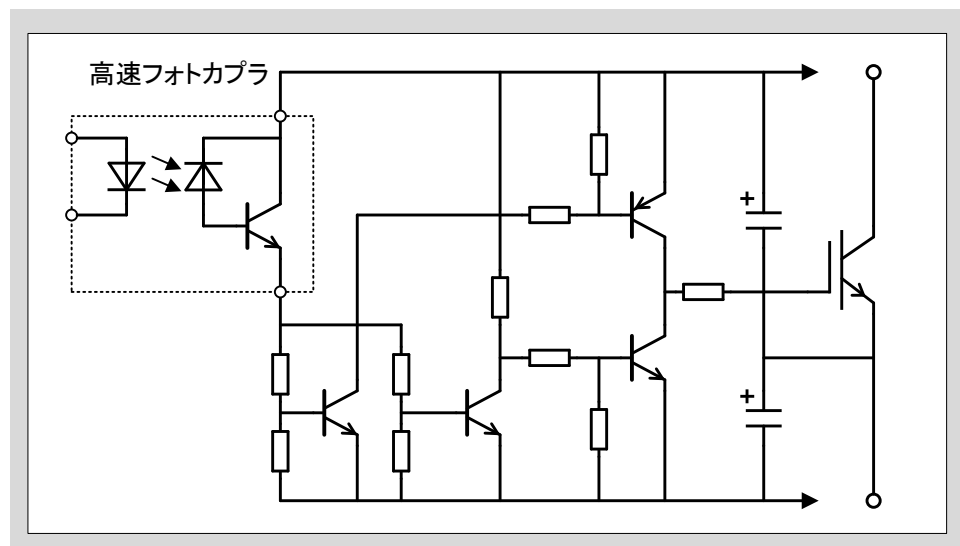


図4-5 高速フォトカプラを用いたドライブ回路例

7.ドライブ回路設計、実装上の注意事項

<フォトカプラについて>

IGBTは高速スイッチング素子であるためドライブ回路に使用するフォトカプラはノイズ耐量の大きいものを選んでください。また、誤動作防止のためにフォトカプラの一次側と二次側の配線を交差しないでください。このほか、IGBTの高速スイッチング性能を活かすには信号伝達遅れ時間の短いフォトカプラの使用を推奨します。

<ドライブ回路とIGBT間の配線について>

ドライブ回路とIGBT間の配線が長い場合ゲート信号の振動や誘導ノイズによってIGBTが誤動作または破壊します。対策として以下の方法があります。

- (1) ドライブ配線を極力短くしゲート配線とエミッタ配線を密に撚り合わせてください(ツイスト配線)。
- (2) R_G を大きくしてください。但し、スイッチング時間、スイッチング損失に注意してください。
- (3) ゲート配線とIGBTの主回路配線は出来る限り遠ざけるか、もしくは互いに直交する(相互誘導を受けない)ようにレイアウトしてください。
- (4) 他相のゲート配線と一緒に束ねないでください。
- (5) ゲート駆動回路の不具合あるいは完全に動作していない状態(ゲートオープン)で主回路に電圧が印加されるとIGBTが破壊することがあります。破壊防止対策としてG-E間に10k Ω 程度の抵抗 R_{GE} を接続することを推奨します(図4-6参照)。

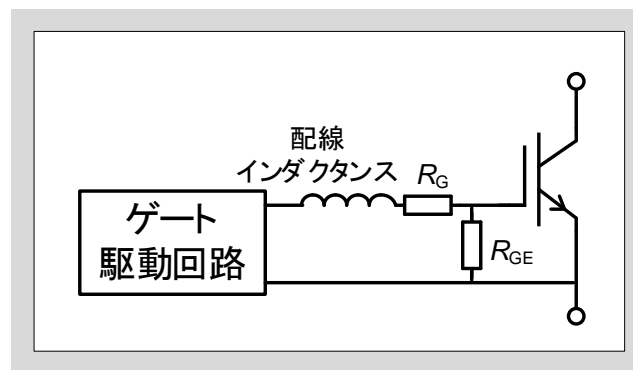


図4-6 ゲート駆動回路の実装上の注意

<ゲート過電圧保護について>

IGBTは他のMOS型素子と同様に十分に静電対策を実施した環境下で取り扱う必要があります。またG-E間最大定格電圧は $\pm 20V$ なので、これ以上の電圧が印加される場合には、図4-7のようにG-E間にツェナーダイオードを接続する等の保護対策が必要です。

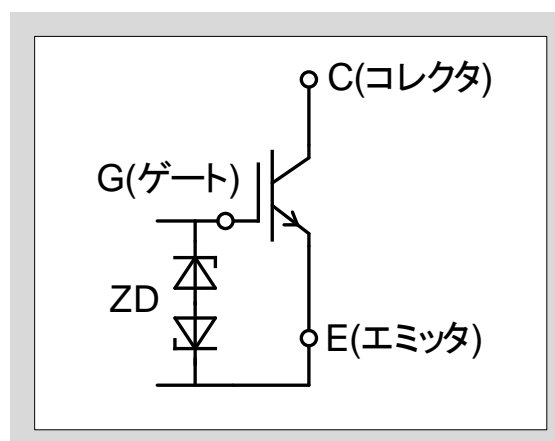


図4-7 G-E間過電圧保護回路例

<短絡耐量について>

IGBTは装置の短絡等により過電流が流れる場合があります。過電流が流れ続けると素子自身に急激な温度上昇が起こり永久破壊となります。短絡耐量は図4-8 (a)のように短絡電流の流れ始めから安全に遮断するまでの時間(t_{SC})で規定しています。短絡耐量時間 t_{SC} は V_{CE} や V_{GE} 、 T_{vj} などの条件に依存し、一般的には電源電圧 E_d が高いほど、接合温度 T_{vj} が高いほど小さくなります。

ディスクリートIGBTでは、長い t_{SC} を要求されるアプリケーションに対しVシリーズを準備しており、短絡耐量時間よりも低スイッチング損失や低飽和電圧が要求されるアプリケーションに対してはHigh-Speed V、High-Speed Wシリーズ、XSシリーズを準備しています。なおHigh-Speed Wシリーズ 650V系列及びXSシリーズの短絡耐量については保証外となっています。

図4-8(b)は短絡耐量の測定回路図です。負荷が短絡状態になると、IGBTは高電圧・大電流状態になります。

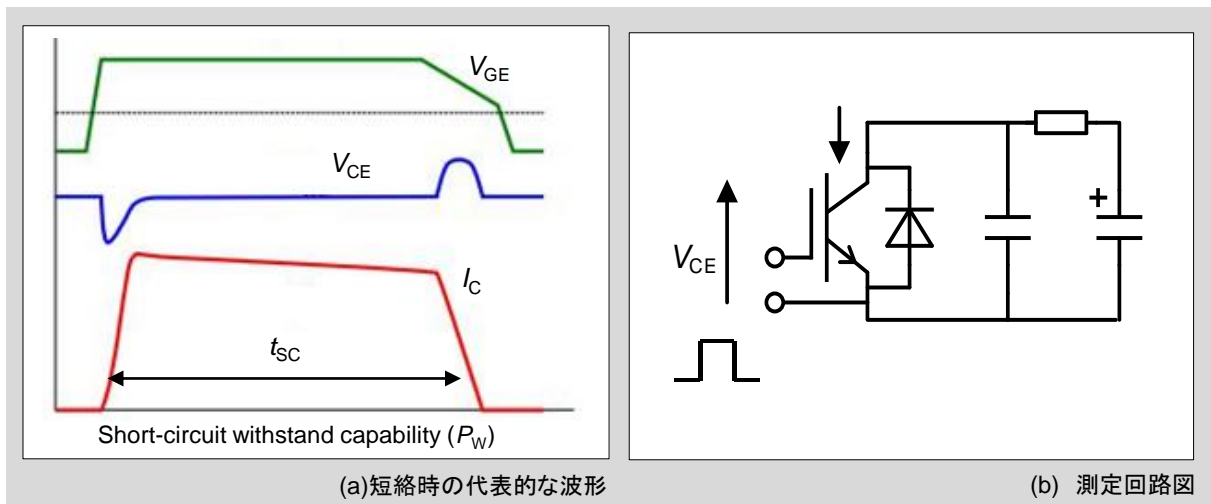


図4-8 測定回路及び波形

< V_{CE} 検出による短絡保護 >

この方法は、過電流検出から保護までの動作がドライブ回路側で行われ、高速な保護動作が可能です。図4-9に回路例を示します。この回路はC-E間電圧を D_1 を介して常時監視します。導通期間中のC-E間電圧が D_2 で設定された電圧を超えた場合を短絡状態として検出し、 T_1 がオン、 $T_2 \cdot T_3$ がオフとなります。この時、ゲート蓄積電荷は R_{GE} を通してゆっくり放電するのでIGBTがターンオフする際の過大なサージ電圧の発生が抑制されます。図4-10に短絡保護動作波形例を示します。

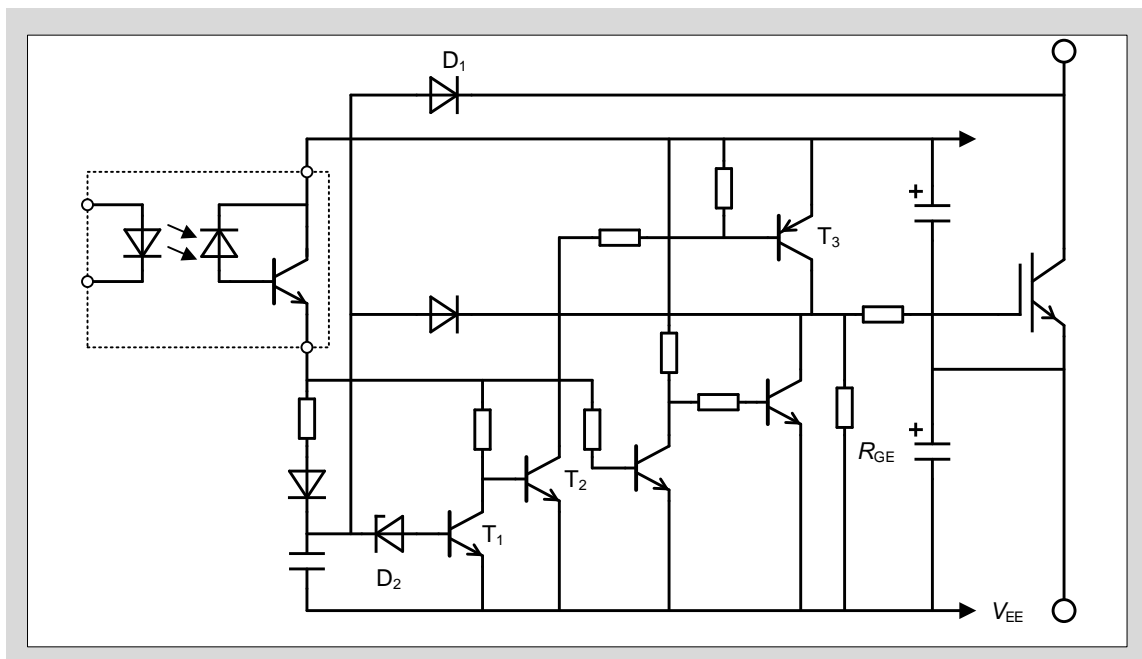


図4-9 V_{CE} 検出による短絡保護回路例

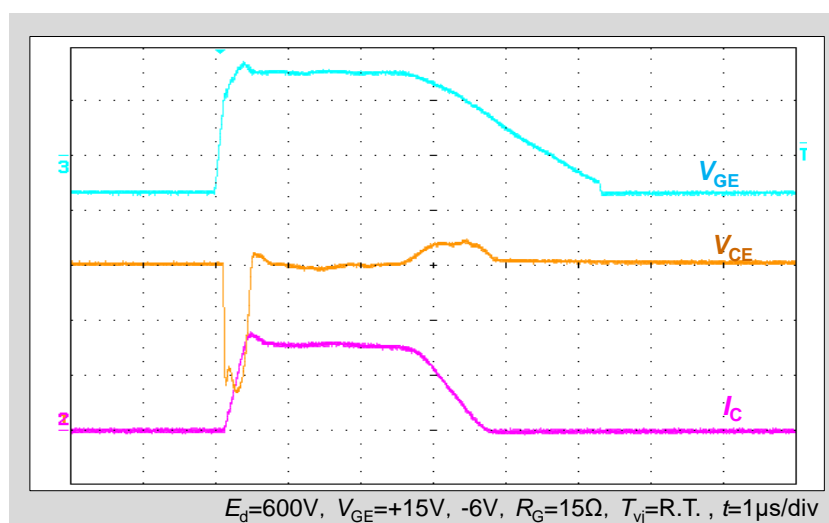


図4-10 短絡保護動作波形例

第5章 熱設計

1. 損失の考え方	5-2
2. DCチョップパ応用の場合の発生損失計算方法	5-3
3. 放熱の考え方	5-4
4. ジャンクション温度の計算	5-5

本章では熱設計について説明します。

1. 損失の考え方

IGBTはIGBTのみの製品とIGBT+FWD構成の製品があります。後者の発生損失はIGBTとFWDの2つの発生損失を考慮する必要があります。発生損失の内訳を図5-1に示します。IGBTは、許容できる最大接合部温度 $T_{vj(max)}$ が決められており、この温度以下になる放熱設計が必要です。ここで使用されるオン電圧やスイッチング損失の値には、接合温度 T_{vj} が高温時のデータを使用して計算してください。これらの特性データは仕様書に記載しています。

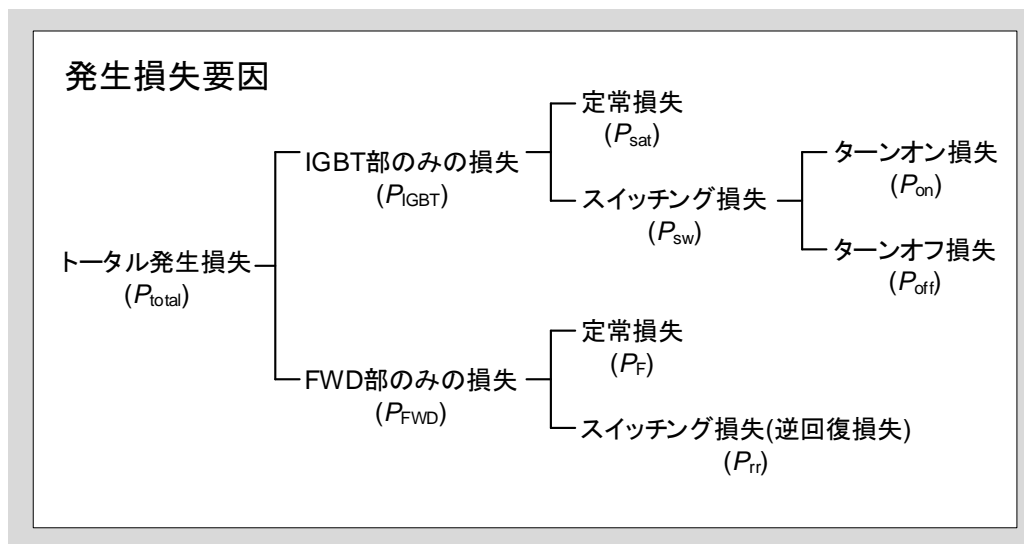


図5-1 発生損失の要因

2.DCチョップパ応用の場合の発生損失計算方法

IGBTまたはFWDに流れる電流を矩形波の連続と考えれば近似計算をすることが出来ます。図5-2(a)にチョップパ回路例を示します。図5-2(b)は近似したDCチョップパ波形であり、発生損失は次のように計算します。

$$\begin{aligned} & \text{IGBT発生損失(W)} \\ & = \text{定常損失} + \text{ターンオン損失} + \text{ターンオフ損失} \\ & = V_{CE(sat)} \cdot I_C \cdot \frac{t_1}{t_2} + E_{on} \cdot f_C + E_{off} \cdot f_C \end{aligned}$$

$$\begin{aligned} & \text{FWD発生損失(W)} \\ & = \text{定常損失} + \text{逆回復損失} \\ & = V_F \cdot I_F \left(1 - \frac{t_1}{t_2}\right) + E_{rr} \cdot f_C \end{aligned}$$

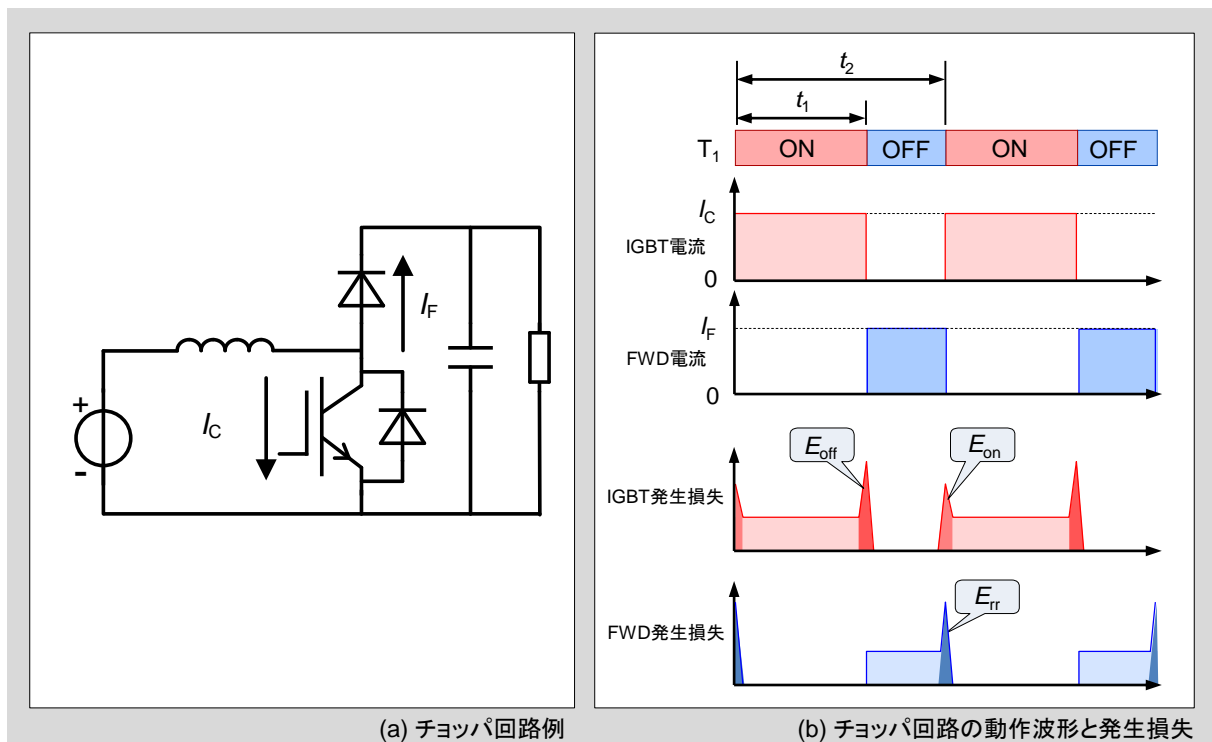


図5-2 チョップパ回路での発生損失

3.放熱の考え方

放熱設計では、発生損失をもとに許容温度以下となるようなヒートシンクの選定を行いません。放熱設計が十分でない場合、実機運転中等に素子の許容温度を超え破壊するといった問題が発生する可能性があります。

<過渡熱抵抗と定常熱抵抗>

IGBTのジャンクション部で発生する損失の放熱処理は、ヒートシンクに取付ける場合と素子自身だけの場合の2通りがあります。図5-3に前者の放熱経路を便宜的に電気的等価回路で模擬したものを示します。

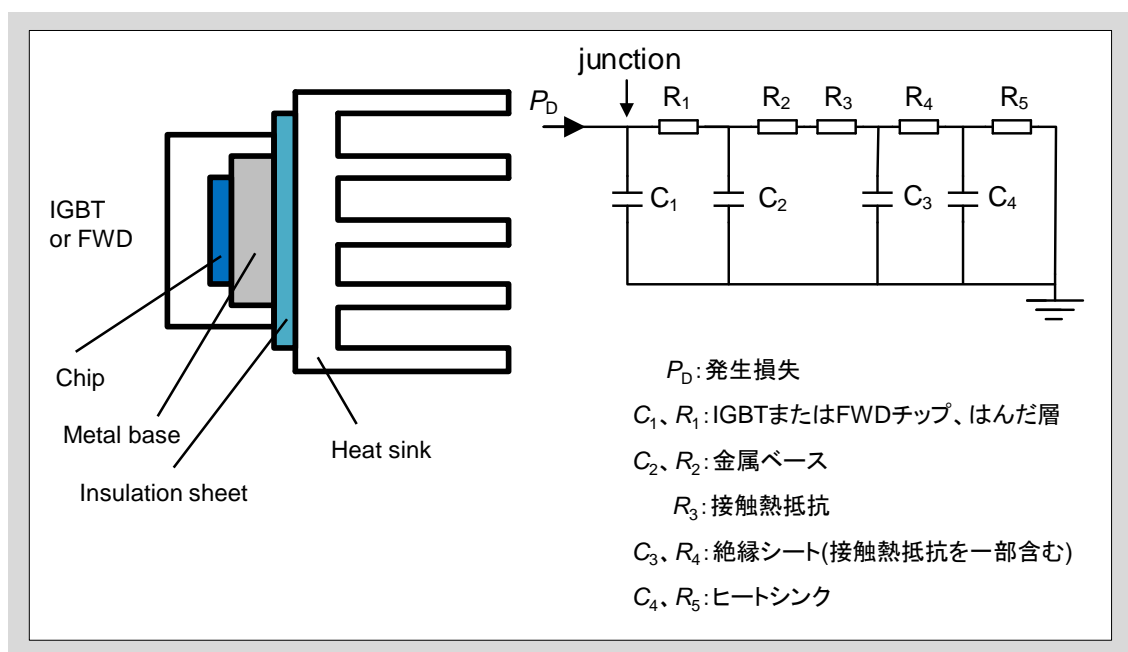


図5-3 熱挙動の電気的等価回路

過渡熱抵抗は図5-3の等価回路で、熱容量 $C_1 \sim C_4$ の影響がある時間範囲の熱抵抗であり、時間の関数です。各素子の過渡熱抵抗特性は、データシートにその最大値が明記され、繰り返し率 $D \leq 0$ がそれに当ります。またヒートシンクの過渡熱抵抗は次式で得られます。

$$R_{f(t)} = R_{th(f-a)} \left(1 - \frac{t}{\tau f} \right)$$

$$\text{ただし、} \tau f = R_{th(f-a)} \cdot V \cdot \gamma \cdot C$$

$R_{th(f-a)}$: ヒートシンク定常熱抵抗[°C/W]

t : 時間[sec]

τf : ヒートシンクの熱時定数[sec]

V : ヒートシンク体積[cm³]

γ : 比重[g / cm³]

C : 比熱[J / g·deg]

この計算に必要な材料の比重と比熱を表5-1に、アルミヒートシンク(黒色塗装)の定常熱抵抗を図5-4に示します。

表5-1 各材料の比重と比熱

材料	比重 γ [g/cm ³]	比熱 [J/g·deg]
アルミニウム	2.71	0.895
銅	8.96	0.383

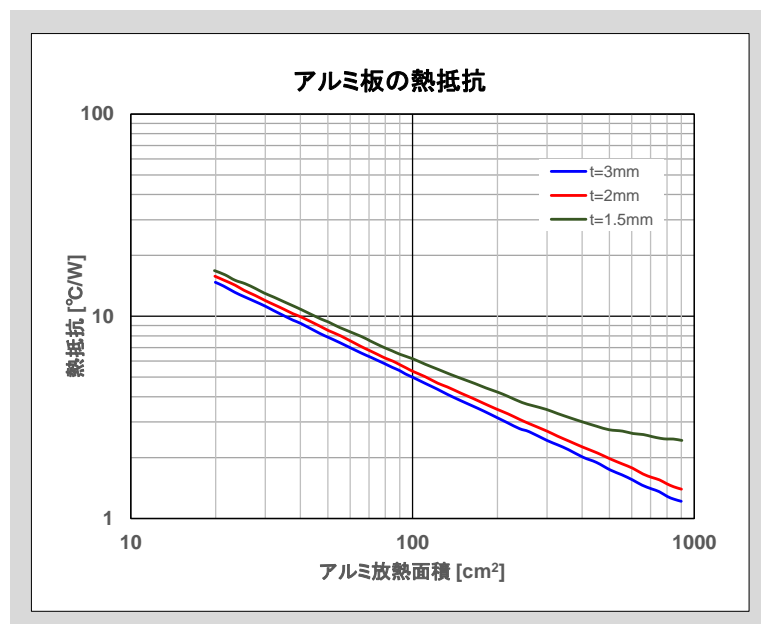


図5-4 アルミヒートシンクの定常熱抵抗

4. ジャンクション温度の計算

定常熱抵抗は熱容量の影響が全くなくなった以降の熱抵抗であり、ジャンクション温度は簡単に求めることができます。

$$T_{vj} = T_a + P_D \cdot (R_{th(j-c)} + R_{th(c-i)} + R_{th(i)} + R_{th(i-f)} + R_{th(f-a)})$$

T_{vj} : ジャンクション温度

T_a : 周囲温度

$R_{th(j-c)}$: ジャンクション-ケース間熱抵抗
(IGBTまたはFWD熱抵抗)

$R_{th(i)}$: 絶縁シート熱抵抗

$R_{th(c-i)}$ 、 $R_{th(i-f)}$: 接触熱抵抗

$R_{th(f-a)}$: ヒートシンク熱抵抗

P_D : 発生損失

<過渡状態の熱方程式>

一般的には、前に示したように平均発生損失から定常状態の T_{vj} を考えれば充分です。しかし、実際にはスイッチング毎に発生損失はパルス状となるので図5-5に示すように温度リップルを生じます。この場合、発生損失を一定周期かつ一定ピーク値の連続矩形波パルスと考えれば、仕様書に記載されている図5-6に示すような過渡熱抵抗曲線を使用して温度リップルのピーク値($T_{vj\text{p}}$)を近似的に計算することができます。

この $T_{vj\text{p}}$ も $T_{vj(\text{max})}$ を超えないことを確認しヒートシンクを選定してください。

$$T_{vj\text{p}} - T_C = P \cdot [R_{(\infty)} \cdot \frac{t_1}{t_2} + R_{(t_1+t_2)} \cdot (1 - \frac{t_1}{t_2}) - R_{(t_2)} + R_{(t_1)}]$$

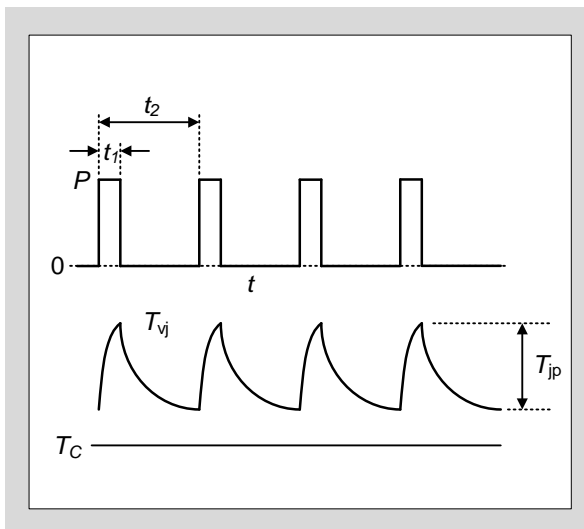


図5-5 温度リップル

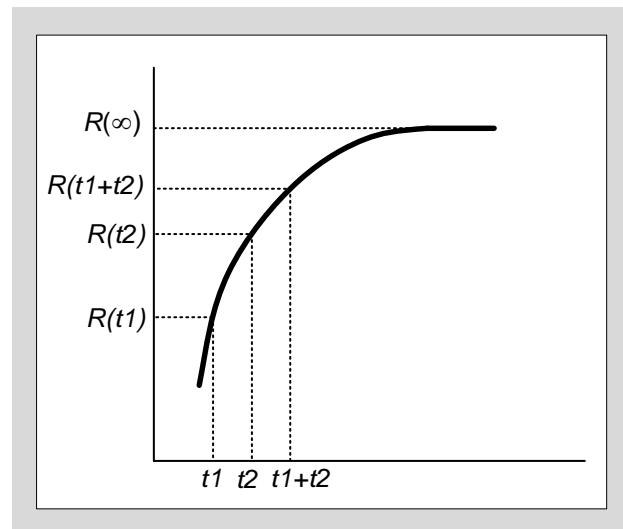


図5-6 過渡熱抵抗曲線

<素子の過渡熱抵抗特性>

ディスクリートIGBTの仕様書には、熱設計を補助するために素子の過渡熱抵抗特性が記載されています。図5-7にFGW40XS120C(IGBT)の過渡熱抵抗特性を示します。

例えば図5-7においてパルス幅1msの単発パルスとした場合、 $T_a=40^{\circ}\text{C}$ の条件下で 5°C/W のヒートシンクに取り付けた場合の許容電力損失 P_D は、

$$\begin{aligned}
 P_D &= \frac{T_{vj(\max)} - T_a}{R_{th(f-a)} + R_{th(1\text{ms})}} \\
 &= \frac{175 [^{\circ}\text{C}] - 40 [^{\circ}\text{C}]}{5 [^{\circ}\text{C/W}] + 0.2 [^{\circ}\text{C/W}]} \\
 &\cong 25.96 [W]
 \end{aligned}$$

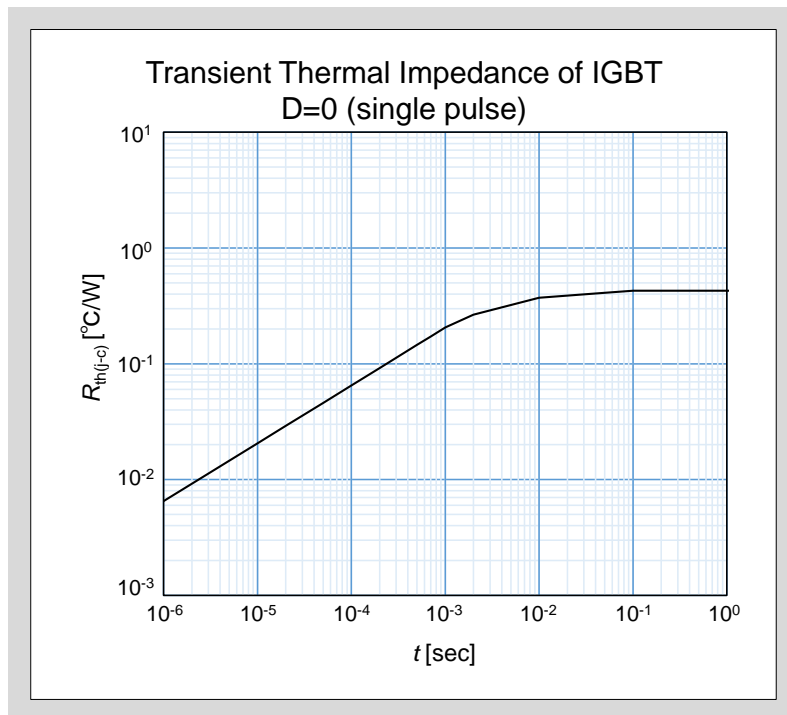


図5-7 FGW40XS120C (IGBT)の過渡熱抵抗特性

第6章 実装・取り扱い上の注意事項

1. 静電破壊防止対策	6-2
2. はんだ付け	6-3
3. スルーホール端子加工、取り付け	6-4
4. 洗浄	6-5
5. ヒートシンクへの取付方法	6-5

本章では、実装・取り扱い上の注意事項について説明します。

1. 静電破壊防止対策

IGBTは、小信号MOSFETや集積回路に比べはるかに大きな静電破壊耐量を持っていますが、これらの製品と同様静電気によって破壊する恐れがあります。

<導電体から静電気を逃がす方法>

図6-1に示すように、導電体に帯電した静電気は導電性のテーブルマット・リストストラップ・フロアマットを適切に使用することで取り除くことができます。電荷を取り除くスピードは、帯電物体の容量経路の抵抗によって決定します。図6-2に導電体の帯電物体が容量Cを持ち経路抵抗がRの場合の等価回路を示します。また、帯電物体の電圧は時間tの関数として次式のように与えられます。

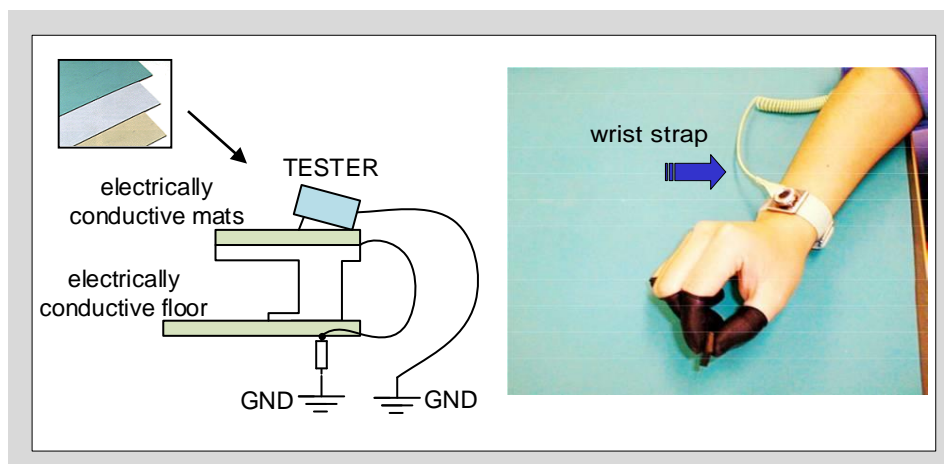


図6-1 静電気破壊防止対策例

$$V = V_0 \cdot \exp\left(-\frac{t}{RC}\right)$$

V : 時間 t における帯電物体の電圧 [V]
 V_0 : 帯電物体の初期電圧 [V]
 t : 秒 [sec]
 C : 帯電物体の容量 [F]
 R : 経路の抵抗 [Ω]

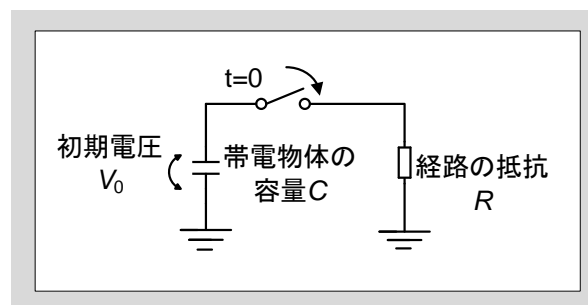


図6-2 静電気放電の等価回路

<例>

EIAJ (現JEITA)技術資料TB57-1より1秒以内に作業者の静電気レベルを100V以下にするときの抵抗の計算方法を示します。

$V = 100\text{V}$ (安全電圧)、 $V_0 = 10\text{kV}$ (人体あるいは帯電物体の初期電圧)、

$t = 1\text{sec}$ (安全電圧100Vを達成するための最長許容時間)、

$C = 200\text{pF}$ (人体の容量100pF~400pFの平均値)、 $R =$ 大地までの最大許容抵抗 [Ω]

以上を代入して

$$100 = 1 \times 10^4 \cdot \exp\left(-\frac{1}{200 \times 10^{-12} \cdot R}\right)$$

したがって $R \cong 1.09 \times 10^9 \Omega = 1090\text{M}\Omega$ となります。テーブルマット・フローあるいはリストストラップから大地までの抵抗が1000M Ω 以下であれば安全電圧100Vまでの放電が1秒以内に行われ、素子を静電気破壊から守ることができます。作業者からの静電気放電により各種のデバイスが破壊される恐れのある電圧範囲を表6-1に示します。

表6-1 デバイス毎の破壊電圧

タイプ	電圧範囲 [V]
IGBT、MOSFET	100~200
ジャンクションFET	140~10000
C MOS	250~2000

2.はんだ付け

はんだ付け実装時には、通常最大定格の保存温度を超える熱(温度)が端子部に加わります。下記に注意してはんだ付けを行ってください。

(a) 推奨実装条件

パッケージ	実装方法				
	はんだフロー (全浸漬)	はんだフロー (端子浸漬)	赤外線リフロー	温風リフロー	はんだごて
TO-247	×	◎	×	×	○

◎ : 実装可能 ○ : 一回のみ実装可能 × : 実装不可能

はんだ温度 / Soldering temp.	浸漬時間 / Immersion time
260±5°C	10±1 sec
350±10°C	3.5±0.5 sec

(b) 端子の浸漬深さは、パッケージから1~1.5mm離れた位置までに行ってください。

(c) はんだフロー方式による製品の取付けなどでは、製品本体をはんだ液に浸さないようにしてください。

(d) フラックスを使用する場合には、塩素系のものを避け、ロジン系のフラックスの使用が望ましいです。

3.スルーホールの端子加工、取り付け

(a) 端子へのストレス

端子に必要な以上のストレスを加えると、内部のチップおよび外部パッケージが損傷します。図6-3に示す方向に加わる荷重は1kg以下としてください。

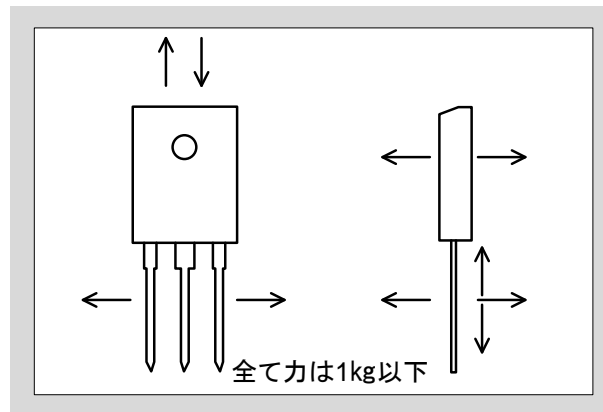


図6-3 端子へのストレス

(b) 端子成形上の注意点

部品配置の都合上やむなく端子を成形する場合は次の注意が必要です。

- ・内部のチップおよび外部パッケージにストレスが加わらない専用の治具を用意してください。
- ・端子を横方向に曲げる場合は、図6-4のようにパッケージから4.5mm以上離れた部分で30°を超えないように折り曲げてください。
- ・端子をパッケージに対し直角に曲げる時は、パッケージから4.5mm以上離れた点で折り曲げてください。
- ・同一の場所の成形は1回のみとし、再成形や元の形に戻しての使用はしないでください。

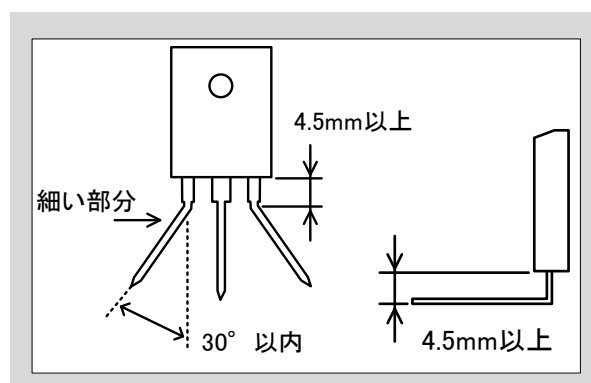


図6-4 端子成形上の注意点

(c) プリント基板への挿入

プリント基板に差し込む時は、端子の根元部分に過大なストレスがかからない様に端子の間隔と差し込む穴の間隔を一致させてください。

4. 洗浄

フラックスを使用してはんだ付けをした場合、溶剤で洗浄する必要があります。この場合、以下のことに注意してください。

(a) 溶剤

- ・引火性・毒性および腐食性のない溶剤を使用してください。
- ・特にトリクレン系は塩素を含んでいるため使用を避けてください。

(b) 洗浄方法

洗浄は浸漬を推奨します。超音波洗浄を行う場合、デバイス内部の共振点(数十kHz)を避けるように周波数を設定し、ディスクリートやプリント基板が振動源に直接触れないように注意してください。

5. ヒートシンクへの取付方法

- (a) 取付け用ネジの締付トルクが小さすぎると熱抵抗が増大し、熱破壊する危険性があります。表6-2の範囲内の数値を推奨します。

表6-2 半導体素子の締付トルク

パッケージ外形	取付穴径	使用ネジ	締付けトルク (N・cm)
TO-247	φ3.2	M3	40-60

- (b) 素子本体とヒートシンク間の熱伝導を良くし、放熱効果をあげるためサーマルグリースを均一に薄く塗布することを推奨します。

(c) サーマルグリースの塗布について

素子と絶縁シート、絶縁シートとヒートシンク間をグリースで満たすために半導体素子チップ搭載部直下のケース部及びヒートシンクの表面へ点状に塗り、推奨締付けトルクでヒートシンクにネジで締付けます。

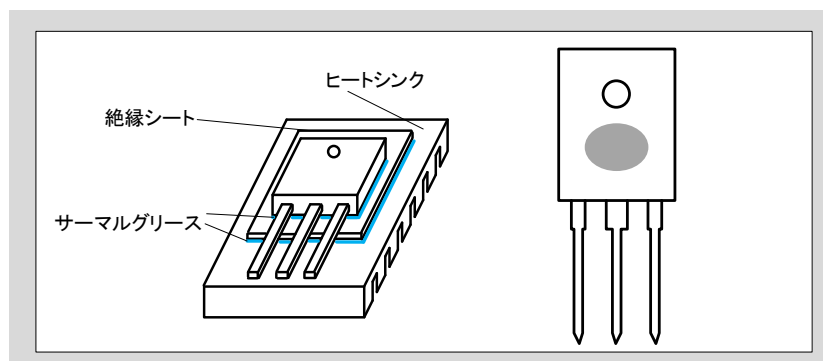


図6-5 サーマルグリース塗布

- (d) ヒートシンク面平坦度 $\leq \pm 30\mu\text{m}$
 (e) ヒートシンク表面粗さ $\pm 10\mu\text{m}$
 (f) ねじ穴のテーパ加工は行わないでください。

第7章 代表的なトラブルとその対処方法

1. トラブル発生時の要因解析	7-2
2. 故障判定方法	7-7
3. 代表的なトラブルとその対処方法	7-8

本章では、代表的なトラブルとその対処方法について説明します。

1.トラブル発生時の要因解析

素子破壊等の異常が発生した場合、発生状況や原因を明確にしたうえで対策する必要があります。素子外部の破壊痕から異常現象の要因解析をする手引きとして、表7-1を参考に破壊要因の調査をお願いします。表7-1を用いて原因が解析できない場合には詳細な図を活用して破壊要因を調査してください。

表7-1 素子の破壊モードと原因の推定

素子外部の異常現象		原因		素子破壊モード	チェックポイント
短絡	アーム短絡	短絡検出後、保護をかける(オフする)時にサージ電圧がSCSOAを超えて素子が破壊		SCSOA(サージ電圧)破壊	アーム短絡時の動作軌跡と素子耐量のマッチング
	直列アーム短絡(上下アーム短絡)	デッドタイム不足して破壊	-V _{GE} 不足でt _{off} が大きくなった、デッドタイム設定ミス	過熱(短絡耐量)破壊	素子のt _{off} とデッドタイムのマッチング
		dv/dt誤動作を起こして短絡破壊	-V _{GE} 不足、ゲート配線が長い		dv/dt 誤ONチェック
		ノイズ等が原因で短絡破壊	ゲート駆動回路誤動作、ロジック回路誤動作		回路誤動作チェック
	出力短絡	配線ミス、配線誤接触、負荷短絡		SCSOA 及び、過熱破壊	不具合発生状況チェック、素子耐量と保護回路のマッチング、地絡配線状態チェック
地絡	配線ミス、配線誤接触				
過負荷(過電流)		過電流が流れ破壊	ロジック誤動作 過電流保護設定ミス	過熱	ロジック信号 過電流保護設定値の見直し
過電圧	直流電圧過大	C-E間に素子耐圧を超える過電圧が印加され破壊	入力電圧過大 過電圧保護	C-E間耐圧オーバー	過電圧保護レベル見直し
	サージ電圧過大	ターンオフ時のサージ電圧がRBSOAを超えて破壊		RBSOA	ターンオフ動作軌跡とRBSOAのマッチング、スナバ回路見直し
		FWD転流(逆回復)時のサージ電圧が素子耐圧を超えて破壊		ノイズによるロジック又はゲート駆動回路誤動作 主回路等からのゲート信号線への電磁誘導	C-E間耐圧オーバー
ゲート信号がパルス割れなどを起こし、非常に短い時間間隔のターンオフ→ターンオン(数百nsオーダー)を起こし、素子耐圧を超える過大な逆回復サージ電圧が発生して破壊(以下、微小パルス逆回復現象)					
ドライブ電源電圧減		V _{GE} が所定設計値より低下してV _{CE} 間電圧が大きくなり、発熱(損失)が大きくなり破壊	DC-DCコンバータ誤動作 ドライブ電源確立までの時定数が大きすぎる ゲート信号配線はずれ	過熱	回路チェック
ゲート過電圧		静電気がG-E間に印加されゲートが破壊 ゲート配線が長すぎてG-E間に耐圧を超えるサージ電圧が発生し、破壊		G-E間耐圧オーバー	作業状態チェック(静電気対策) ゲート電圧チェック
ゲートオープンでの駆動		受入試験等でゲートオープンの状態でC-E間に電圧を印加(オン電圧/耐圧測定等)して破壊		過熱破壊	ゲート電圧チェック
過熱	放熱能力不足	放熱能力不足で素子が異常過熱、最大ジャンクション温度を超えて破壊	端子取付けネジのゆるみ サーマルグリースの塗布不足	過熱	放熱条件チェック
	熱暴走		冷却ファン停止		ロジック回路チェック
応力	応力	製品内部の端子はんだ付け部等が応力疲労を起こし断線する	外部配線から端子に掛かる応力	製品内の電気配線断線(オープン)	端子部に発生する応力/製品および他の部品の実装状態
	振動		実装した他の部品等が振動して端子に応力を与える		
素子の適用条件と信頼性、実力のマッチングが取れてない		素子の適用条件(環境、温度変化、実装時の組立条件、保管状態等)と製品の信頼性実力のマッチングが取れていない、製品内部の配線、絶縁構造、外観等が破壊		破壊モードはケース毎に異なる	本章 図7-1に基づいてチェックしてください

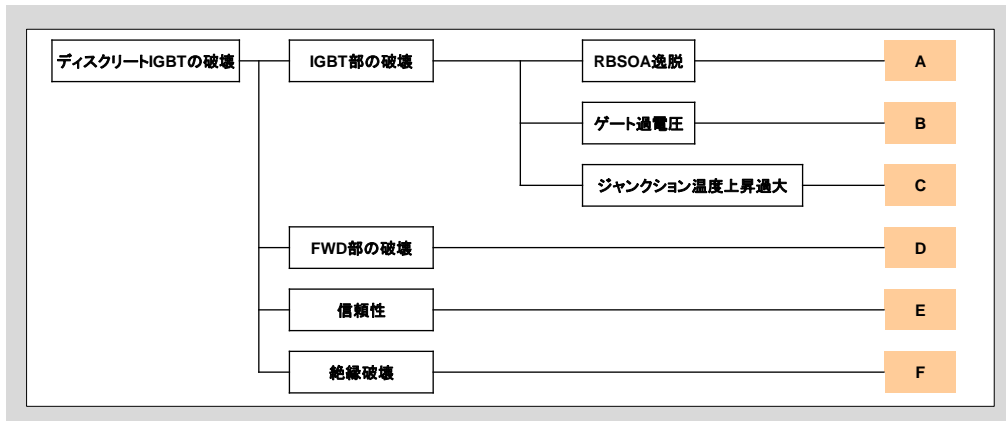


図7-1 IGBT故障解析図(A-Eの記号は以降の図へ連結)

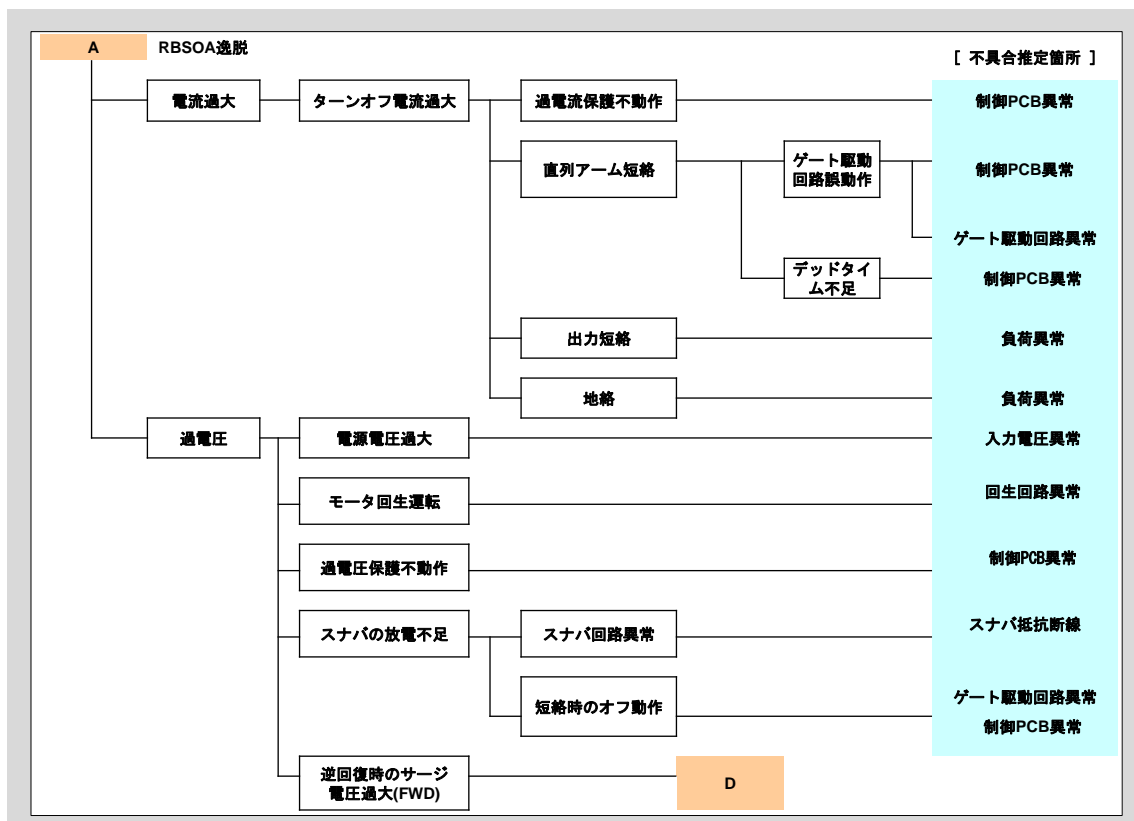


図7-1(a) モードA : RBSOA逸脱

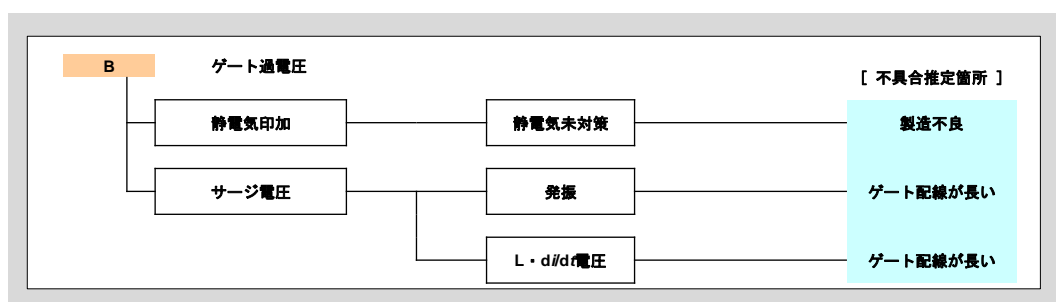


図7-1(b) モードB : ゲート過電圧

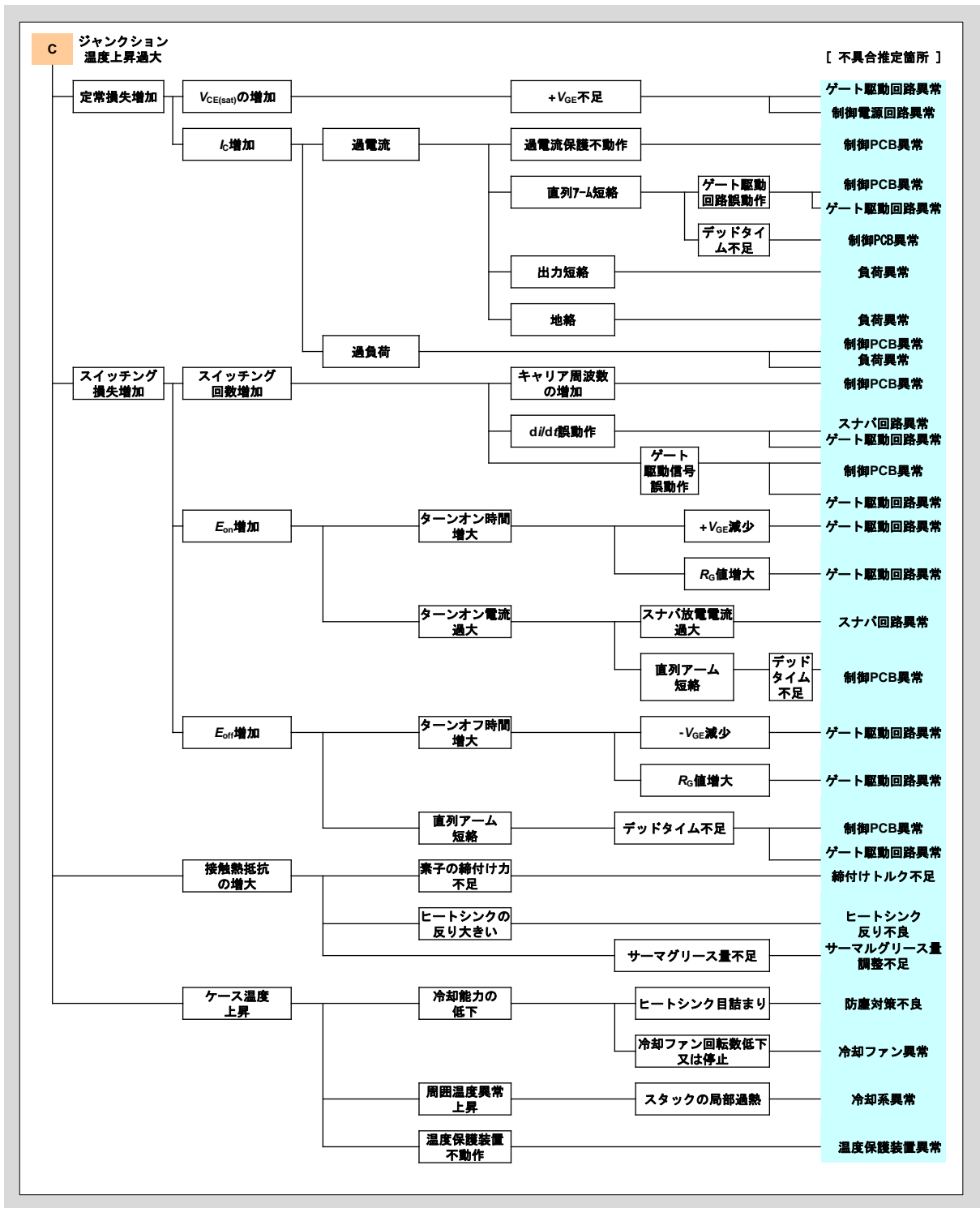


図7-1(c) モードC : ジャンクション温度上昇過大

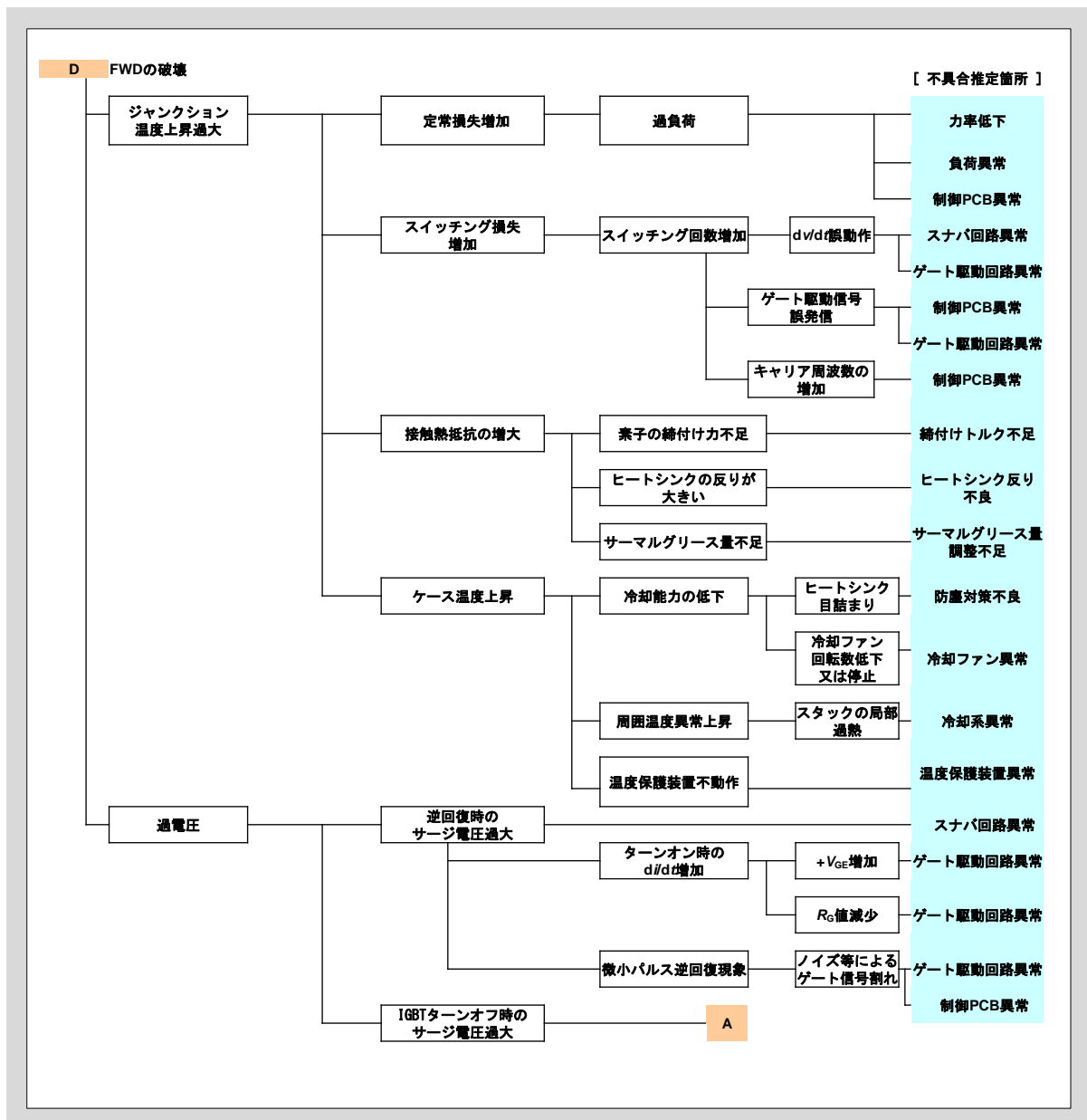


図7-1(d) モードD : FWDの破壊

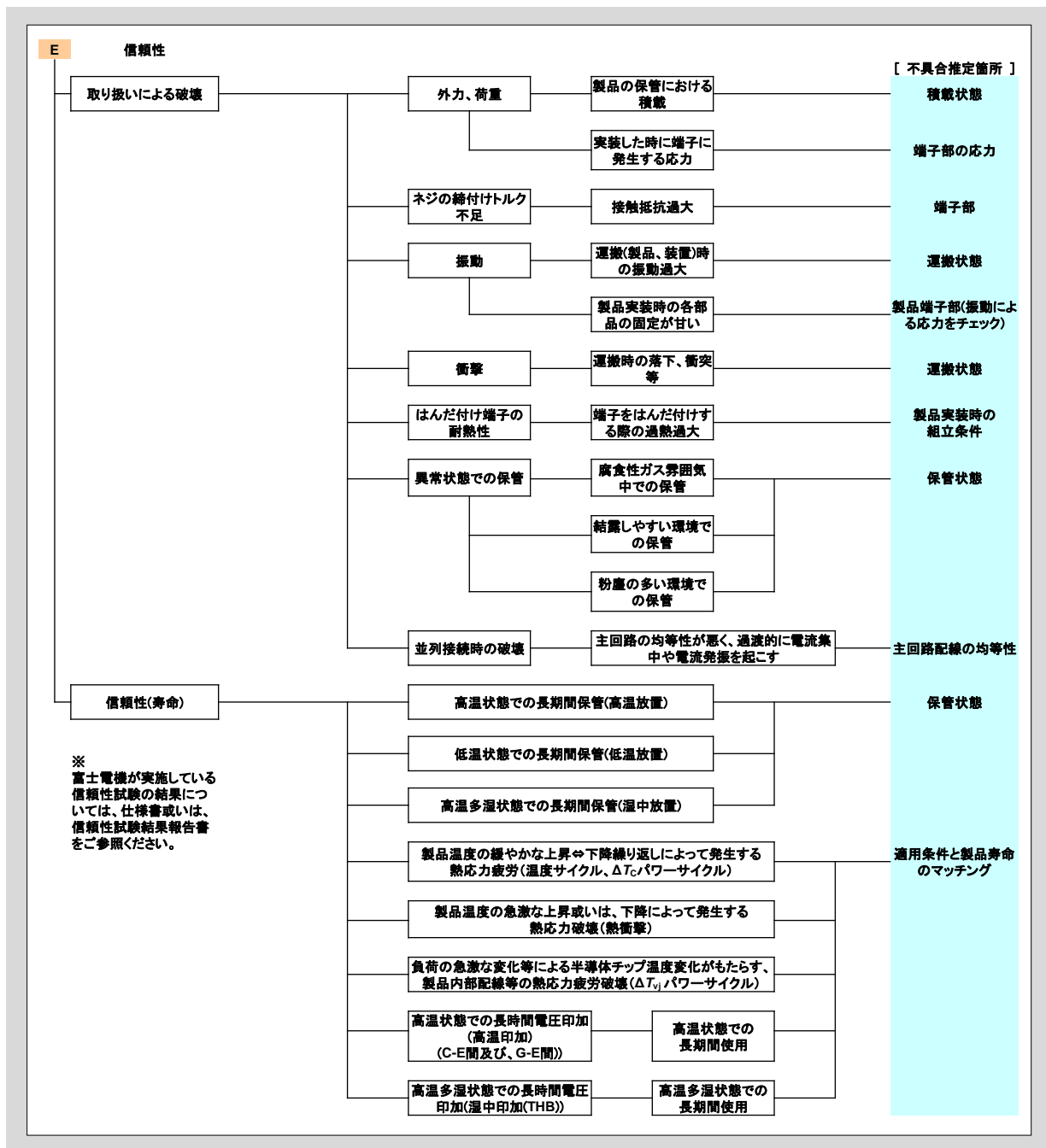


図7-1(e) モードE : 信頼性

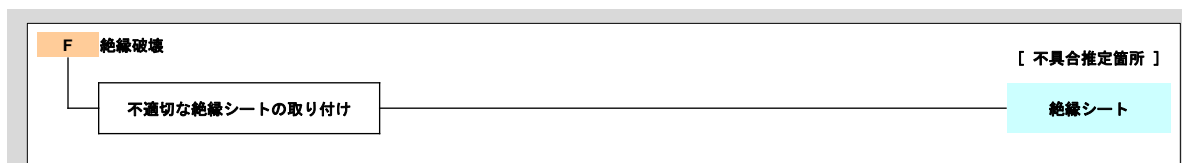


図7-1(f) モードF : 絶縁破壊

2.故障判定方法

IGBTの破壊確認はトランジスタ・カーブトレーサ(以下CTと略す)を用いて、次の項目を判定できます。

- ① G-E間の漏れ電流 ② C-E間の遮断電流 (G-E間を必ず短絡してください)

また、テスタ等の電圧・抵抗測定装置を使用しても簡易的に故障判定ができます。

<G-E間チェックによる故障判定方法>

図7-2に示す様に、C-E間短絡状態でG-E間の漏れ電流或いは抵抗値を測定します。製品が正常であれば、漏れ電流は数百nA程度で抵抗値は数十MΩ～無限大になります。漏れ電流が数mA以上、もしくは抵抗値が数MΩ以下の場合は素子が故障している可能性があります。

尚、測定時はG-E間に±20Vを超える電圧を印加しないでください。テスタを使用する場合、内部のバッテリー電圧が20V以下であることを確認してください。

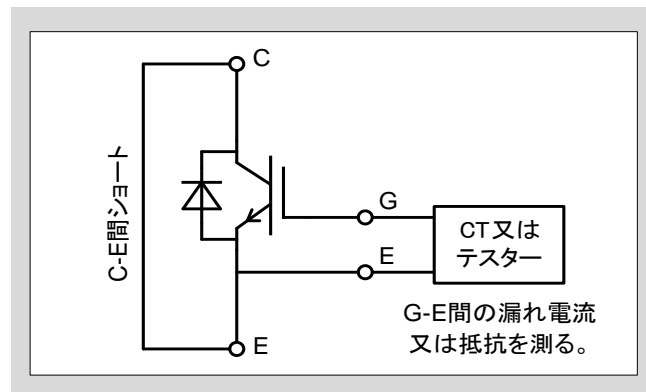


図7-2 G-E間 チェック

<C-E間チェックによる故障判定方法>

図7-3に示す様に、G-E間短絡状態でC-E間の遮断電流或いは抵抗値を測定します。素子が正常であれば仕様書記載の I_{CES} 最大値以下の遮断電流あるいは数十MΩ～無限大の抵抗値になります。尚、下記項目に注意してください。

- ①測定時はコレクタを+に、エミッタを-に接続してください。逆に接続するとFWDが導通して測定できません。
②定格以上の電圧を印加しないでください。定格以上の電圧を印加すると素子が破壊することがあります。

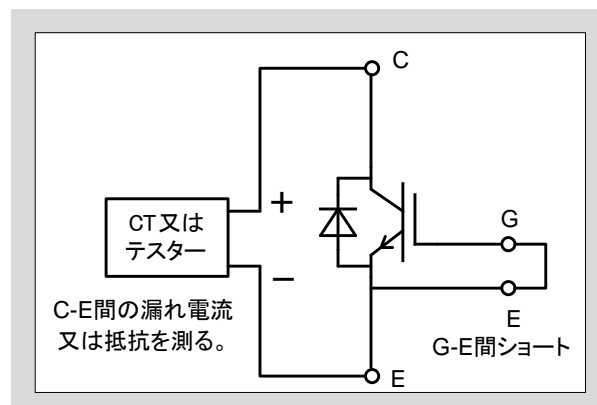


図7-3 C-E間チェック

3. 代表的なトラブルとその対処方法

<FWD逆回復時のdv/dtによる誤点弧回避方法>

FWD逆回復時のdv/dtによるIGBTゲートの誤点弧を回避する方法について示します。図7-4はdv/dt発生時に生じる誤点弧の原因について示した図です。本図ではIGBT2が逆バイアスされています。ここでIGBT1がオフ状態からオン状態になると、その対向アームのFWD2が逆回復します。またそれと同時に、オフ状態にあるIGBT2とFWD2の電位が上昇し、IGBT1のスイッチング時間に応じたdv/dtが発生します。IGBT1、2にはそれぞれ帰還容量 C_{res} があるため、この C_{res} を介して電流 $I = C_{res} \cdot dv/dt$ が発生します。この電流がゲート抵抗 R_G によってゲート電位を上昇させ、結果としてG-E間の電圧 V_{GE} が生じます。この V_{GE} がIGBT2の逆バイアス電圧としきい値電圧 $V_{GE(th)}$ の和の電圧を越えるとIGBT2が誤点弧し、IGBT1とIGBT2は短絡状態となります。

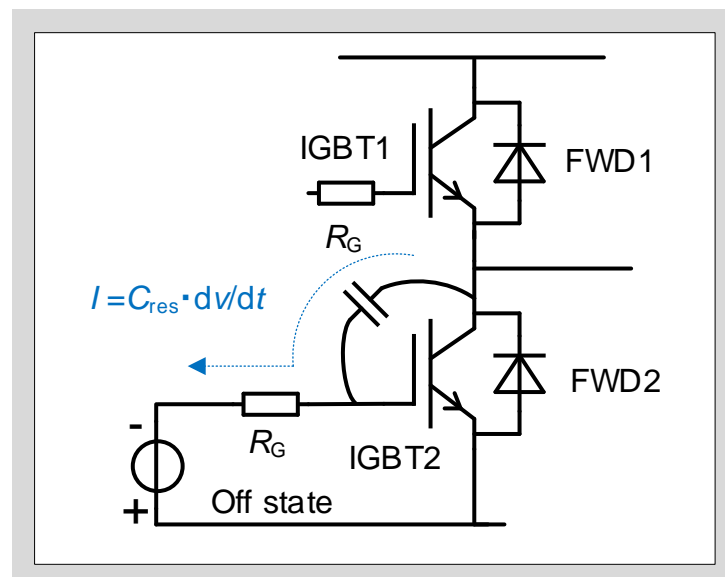


図7-4 dv/dt発生時の誤点弧の原理

誤点弧回避の方法を図7-5に示します。

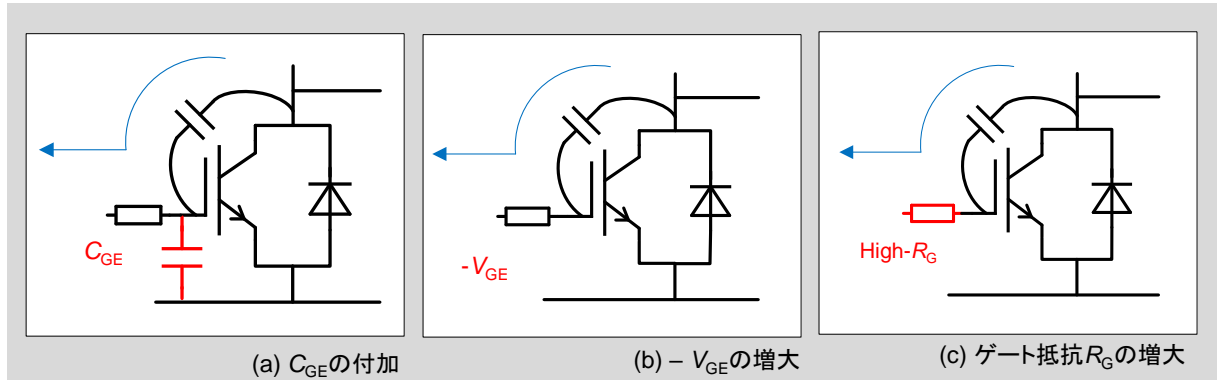


図7-5 dv/dt誤点弧回避方法

IGBTの誤点弧回避方法は、G-E間に容量成分 C_{GE} を付加する、 $-V_{GE}$ を増大させる、ゲート抵抗 R_G を大きくする方法が挙げられます。これらの対策による効果は適用ゲート駆動回路によって異なるため実動作で誤点弧が無い事を確認してください。またスイッチング損失への影響もあるので併せて確認してください。

G-E間に容量成分 C_{GE} を付加する方法は、誤点弧電流をその C_{GE} に流すことでゲート抵抗に流れる電流を低減しゲート電圧の上昇を抑え誤点弧を回避します。しかし、ゲートドライブ時に C_{GE} 容量成分を充電する必要があるためスイッチングスピードが遅くなりスイッチング損失は大きくなります。対策として C_{GE} を付加すると共にゲート抵抗を低減することで、スイッチング損失を増大させることなく誤点弧を回避することが可能です。

なお、 C_{GE} の目安はデータシート記載 C_{ies} の2倍程度をG-E端子間直近に付加し、ゲート抵抗 R_G は C_{GE} 付加前の約半分へ変更することを推奨します。

<G-E間オープン状態での主回路電圧印加>

素子単体で特性チェックをする場合、G-E間オープン状態でC-E間に電圧を印加すると、IGBTの C_{res} を介して図7-6に示すように電流(i)が流れます。これによりG-E間容量に電荷が充電されゲート電位が上昇しIGBTがオンして I_c が流れ発熱し破壊の可能性があります。製品の受入試験等でスイッチ切り替えを行っている場合はG-E間が瞬時オープンになり素子が破壊する可能性があります。IGBTを駆動するには必ずG-E間に信号を入れた状態で駆動してください。また、必ず主回路(C-E間)電圧を0Vまで放電してからゲート信号の切り替えを行なってください。

図7-7はオン電圧測定回路の例です。この例で測定手順を説明します。まずゲート駆動回路(GDU)をオフ($V_{GE}=0V$)にしてから SW_1 をオンしC-E間に電圧を印加します。次に、GDUでG-E間に所定の順バイアス電圧を印加しIGBTを通電させ、オン電圧を測定します。最後にゲート駆動回路をオフ状態にし SW_1 をオフにします。この手順で素子を破壊する事なく安全に素子の特性を測定することが出来ます。

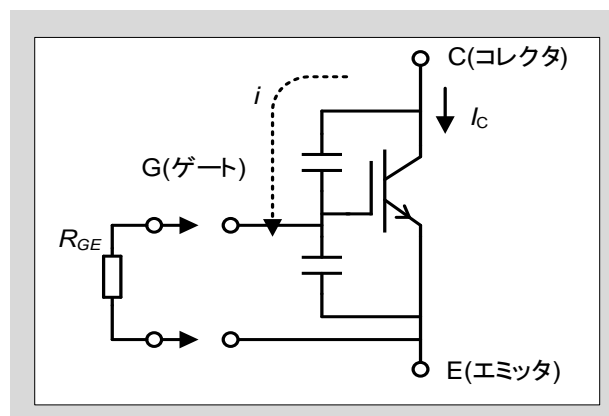


図7-6 G-E間オープン状態でのIGBTの振る舞い

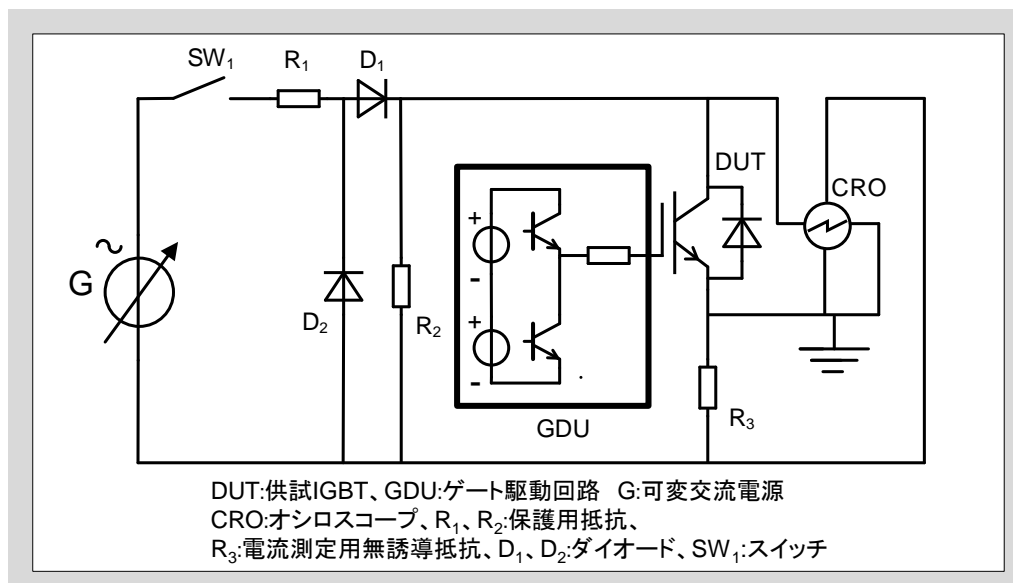


図7-7 オン電圧の測定回路

<過渡オン状態からのダイオード逆回復(微小パルス逆回復)現象>

IGBTの駆動時にノイズ等によってゲート信号割れが起きると、過大な逆回復サージ電圧が発生します。この現象を微小パルス逆回復現象と呼びます。図7-8に微小パルス逆回復による過大サージ電圧の発生タイミングチャートを示します。

図7-9でIGBT2がオンしている V_{GE} のオン期間 T_{ON} に対しオフ信号 T_w が発生するとIGBT2がオフし、対向アーム側のFWD1がオンし、再度すぐにIGBT2がオンし逆回復動作に入ります。本来の逆回復現象ではFWD内に十分なキャリアが蓄積されてから逆回復動作に入るのに対して、微小パルス逆回復現象では十分なキャリアの蓄積がない状態で逆回復動作します。これによりFWD内で空乏層が急激なスピードで広がります。そのため、急峻な di/dt 、 dv/dt が発生し、逆回復時のC-E(A-K)間に点線で囲まれた非常に大きな逆回復サージ電圧が発生します。製品の耐圧保証値を超えるサージ電圧が発生すると素子破壊の可能性があります。装置設計を行なう際にはこのような短いゲート信号オフパルスが発生しないように注意してください。

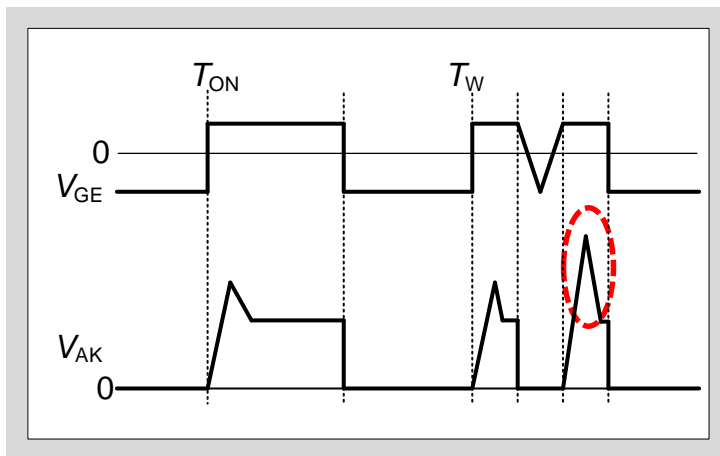


図7-8 微小パルス逆回復による過大サージ電圧の発生

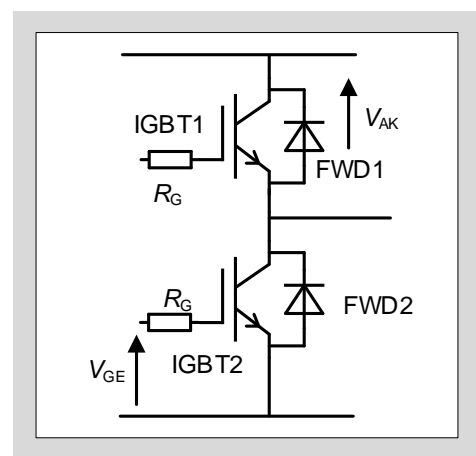


図7-9 回路図

<並列接続時の注意点>

大電流を制御する用途にIGBTを適用する場合、素子を並列に接続して使用する事があります。並列接続では電流バランスが崩れると、一つの素子に電流が集中し破壊する可能性があります。並列接続時の電流バランスは、素子の特性や配線方法等で変わるため、バラツキを抑えた $V_{CE(sat)}$ の素子適用や主回路配線の均等化設計等が必要になります。並列接続を行う場合には同一製品ロットでご使用ください。

主回路配線が不均等な場合、スイッチング時の di/dt で各配線のインダクタンスに不均等な電圧が発生し、並列接続されたエミッタ部の制御側配線ループに振動電流が流れゲート電圧が振動します。この振動でIGBTが誤動作する可能性があります。

上記のIGBT誤動作を起こさないために左右対称配線をすることで均等な電流分担が実現できます(図7-10参照)。

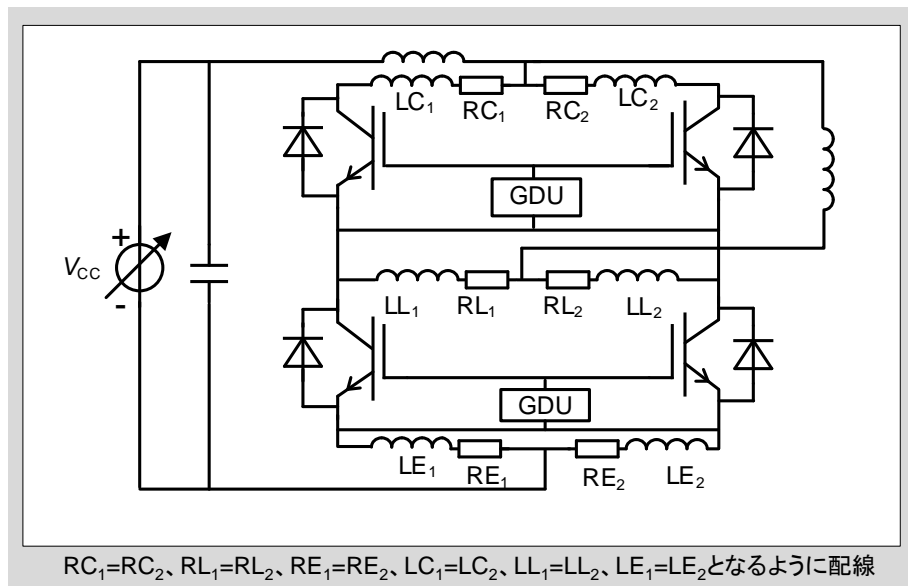


図7-10 並列接続時の等価回路

図7-11(1)にエミッタ部の配線インダクタンスを極端に不均等にした場合の振動現象を示します。

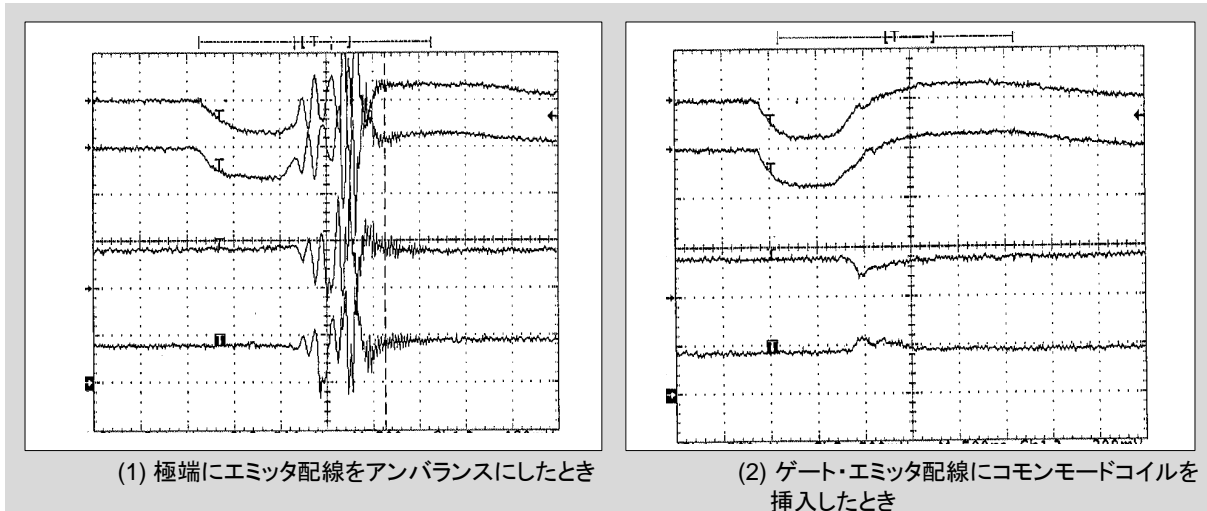


図7-11 2並列時のコレクタ・ゲート電流波形

振動対策として、図7-12のように各ゲート・エミッタ配線にコモンモードコイルを挿入し、エミッタ部のループ電流を流さない方法があります。図7-11(2)に影響をなくした場合の波形を示します。図7-11(1)に比べて振動が抑制されています。

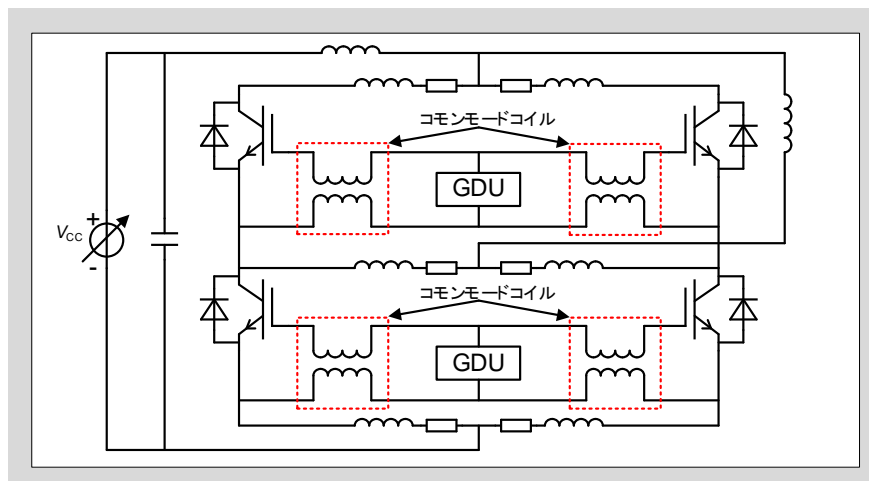


図7-12 コモンモードコイルを挿入した並列回路

第8章 保管・運搬の注意事項

1. 保管	8-2
2. 運搬	8-2
3. 作業環境	8-3

本章では、保管・運搬の注意事項について説明します。

1. 保管

- (a) 素子の保管温度・湿度は常温・常湿中が好ましく極端な温度・湿度は避けてください。常温常湿の目安は、5～35℃で45～75%です。特にモールドタイプのパワートランジスタ等の場合、非常に乾燥する環境下では加湿器により加湿する必要があります。その際、水道水を使うと含まれている塩素により製品の端子が錆びる可能性があるため、使用する水は純水や沸騰水を用いるようにしてください。
- (b) 腐食性ガスを発生する場所や塵埃の多いところは避けてください。
- (c) 急激な温度変化のある所ではデバイスに結露が起こるので、できるだけ温度変化の少ない場所に保管してください。
- (d) 製品に荷重がかからないように注意してください。特に積み重ねた時に思わぬ荷重がかかることがあります。また、重いものを上に載せることも避けてください。
- (e) 錆などによるはんだ付不良を避けるため各端子は未加工の状態でも保管してください。
- (f) 製品を入れる容器は静電気を帯びにくいもの、あるいは弊社出荷時の容器としてください。
- (g) 保管棚等は全て金属にし、接地してください。

2. 運搬

- (a) 落下などの衝撃を与えないでください。
- (b) 多数の製品を箱等で運搬する時は、接触電極面等を傷つけないようにやわらかいスペーサを介して製品を並べてください。
- (c) G-E間に静電気が加わらない様に導電性袋やアルミ箔等で静電気対策を行い運搬してください。

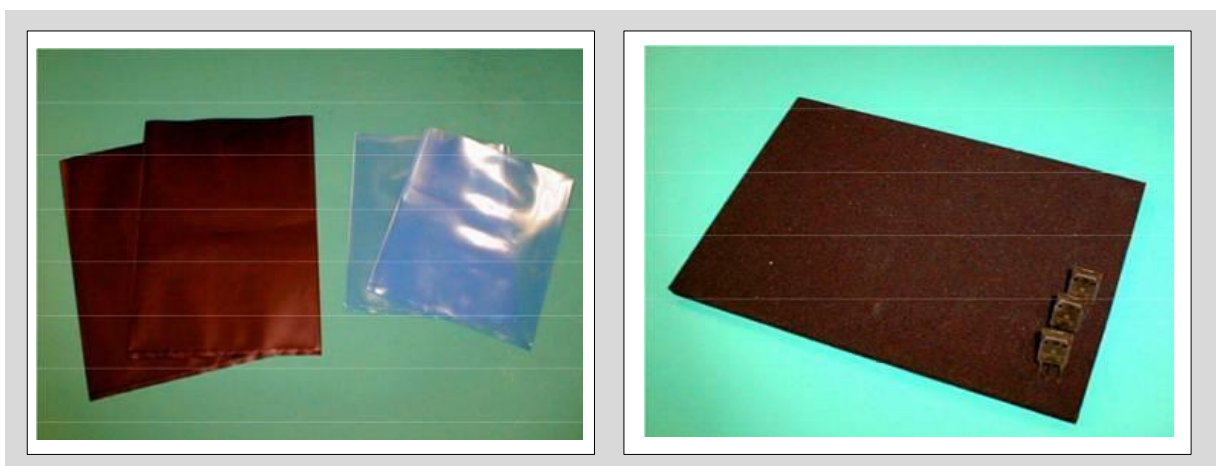


図8-1 導電性袋(左)と導電性フォーム(右)

3.作業環境

- (a) 作業を行う人は人体アースを取ってください。人体アースはリストストラップや銅の指輪等を付け、感電防止のため1MΩくらいの抵抗を取付けて、アースを取ってください。
- (b) 作業環境は導通性のフロアマットやテーブルマット等を敷き、アースを取ってください。
- (c) カーブトレーサーなどの測定機を使用する場合は測定機もアースを取ってください。
- (d) はんだ付けを行う場合ははんだゴテやはんだバスからのリーク電圧がディスクリートIGBTへ印加しないよう、はんだバス等のアースを取ってください。
- (e) 端子に直接触れないよう、パッケージ本体を持って取り扱ってください。