

富士 IGBT モジュール 第4章 トラブル発生時の対処方法

Application Manual

 **注意**

本資料の内容(製品の仕様、特性、データ、材料、構造など)は2022年3月現在のものです。
この内容は製品の仕様変更のため、または他の理由により事前の予告なく変更されることがあります。

このマニュアルに記載されている製品を使用される場合には、その製品の最新版の仕様書を入手して、
データを確認して下さい。

富士電機は絶えず製品の品質と信頼性の向上に努めています。しかし、半導体製品はまれに故障、誤作
動が発生する場合があります。富士電機製半導体製品の故障または誤動作が、結果として人身事故・火災
などによる財産に対する損害や社会的な損害を起こさないように冗長設計・延焼防止設計・誤動作防止設
計など安全確保のための手段を講じて下さい。

本資料の記載内容は工業所有権、その他権利の実施に対する保障または実施権の許諾を行なうもので
はありません。

本資料に記載された製品は、人命にかかわるような状況下で使用される機器あるいはシステムに用いら
れることを目的として設計・製造されたものではありません。本資料の製品を車両機器、船舶、航空宇宙、医
療機器、原子力制御、海底中継機器あるいはシステムなど、特殊用途への使用に対して弊社は一切の責
任を負いません。

本資料には製品を保証する項目が記載されていますが、製品が顧客装置に組み込まれた際の特性及び
品質に対して保証するものではありません。製品を使用される際は、製品が使用されるアプリケーションにて
評価いただいた上で、適用側の責任において適用可否を判断して下さい。

富士電機は、適用可否に対する責任は負いません。

第4章 トラブル発生時の対処方法

1. トラブル発生時の対処方法	4-2
2. 故障判定方法	4-7
3. 代表的なトラブルと対処方法	4-9

本章ではIGBTモジュールを取り扱う際のトラブルの対処方法について説明します。

1. トラブル発生時の対処方法

IGBTモジュールをインバータ回路などに適用した場合、配線ミス・実装上のミスなどの異常により素子の破壊を招くことがあります。また素子破壊などの異常が発生した場合、発生状況や原因を明確にした上で対策する必要があります。その手引きとして表4-1に素子破壊モードから素子外部の異常現象を推定するための要因解析表を示します。素子が破壊する場合、先ずこの表から破壊要因の調査して下さい。表4-1を用いて原因が解析できない場合、図4-1の詳細な要因解析図を活用して破壊要因を調査して下さい。また、素子が破壊しているかの確認を行なう故障判定方法を本章2項に、代表的なトラブルとその対処方法を本章3項に記載しましたのでこちらも参考にして下さい。

表4-1 素子の破壊モードと原因の推定

素子外部の異常現象		原因		素子破壊モード	チェックポイント
短絡	アーム短絡	短絡検出後、保護をかける(オフする)時にサージ電圧がSCSOAを超えて素子が破壊		SCSOA (サージ電圧)破壊	アーム短絡時の動作軌跡と素子耐量のマッチング
	直列アーム短絡 (上下アーム短絡)	デッドタイム不足による破壊	ゲート逆バイアス電圧不足- V_{GE} で t_{off} が長くなった デッドタイム設定ミス	過熱 (短絡耐量)破壊	素子の t_{on} とデッドタイムのマッチング
		dv/dt 誤動作を起こして短絡破壊	$-V_{GE}$ 不足 ゲート配線が長い	SCSOA 及び 過熱破壊	dv/dt 誤ONチェック
		ノイズなどが原因で短絡破壊	ゲート駆動回路誤動作 ロジック回路誤動作		回路誤動作チェック
	出力短絡	配線ミス、配線誤接触、負荷短絡		SCSOA 及び 過熱破壊	不具合発生状況チェック 素子耐量と保護回路のマッチング 配線状態チェック
地絡	配線ミス、配線誤接触				
過負荷(過電流)		過電流が流れ破壊	ロジック回路誤動作 過電流保護設定ミス	過熱	ロジック回路チェック 過電流保護設定値の見直し
過電圧	直流電圧過大	C-E間に素子耐圧を超える過電圧が印加され破壊	入力電圧過大 過電圧保護	C-E間耐圧オーバー	過電圧保護レベル見直し
	サージ電圧過大	ターンオフ時のサージ電圧がRBSOAを超えて破壊		RBSOA	ターンオフ動作軌跡とRBSOAのマッチング スナバ回路の見直し
		FWD逆回復時のサージ電圧が素子耐圧を超えて破壊		C-E間耐圧オーバー	サージ電圧と素子耐量のマッチング スナバ回路の見直し
	ゲート信号がパルス割れなどで非常に短い時間間隔のターンオフ→ターンオン(数百nsオーダー)を起こし、素子耐圧を超える過大な逆回復サージ電圧が発生して破壊(以下、微小パルス逆回復現象)	ノイズによるロジック又はゲート駆動回路誤動作 主回路などからのゲート信号線への電磁誘導			ロジック及びゲート信号チェック 大電流動作時のゲート信号/信号線の撚線/主回路~信号線の距離
駆動電源電圧減		G-E間電圧 V_{GE} が設計値より低下してC-E間電圧 V_{CE} 間電圧が大きくなり、発熱(損失)が大きくなって破壊	DC - DCコンバータ誤動作 駆動電源確立迄の時定数が大きすぎる ゲート信号配線はずれ	過熱	回路チェック
ゲート過電圧		静電気がG-E間に印加されゲートが破壊 ゲート配線が長すぎてG-E間に耐圧を超えるサージ電圧が発生し、破壊		G-E間耐圧オーバー	作業状態チェック(静電気対策) ゲート電圧チェック
ゲートオープンでの駆動		受入試験などでゲートオープン状態でC-E間に電圧を印加(オン電圧/耐圧測定など)して破壊		過熱破壊	ゲート電圧チェック
過熱	放熱能力不足	放熱能力不足で素子が異常過熱、最大ジャンクション温度を超えて破壊	端子取付けネジのゆるみ サーマルグリスの塗布不足 冷却ファン停止	過熱	放熱条件チェック
	発生損失増大	ロジック回路誤動作により、キャリア周波数の増加などが起こり、総合損失が上昇して破壊			ロジック回路チェック
応力	応力	IGBTモジュール内部の端子はんだ付け部などが応力疲労を起こし断線する。	外部配線から端子に掛かる応力	製品内の電気配線断線(オープン)	端子部に発生する応力/製品及び他の部品の実装状態
	振動		実装した他の部品などが振動して端子に応力を与える		
素子の適用条件と信頼性実力のマッチングが取れていない		素子の適用条件(環境、温度変化、実装時の組立条件、保管状態など)と製品の信頼性実力のマッチングが取れてなく、製品内部の配線、絶縁構造、外観などが破壊		破壊モードはケース毎に異なる	本章図4-1に基づいてチェックして下さい

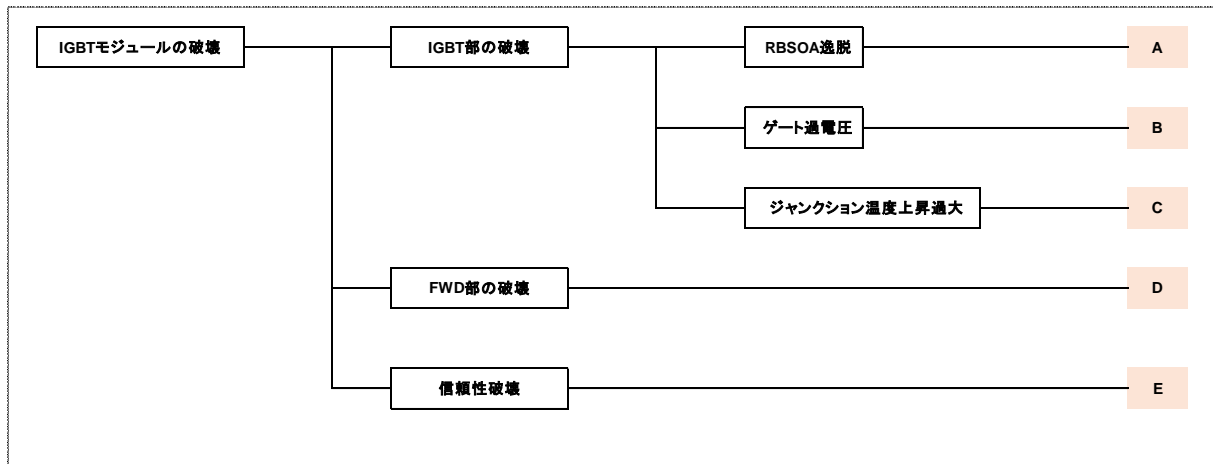


図4-1(a) IGBTモジュール故障解析図 (※A～D記号は下図へ連結しています)

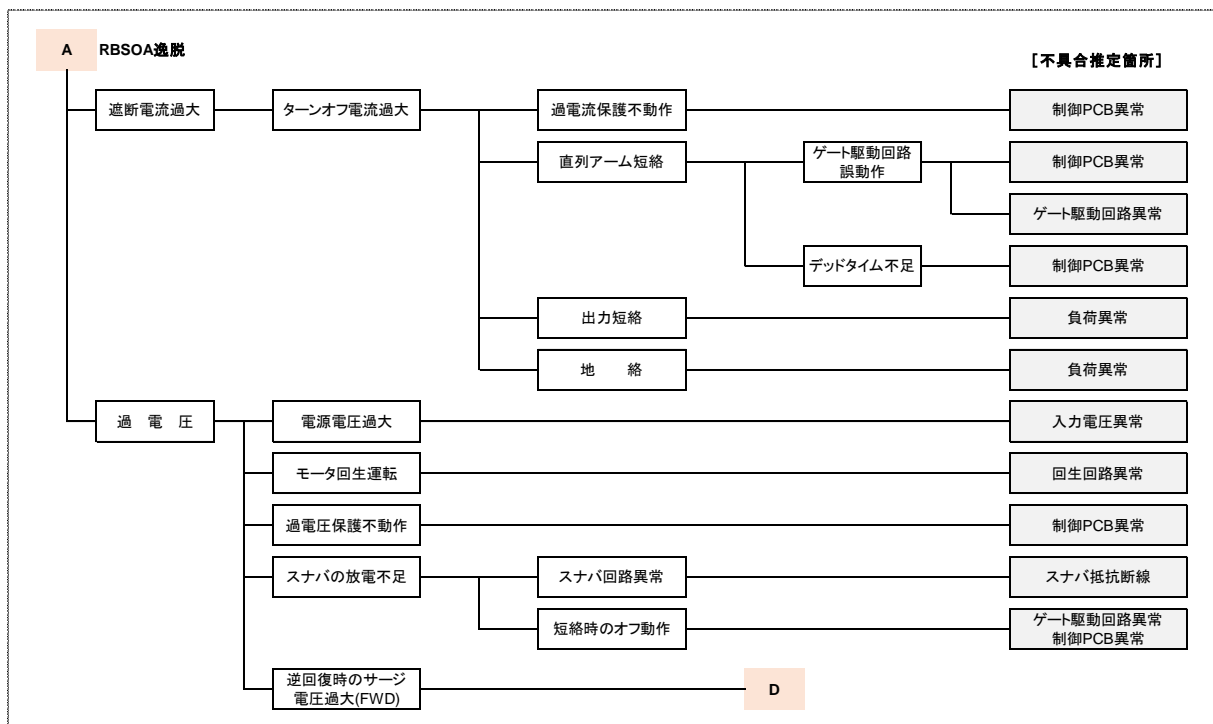


図4-1(b) モードA:RBSOA逸脱

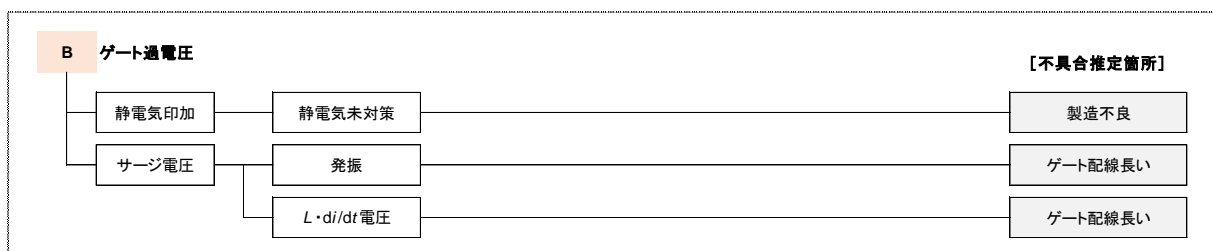


図4-1(c) モードB:ゲート過電圧

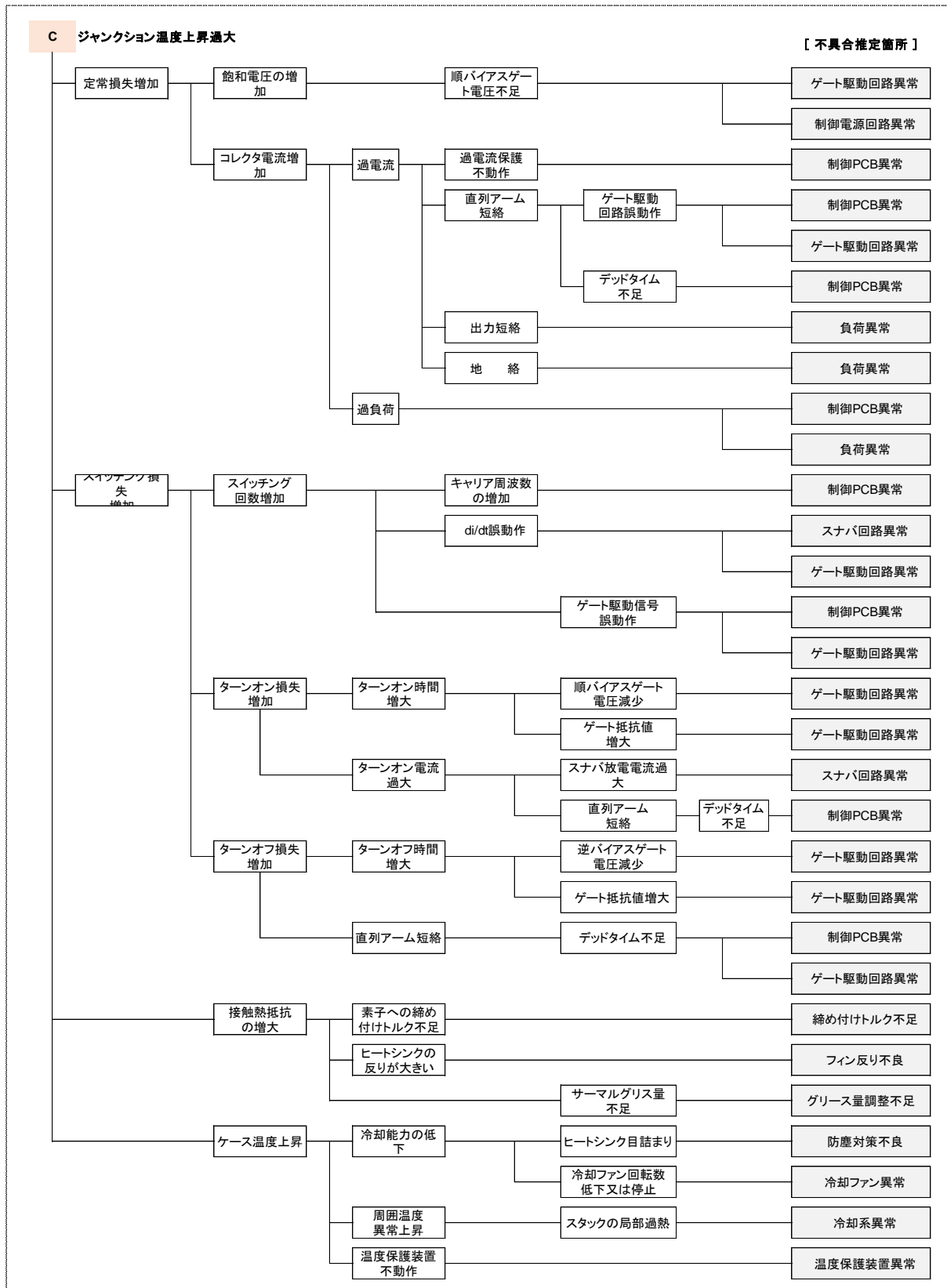


図4-1(d) モードC:ジャンクション温度上昇過大

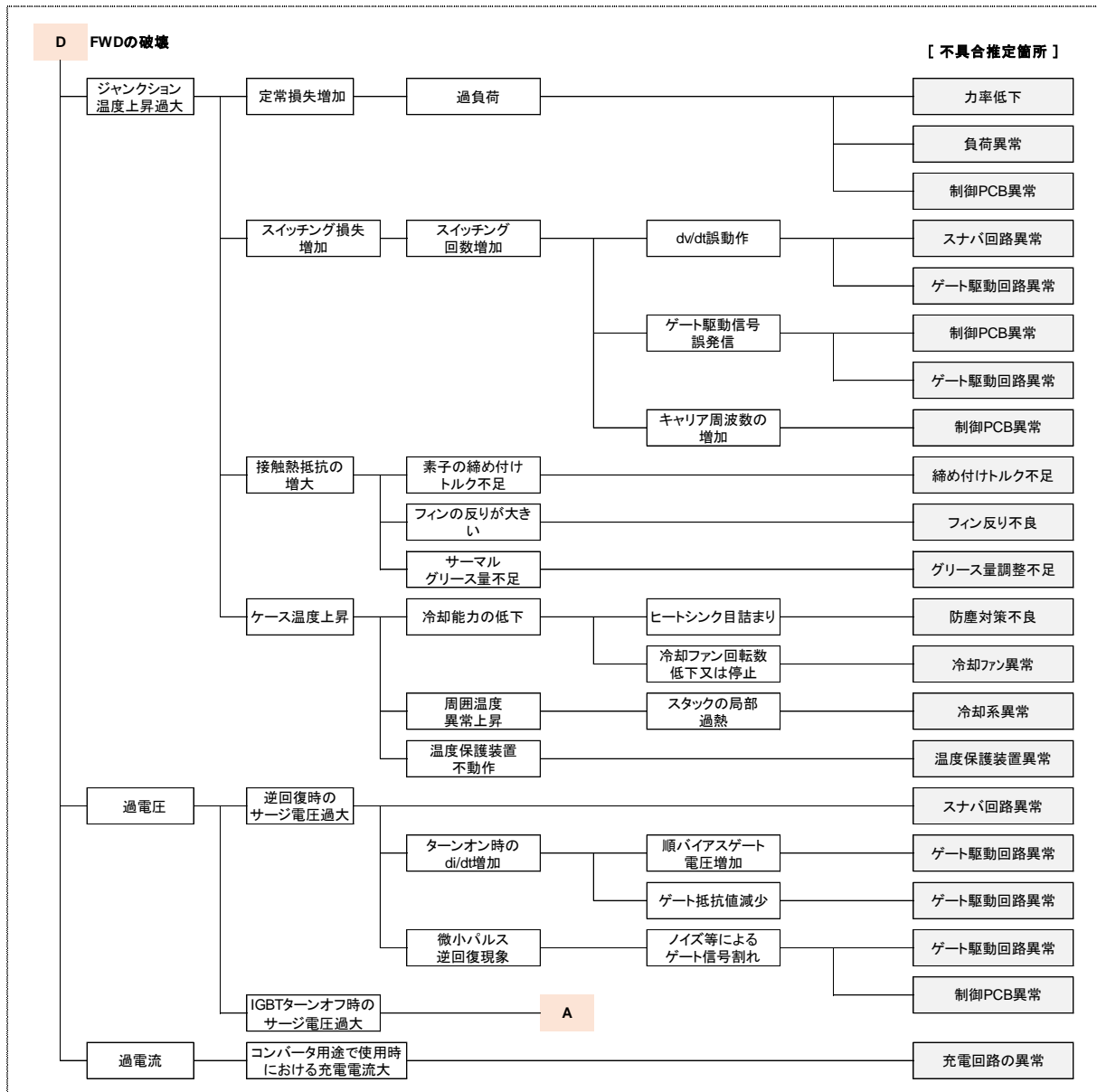


図4-1(e) モードD:FWDの破壊

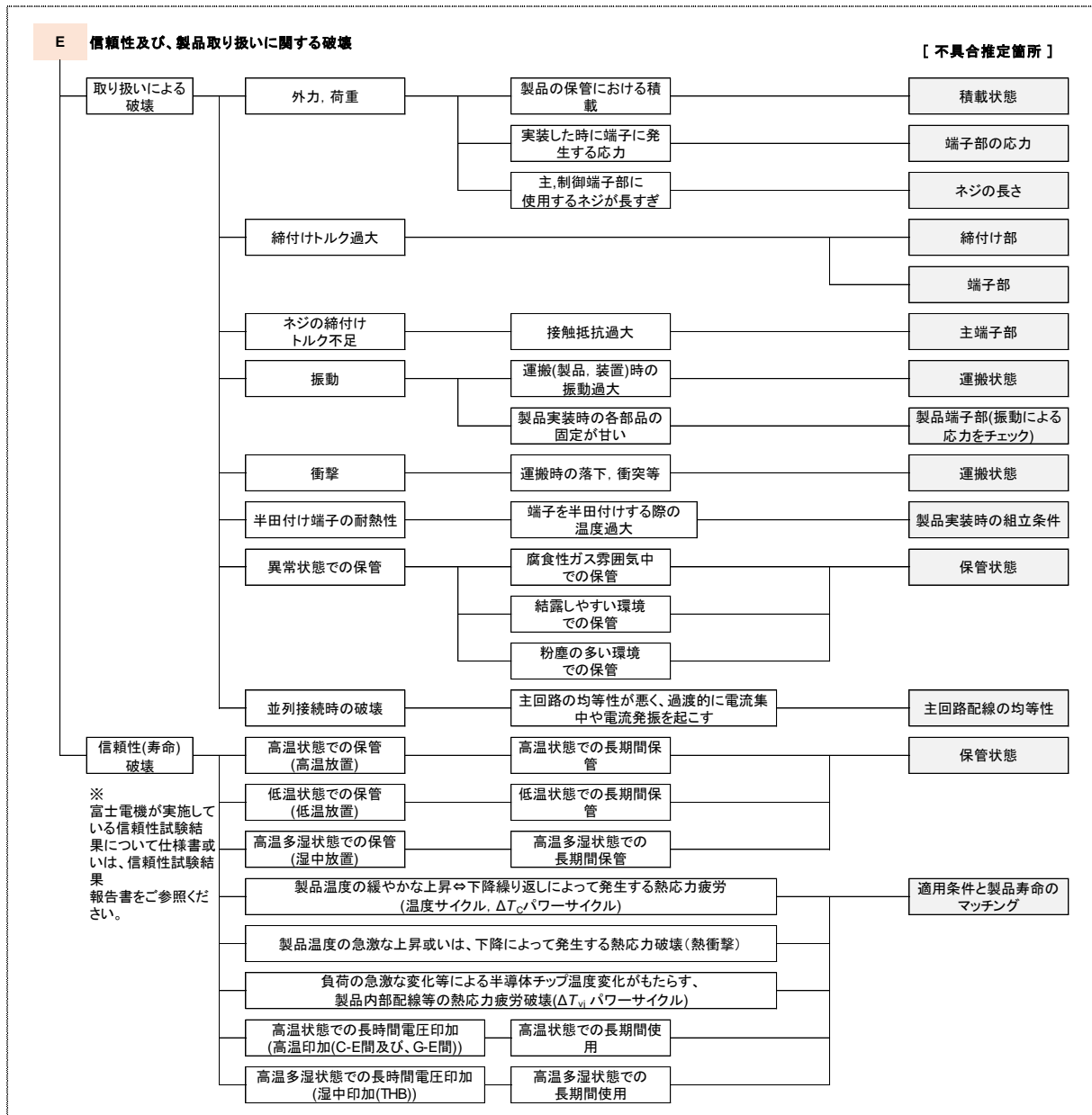


図4-1(f) モードE: 信頼性及び、製品取り扱いに関する破壊

2. 故障判定方法

IGBTモジュールの故障有無は、トランジスタ特性測定装置(トランジスタ・カーブトレーサ(以下CT))により、次の項目をチェックする事によって判定できます。

- (1) G-E間漏れ電流
- (2) C-E間漏れ電流 (G-E間を必ずショートさせて下さい)

CTの代わりにテスターなどの電圧、抵抗が測定できる装置を使用しても簡易的に故障判定ができます。

2.1 G-E間漏れ電流チェック (※ 上記の(1))

図4-2に示す様に、C-E間をショートし、G-E間の漏れ電流或いは抵抗値を測定します(G-E間には±20Vを超える電圧は印加しないで下さい。テスターを使用する場合、内部バッテリー電圧が20V以下であることを確認して下さい)。

製品が正常であれば漏れ電流は数100nAオーダー(テスター使用の場合、抵抗値は数十MΩ～無限大)になります。それ以外の状況では素子が破壊している可能性があります(一般的に素子が破壊しているとG-E間はショートの状態になります)。

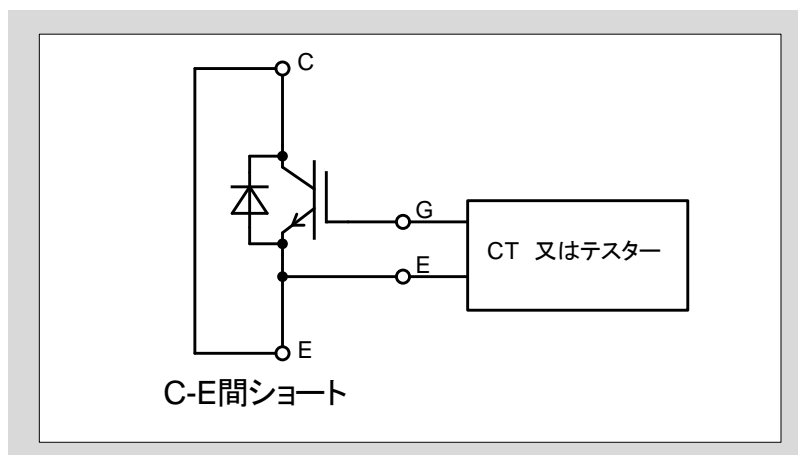


図4-2 G-E間 (ゲート)チェック

2.2 C-E間遮断電流チェック (※ 上記の(2))

図4-3に示す様に、G-E間をショートし、C-E間(コレクタを+、エミッタを-に接続します。極性を逆に接続した場合、FWDが導通してC-E間ショートになります)の漏れ電流または抵抗値を測定します。

製品が正常であれば仕様書記載の I_{CES} 最大値以下の漏れ電流になります(テスターを使用する場合、抵抗値は数十MΩ~無限大)。それ以外では素子が破壊している可能性があります(一般的に素子が破壊しているとC-E間はショートの状態になります)。

※ 注意

C-G間の耐圧測定は絶対に実施しないで下さい。耐圧測定した場合、酸化膜に過剰な電圧が加わり絶縁破壊に至ります。

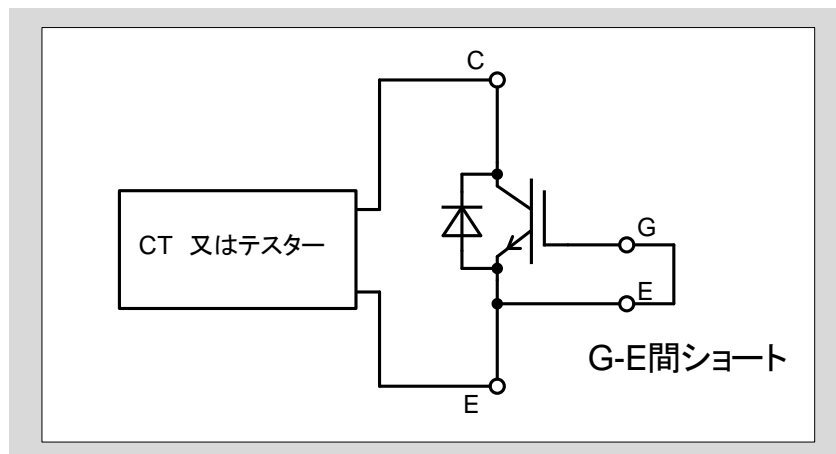


図4-3 C-E間チェック

3. 代表的なトラブルと対処方法

3.1 G-E間オープン状態での主回路電圧印加

G-E間オープン状態で主回路電圧印加すると、IGBTの帰還容量 C_{res} を介して電流が流れるためG-E間容量に電荷が充電されゲート電位が上昇します。これによりIGBTがオンして大きなコレクタ電流 I_C が流れ素子が破壊します。(第3章2項参照) G-E間はオープン状態を作り出さないよう、10kΩ程度の抵抗挿入などの対策して下さい。

製品の受入試験などの際にも、ロータリースイッチなどの機械スイッチで信号線の切り替えを行なうと、切り替え時にG-E間が瞬時オープンになります。C-E間に電圧印加したまま、機械スイッチで信号線の切り替えを行なうと、上記の現象で素子が破壊する事が有ります。また機械スイッチがチャタリングする場合も同様な期間が存在し素子破壊します。破壊を防ぐため、必ず主回路(C-E間)電圧を0Vまで放電してからゲート信号の切り替えを行なって下さい。また複数の素子(2個組以上)で構成した製品において、受入試験などの特性試験を行なう場合、測定素子以外のG-E間は必ずショートして下さい。

図4-4はオン電圧測定回路の例ですが、この回路で測定手順を説明します。まずゲート駆動回路(GDU: Gate Drive Unit)をオフ状態($V_{GE} \leq 0V$)にしてから SW_1 をオンしC-E間に電圧を印加します。次に、GDUよりG-E間に所定の順バイアス電圧を印加してIGBTを通电させ、オン電圧を測定します。最後にゲート回路をオフ状態にして SW_1 をオフにします。この様な手順を踏めば製品を破壊する事なく安全に製品の特性を測定する事が出来ます。

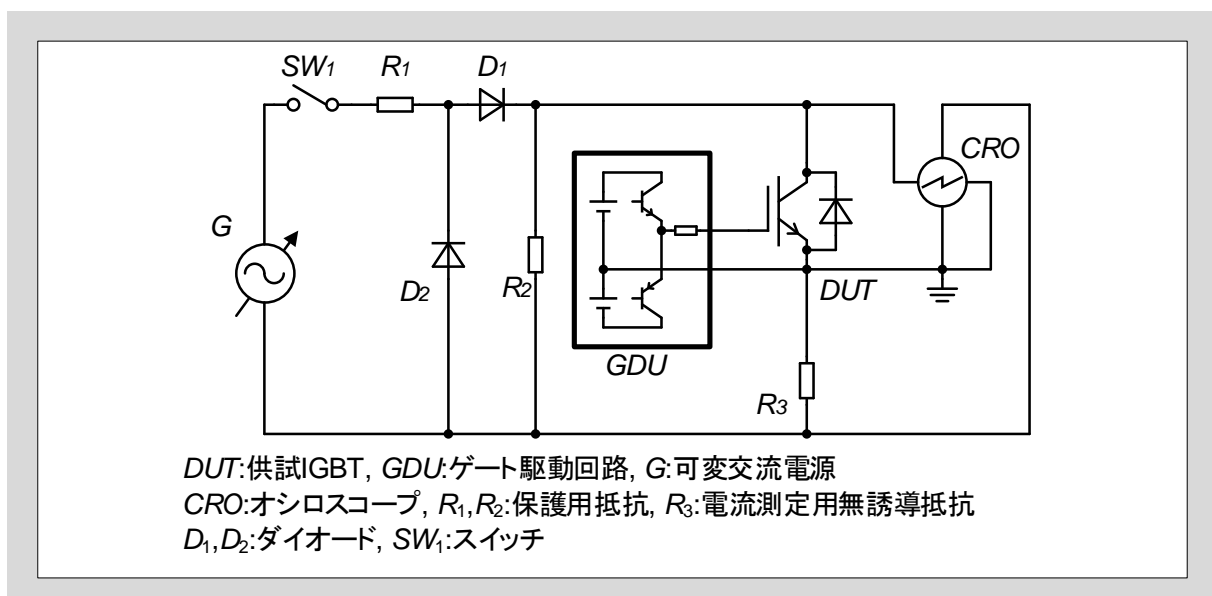


図4-4 オン電圧の測定回路

3.2 機械的な応力による製品破壊

製品の端子に大きな外力や振動による応力が加わると、製品の内部電気配線の破壊などが起きる事があります。製品を装置に実装する際、極力このような応力が加わらないように留意して下さい。

図4-5にゲート駆動用のプリント基板を製品上部へ実装する際の例を示します。図4-5(a)に示すようにプリント基板を固定せず実装すると、装置を運搬する際の振動などでプリント基板が振動する可能性があります。この振動で製品の端子に応力が加わり製品の内部電気配線の破壊などを起こすことがあります。この不具合を防ぐためには、図4-5(b)に示す様にプリント基板を固定する事を推奨します。この対策を行なう際、十分な強度のある専用の固定材などを用いて下さい。

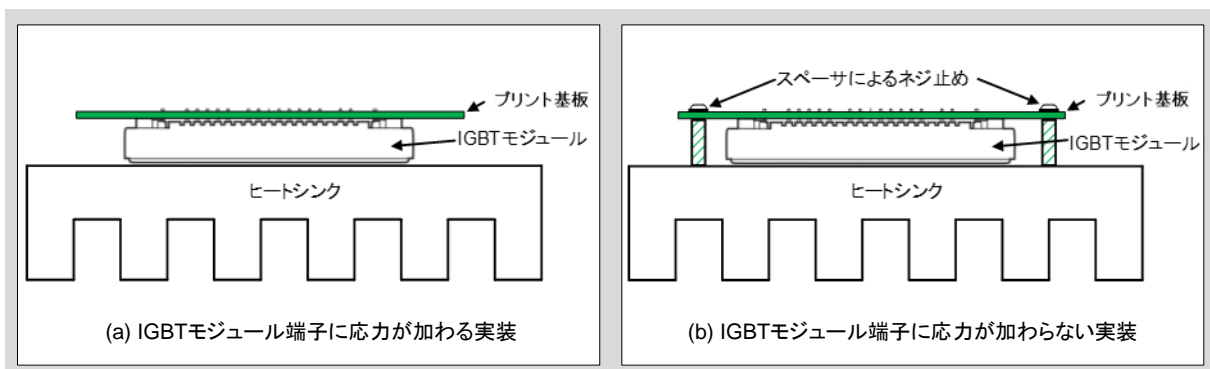


図4-5 プリント基板の固定方法

図4-6に平行平板を用いて主回路配線を行なう際の例を示します。図4-6(a)の様に電気配線用の+、-の導体に段差がある場合、製品の端子には上向きの引張り応力が絶えず加わった状態となり、製品内部の電気配線の断線などを招きます。この不具合を防ぐためには図4-6(b)に示す様に導電性のスペーサをいれ、平行平板導体の段差を無くすことを推奨します。またプリント基板構造とする際にも配線高さの位置ずれを起こせば、同様に端子に大きな引張り応力や外力が加わることになるため、同様の不具合を起こすことがあります。この様な観点から、IGBTモジュールは各種応力を緩和して実装して下さい。

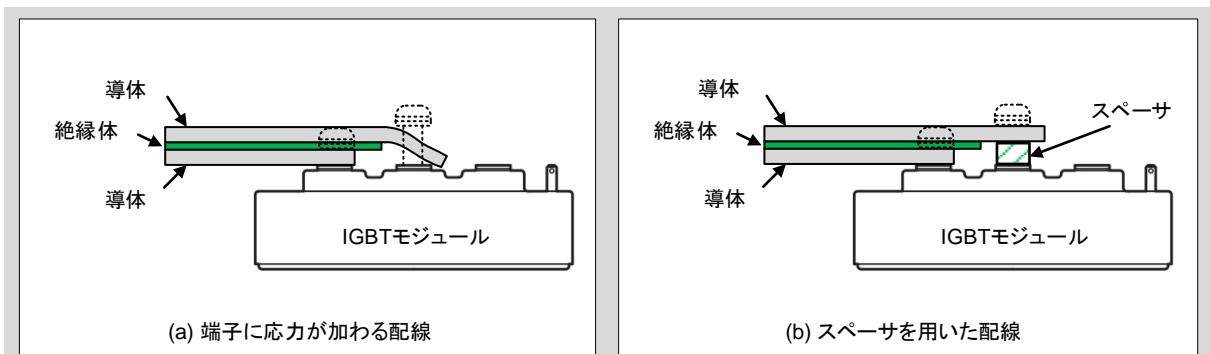


図4-6 平行平板配線を用いた時の実装

3.3 $-V_{GE}$ 不足によるIGBT誤点弧

$-V_{GE}$ が不足するとIGBTの誤点弧を誘発し、上下アームIGBTの両方がオンして短絡電流が流れる事があります。短絡電流遮断時のサージ電圧や発生損失により製品が破壊する可能性がありますので、装置を設計する際、必ず上下アーム短絡が発生していないことを確認して下さい(推奨 $-V_{GE}=15V$)。

また、 $-V_{GE}$ が不足した場合の dv/dt 発生による誤動作発生メカニズムの詳細を第7章1.4項に記載していますので参照して下さい。

上下アーム短絡電流の有無を確認する方法例を図4-7に示します。

まずインバータの出力端子(U、V、W)をオープン(無負荷)にします。次にインバータを起動し各IGBTを駆動します。この時、図の様に電源ラインから流れる電流を検出すれば上下アーム短絡電流有無が確認できます。もし、 $-V_{GE}$ が十分であれば、素子の接合容量を充電する非常に微小なパルス電流(定格電流の5%程度)のみが測定されます。

$-V_{GE}$ が不足し短絡が発生すると、この電流が大きくなります。正確に判定するためには、誤オンを起こさない $-V_{GE}(=15V)$ を推奨)でこの電流検出を行なった後に、所定の $-V_{GE}$ で再度、電流を測定する方法を推奨します。この両方で電流が同じ値であれば誤点弧を起こしていないことになります。

上記方法で誤点弧が確認された場合の対策は、短絡電流がなくなるまで $-V_{GE}$ を増加させるか、G-E間に仕様書に記載の C_{ies} に対し2倍程度の容量(C_{GE})をゲート抵抗 R_G よりIGBTモジュール側へ付加する事を推奨します。

但し、単純に C_{GE} を付加する方法は、スイッチングタイムやスイッチング損失が大きくなる場合があります。それらを C_{GE} 付加前と同等とするための一例として R_G を C_{GE} 付加前に対して概ね半分へ変更することを推奨します。この状態において適用可否の検討を再度充分に行なって下さい。

なお、上下アームに短絡電流が流れる要因は上記の dv/dt 誤点弧以外にもデッドタイム不足があります。この現象が起きている時にも図4-7に示す試験で短絡電流が観測されますので、 $-V_{GE}$ を増加しても短絡電流が減少しない場合、デッドタイムを増加するなどの対策を施して下さい。デッドタイムに関しては第7章3項に詳しい説明がありますので参照して下さい。

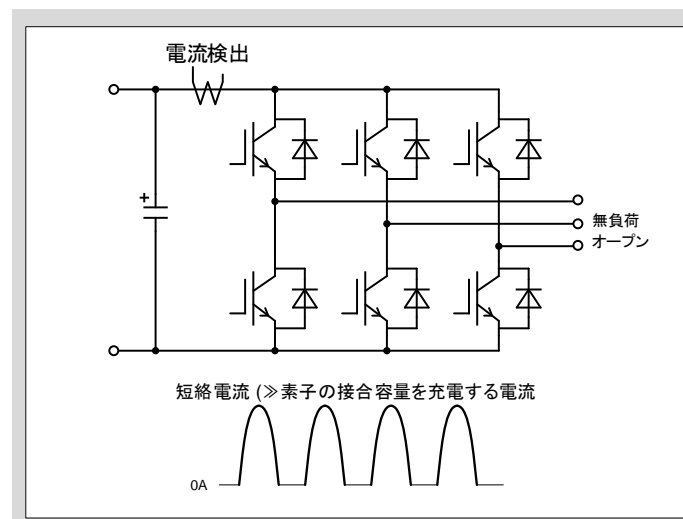


図4-7 短絡電流の測定回路

3.4 過渡オン状態からのダイオード逆回復 (微小パルス逆回復) 現象

IGBTモジュールはFWDを内蔵しています。このFWDの挙動に十分な注意を払うことは信頼性の高い装置を設計するためには非常に重要です。この項では特に微小パルス逆回復現象という製品破壊につながりやすい現象について説明します。

微小パルス逆回復現象はIGBT駆動時にノイズなどによってゲート信号割れが起き、非常に過大な逆回復サージ電圧が発生する現象です。図4-8に微小パルス逆回復による過大サージ電圧の発生タイミングチャートを示します。 V_{GE} のオン期間 T_{ON} に対して非常に短いオフパルス T_W が発生した場合、対向アーム側のFWDはオンしてから非常に短い時間で逆回復に入ることになります。本来の逆回復では十分なキャリアを蓄積してから逆回復に入るのに対して、微小パルス逆回復ではFWDに十分なキャリアの蓄積がない状態で逆回復することになります。これによりFWDの空乏層が急激なスピードで拡がるため、急峻な di/dt 、 dv/dt が発生します。これが原因となってC-E(K-A)間に、非常に過大な逆回復サージ電圧が発生します。この現象によって製品の耐圧保証値を超えるサージ電圧が発生すると素子破壊に繋がる可能性があります。

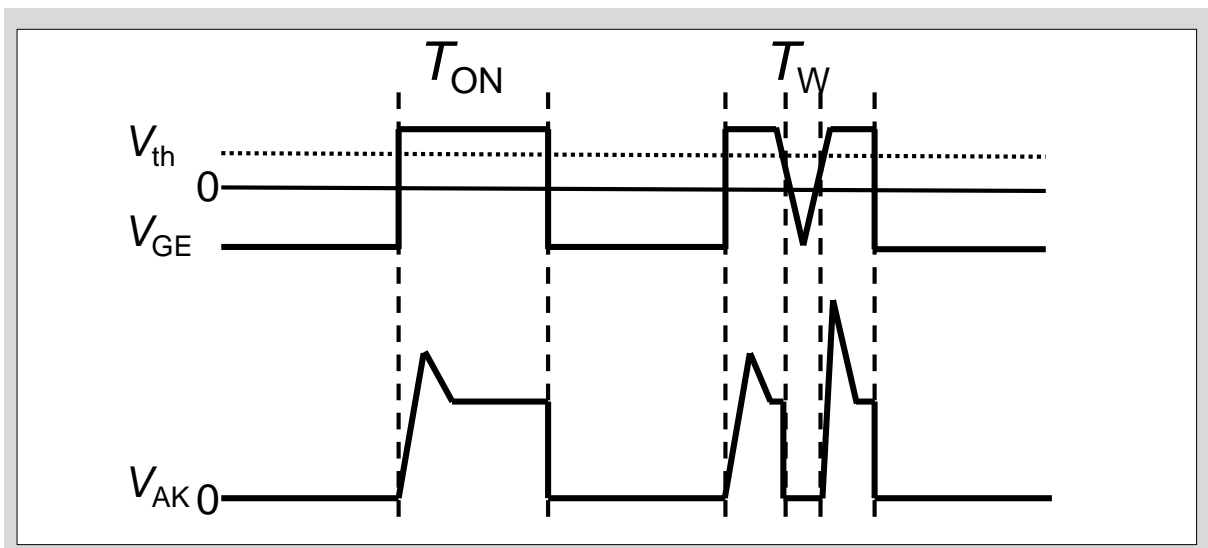


図4-8 微小パルス逆回復による過大サージ電圧の発生

当社の評価では $T_W < 1\mu s$ でサージ電圧が急激に増加する事を確認しています。装置設計を行なう際、このような短いゲート信号オフパルスが発生しないように注意して下さい。

最小オフパルス幅を $1\mu s$ 以下に設定している運転モードがある装置においては、最小 T_W におけるサージ電圧が素子耐圧以下になることを確認して下さい。もしサージ電圧が素子耐圧を超える時は以下に記載のサージ電圧対策を実施して下さい。

- R_G を大きくする
- 回路インダクタンスを低減する
- スナバ回路を強化する
- C_{GE} を付加する
- アクティブクランプ回路を付加する

図4-9に6MBI450U-120(1200V、450A)の微小パルス逆回復時のダイオード逆回復波形を示します。 R_G を 1.0Ω から 5.6Ω に大きくすることで、サージ電圧が低減していることがわかります。

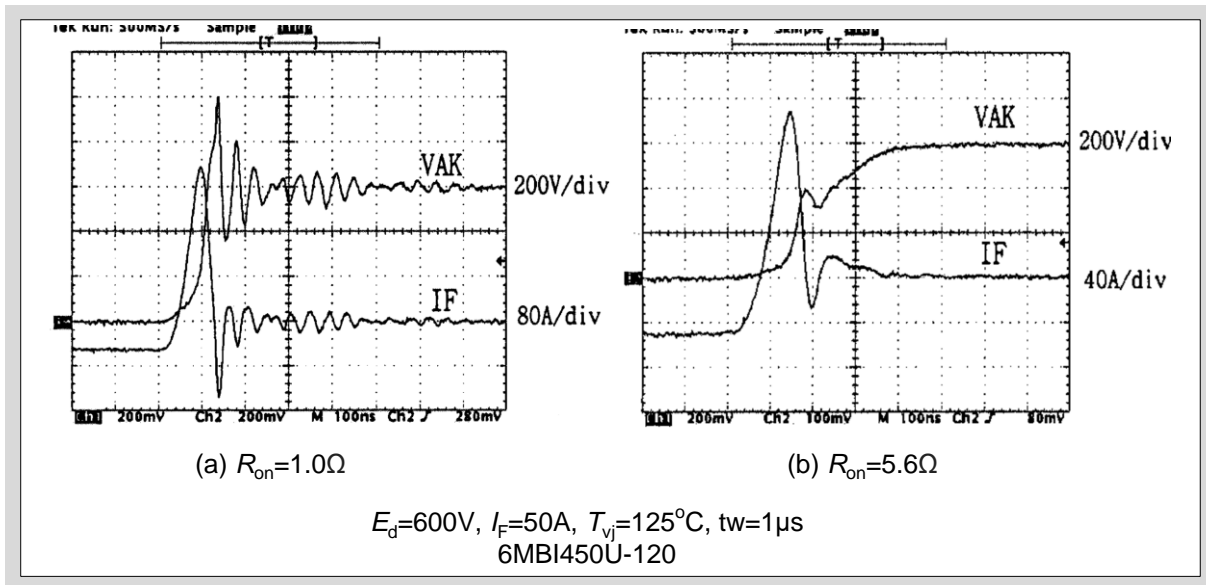


図4-9 微小パルス逆回復時の逆回復波形例

3.5 並列接続時の発振現象

製品を並列接続する際、主回路配線の均等性が非常に重要になります。配線の均等性が取れていない場合、配線の短い素子に電流が集中し、素子破壊や長期信頼性の低下をまねく可能性があります。

また主回路配線の均等性が実現できてない回路では、主回路インダクタンスが各素子に対しアンバランスになっており、スイッチング時の di/dt によって各配線のインダクタンスにバラバラな電圧が発生し、その電圧でループ電流などの異常発振電流が発生することで素子破壊につながる可能性もあります。

図4-10(a)にエミッタ部の配線インダクタンスを極端にアンバランスにした場合の振動現象を示します。これは並列接続したエミッタ部の配線ループに振動電流が流れゲート電圧を振動させることで、IGBTが高速にオン・オフした振動現象を示しています。この対策として各G-E間配線にコモンモードコアを挿入し、エミッタ部のループ電流を抑制する方法があります。図4-10(b)に影響をなくした場合の波形を示します。波形から判るように、振動が抑制されています。

このように、主回路配線設計を行なう際には回路の均等性に十分注意して下さい。

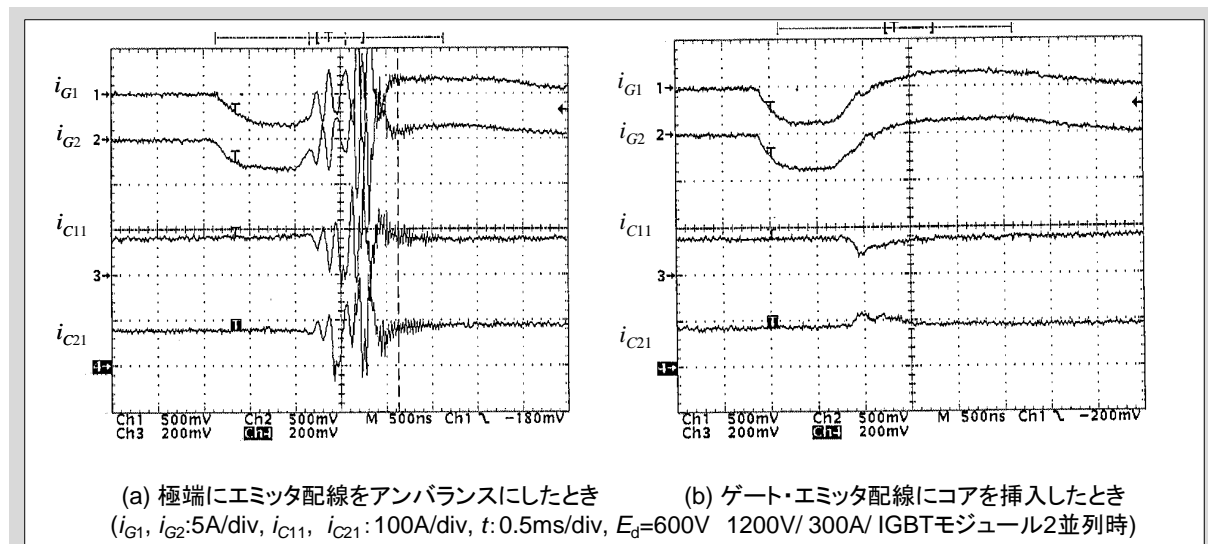


図4-10 2並列時のコレクタ電流・ゲート電流波形

3.6 はんだ付けプロセスの注意

IGBTモジュールの端子にゲート駆動回路や制御回路をはんだ付けする時、はんだ温度が過剰に高くなると、ケース樹脂材料が溶けるなどの不具合が発生する可能性があります。仕様書の端子はんだ付け時の耐熱試験項目の条件を超えるはんだ付けプロセスでの組立は行なわないで下さい。

一般的な製品仕様書に記載している端子耐熱性の試験条件を下記に示します。

はんだ温度: 260±5°C
投入時間 : 10±1sec
回数 : 1回

3.7 IGBTモジュールのコンバータ部への適用

IGBTモジュール内に使用しているダイオードの定格には電流二乗時間積 I^2t があります。 I^2t とは持続時間の非常に短い電流パルス(10ms未満)を非繰り返して順方向に流した時の過電流容量の上限値を表します。正弦半波電流パルスの場合、 I は実効電流値で、 t は半波パルス幅(時間)です。整流回路(またはコンバータ回路)などに使用する場合、起動時にラッシュ電流が流れますのでこの電流を I^2t 以下で使用して下さい。 I^2t を超える場合、抵抗とコンダクタを並列接続した起動回路を交流電源と整流回路間に接続するなどの対策を行なって下さい。

3.8 EMCノイズ対策

インバータ・UPSなどの電力変換装置は欧州のCEマーキングや国内のVCCI規格への対応が必要で、EMIノイズ(装置が運転時に発生する伝導性及び放射性のノイズ)を規格値以下に抑制することが装置の設計において重要な課題となっています。

IGBTモジュールは世代を経るごとに特性改良による高速スイッチング化・低損失化が進んできているため、IGBTをスイッチングする際に発生する高い dv/dt 、 dI/dt が放射性ノイズの原因となる場合が多くなってきています。放射性ノイズの主な要因は、IGBTがターンオン(対向アーム側のFWDが逆回復)する際に生じる高い dv/dt 、 dI/dt がトリガとなって、半導体デバイスの接合容量などと配線上のインダクタンスとで生じる高周波のLC共振によるものと考えられます。

IGBTモジュールがスイッチングすることによって発生する放射性ノイズを低減させるためには、駆動条件の見直しによるスイッチング特性、特にターンオン特性をソフト(低速)化することが有効です。第7章を参照し、適切な駆動条件を検討して下さい。

図4-11に R_G を大きくすることによってスイッチング特性をソフト化した場合の放射性EMIノイズ特性の測定例を示します。この場合の標準ゲート抵抗は 5.6Ω ですが、ゲート抵抗を2倍以上にすることによって、10dB以上放射性ノイズを低減させることができます。

ただし、スイッチング特性をソフト化して放射性ノイズを抑制すると、スイッチング損失は増加傾向となりますので、装置の運転条件やIGBTモジュール冷却条件などとのバランスを考慮しながら駆動条件を設定することが重要です。

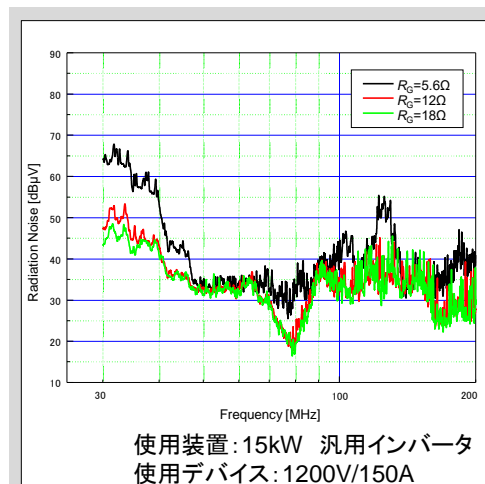


図4-11 ゲート抵抗を変えたときの放射性ノイズ測定結果

また放射性ノイズの一般的な対策例を表4-2に示します。放射性ノイズは装置の配線構造や材質・回路構成などによりその発生要因・ノイズレベルが異なるので、それぞれの対策例の有効性は個別に検証が必要です。

表4-2 放射性ノイズ対策例

対 策	内 容	備 考
駆動条件の見直し (dv/dt 、 di/dt の低減)	R_G (特にターンオン側)を大きくする。	スイッチング損失が大きくなる。 スイッチング時間が長くなる。
	G-E間に小容量のコンデンサを接続する。	スイッチング損失が大きくなる。 スイッチング時間が長くなる。
スナバコンデンサを IGBTモジュールと最短で接続	スナバコンデンサとIGBTモジュールの間の配線を最短にする(IGBTモジュールの端子に接続)。	スイッチング時のサージ電圧 や dv/dt 抑制にも効果あり。
配線インダクタンスの低減	直流バスラインを平行導体化してインダクタンスを低減する(バスバーの適用など)。	同上
フィルタ	装置の入出力にノイズフィルタを挿入する。	各種市販品あり
配線のシールド	入出力ケーブルをシールドしてケーブル部分の放射性ノイズを低減する。	
装置ケースの金属化	装置筐体を金属化し、装置から放射されるノイズを抑制する。	